



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년03월06일
(11) 등록번호 10-2776502
(24) 등록일자 2025년02월27일

(51) 국제특허분류(Int. Cl.)
G06F 30/367 (2020.01) G01R 19/165 (2006.01)
G01R 31/316 (2006.01) G06F 30/27 (2020.01)
G06N 3/042 (2023.01) G06N 3/045 (2023.01)
G06N 3/0464 (2023.01)
(52) CPC특허분류
G06F 30/367 (2020.01)
G01R 19/16576 (2013.01)
(21) 출원번호 10-2024-0142951
(22) 출원일자 2024년10월18일
심사청구일자 2024년11월04일
(56) 선행기술조사문헌
KR1020230095344 A*
(뒷면에 계속)

(73) 특허권자
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
신영수
대전광역시 유성구 대학로 291(구성동)
이승규
대전광역시 유성구 대학로 291(구성동)
(뒷면에 계속)
(74) 대리인
유미특허법인

전체 청구항 수 : 총 22 항

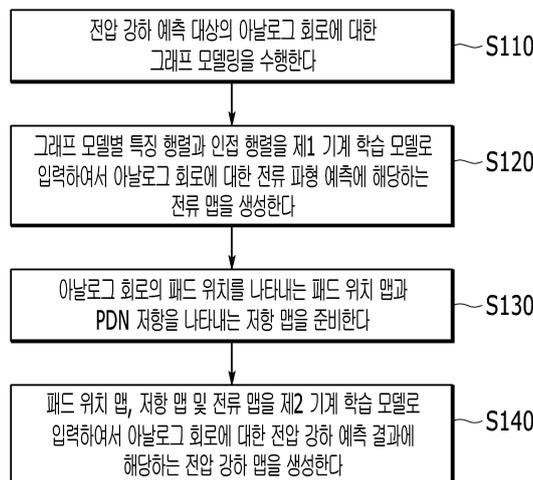
심사관 : 김기환

(54) 발명의 명칭 기계 학습 모델을 이용한 아날로그 회로에서의 전압 강하 예측 방법 및 그 장치

(57) 요약

기계 학습 모델을 이용한 아날로그 회로에서의 전압 강하 예측 방법 및 그 장치가 개시된다. 이 방법은 컴퓨팅 장치에 의해 수행되는, 아날로그 회로의 전압 강하를 예측하는 방법이다. 이 방법은 아날로그 회로 내의 구성요소들에 대한 그래프 모델링을 수행하는 단계 및 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 아날로그 회로에 대한 전류 파형 예측을 수행하는 단계를 포함한다. 이 방법은 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 아날로그 회로에 대한 전압 강하 예측을 수행하는 단계를 더 포함한다.

대표도 - 도11



(52) CPC특허분류

G01R 31/316 (2013.01)
G06F 30/27 (2020.01)
G06N 3/042 (2023.01)
G06N 3/045 (2023.01)
G06N 3/0464 (2023.01)

(56) 선행기술조사문헌

KR1020200037063 A*
 KR1020170073513 A*
 US20030229868 A1*
 WO2022213203 A1*

*는 심사관에 의하여 인용된 문헌

(72) 발명자

정영광

대전광역시 유성구 대학로 291(구성동)

현대준

서울특별시 광진구 능동로 209 (군자동)

이 발명을 지원한 국가연구개발사업

과제고유번호	2710008035
과제번호	00207425
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신·방송 기술개발사업
연구과제명	인공지능 반도체 설계를 위한 데이터 기반 설계기술 개발
과제수행기관명	한국과학기술원
연구기간	2024.05.01 ~ 2024.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	2710008743
과제번호	II210754
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신·방송 기술개발사업
연구과제명	인공지능 반도체 설계 SW(Software) 개발
과제수행기관명	한국과학기술원
연구기간	2024.01.01 ~ 2024.12.31

공지예외적용 : 있음

명세서

청구범위

청구항 1

컴퓨팅 장치에 의해 수행되는, 아날로그 회로의 전압 강하를 예측하는 방법으로서,

상기 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하는 단계,

상기 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하는 단계, 그리고

상기 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 상기 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행하는 단계

를 포함하는 전압 강하 예측 방법.

청구항 2

제1항에 있어서,

상기 그래프 모델링은 상기 아날로그 회로 내에 포함된 하위회로별로 수행되어 상기 하위회로별로 대응되는 그래프 모델을 각각 생성하는,

전압 강하 예측 방법.

청구항 3

제2항에 있어서,

상기 하위회로별로 각각 대응되는 그래프 모델은 연결 정점에 의해 서로 연결되는,

전압 강하 예측 방법.

청구항 4

제1항에 있어서,

상기 전류 파형 예측은 상기 아날로그 회로의 구성요소 중 전원 전압(VDD) 또는 접지 전압(VSS)에 직접 연결된 대상 트랜지스터에 대해 수행되는,

전압 강하 예측 방법.

청구항 5

제1항에 있어서,

상기 제1 기계 학습 모델은 그래프 합성곱망(graph convolutional network, GCN)이 시뮬레이션 시간 동안 전류 값을 예측하도록 반복적으로 구성된 순환 동기화 그래프 합성곱망(recurrent synchronized graph convolutional network, RS-GCN)을 포함하는,

전압 강하 예측 방법.

청구항 6

제2항에 있어서,

상기 제1 기계 학습 모델은 상기 아날로그 회로의 하위회로의 개수에 대응하는 레이어로 구성되고,

각 레이어는 시간 단계별로 대응되는 GCN 및 완전 연결층(fully-connected, FC)을 포함하며,

시간 단계별로 대응되는 GCN으로 상기 그래프 모델별 특징 행렬 및 인접 행렬과 순환 입력이 입력되고 - 상기

순환 입력은 이전 시간 단계의 GCN의 출력이되, 가장 앞에 있는 시간 단계에서의 순환 입력은 0 행렬로 설정됨
-,

시간 단계별 GCN의 출력은 대응되는 시간 단계의 FC로 출력되고, 시간 단계별 FC의 출력이 전류 값으로 출력되며,

전체 시간 단계에서의 상기 FC에서 출력되는 전류 값이 상기 전류 파형 예측의 결과인 전류 맵으로 출력되는, 전압 강하 예측 방법.

청구항 7

제6항에 있어서,

상기 GCN은 직렬로 연결되는 복수의 그래프 합성곱 계층(graph convolutional layer, GCL)을 포함하며,

상기 그래프 모델별 특징 행렬 및 인접 행렬과 0 행렬의 순환 입력이 상기 복수의 GCL 중 첫 번째 GCL로 입력되고,

각 GCL의 출력은 각각 평균화되고, 완전 연결에 의해 선형 변환된 특징을 갖게 되며,

상기 복수의 GCL 중 마지막 GCL의 출력이 상기 순환 입력이 되는,

전압 강하 예측 방법.

청구항 8

제1항에 있어서,

상기 제2 기계 학습 모델은 Y-Net 모델을 포함하는,

전압 강하 예측 방법.

청구항 9

제1항에 있어서,

상기 제2 기계 학습 모델은,

상기 아날로그 회로에서의 패드 위치를 나타내는 패드 위치 맵, 및 상기 전력 분배망 저항을 나타내는 저항 맵에 대한 제1 인코딩을 수행하고,

모든 등분별로 상기 제1 인코딩의 결과를 적층하여 형성된 적층된 행렬에 대해 복수의 그래프 합성곱을 수행하여 대응하는 제1 특징 벡터를 출력하며,

상기 전류 파형 예측의 결과인 전류 맵에 대한 제2 인코딩을 수행하고,

상기 제1 특징 벡터와 상기 제2 인코딩의 출력을 연결하며,

모든 등분별로 연결된 출력을 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 제2 특징 벡터를 출력하고,

상기 제2 특징 벡터에 대해 디코딩을 수행하여 전압 강하 맵을 생성하는,

전압 강하 예측 방법.

청구항 10

아날로그 회로의 전압 강하를 예측하는 장치로서,

상기 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하고, 상기 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하는 전류 파형 예측부, 그리고

상기 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 상기 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행하는 전압 강하 예측부

를 포함하는 전압 강하 예측 장치.

청구항 11

제10항에 있어서,

상기 전류 파형 예측부는,

상기 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하는 그래프 모델링부 - 상기 그래프 모델링은 상기 아날로그 회로 내에 포함된 하위회로별로 수행되어 상기 하위회로별로 대응되는 그래프 모델을 각각 생성함 -, 그리고

상기 그래프 모델링의 결과를 상기 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하는 예측 수행부

를 포함하는, 전압 강하 예측 장치.

청구항 12

제11항에 있어서,

상기 제1 기계 학습 모델은,

상기 아날로그 회로의 하위회로별로 대응되는 복수의 블록을 포함하고 - 상기 복수의 블록은 상기 하위회로 사이의 동기화를 위해 서로 연결되어 있음 -,

각 블록은,

직렬로 연결된 복수의 GCN - 상기 복수의 GCN은 시간 단계별로 대응함 -, 그리고

상기 복수의 GCN 각각의 출력에 연결된 완전 연결층(FC)

을 포함하며,

상기 복수의 GCN 중 첫 번째 GCN의 입력은 상기 그래프 모델별 특징 행렬 및 인접 행렬과 0 행렬이고,

시간 단계별 FC의 출력이 전류 값으로 출력되고, 전체 시간 단계에서의 상기 FC에서 출력되는 전류 값이 상기 전류 파형 예측의 결과인 전류 맵으로 출력되는,

전압 강하 예측 장치.

청구항 13

제11항에 있어서,

상기 GCN은 직렬로 연결되는 복수의 그래프 합성곱 계층(GCL)을 포함하며,

상기 그래프 모델별 특징 행렬 및 인접 행렬과 0 행렬의 순환 입력이 상기 복수의 GCL 중 첫 번째 GCL로 입력되고,

각 GCL의 출력은 각각 평균화되고, 완전 연결에 의해 선형 변환된 특징을 갖게 되며,

상기 복수의 GCL 중 마지막 GCL의 출력이 직렬로 연결된 다른 GCN의 입력이 되는,

전압 강하 예측 장치.

청구항 14

제10항에 있어서,

상기 전압 강하 예측부는,

상기 아날로그 회로에서의 패드 위치를 나타내는 패드 위치 맵, 및 상기 전력 분배망 저항을 나타내는 저항 맵과 상기 전류 파형 예측의 결과인 전류 맵을 준비하는 예측 준비부, 그리고

상기 예측 준비부에 의해 준비된 패드 위치 맵, 저항 맵 및 전류 맵을 상기 제2 기계 학습 모델에 입력하여서

상기 아날로그 회로에 대한 전압 강하 예측을 수행하는 예측부를 포함하는, 전압 강하 예측 장치.

청구항 15

제14항에 있어서,
 상기 제2 기계 학습 모델은,
 상기 패드 위치 맵 및 상기 저항 맵에 대한 인코딩을 수행하는 제1 인코더,
 모든 등분별로 상기 제1 인코더의 결과를 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 특징 벡터를 출력하는 직렬 GCN,
 상기 전류 과형 예측의 결과인 전류 맵에 대한 인코딩을 수행하는 제2 인코더,
 상기 직렬 GCN의 출력과 상기 제2 인코더의 출력을 연결하는 연결기,
 모든 등분별로 상기 연결기의 출력을 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 특징 벡터를 출력하는 GCN, 그리고
 상기 GCN에서 출력되는 특징 벡터에 대해 디코딩을 수행하여 전압 강하 맵을 생성하는 디코더를 포함하는, 전압 강하 예측 장치.

청구항 16

제15항에 있어서,
 상기 제1 인코더 및 상기 제2 인코더는 각각 직렬로 연결되는 복수의 합성곱 계층을 포함하고,
 상기 복수의 합성곱 계층은 각각 입력 맵의 폭과 높이를 절반으로 줄여서 채널 개수를 두 배로 늘린 다음 배치 정규화와 LeakyReLU 활성화를 수행하고,
 상기 복수의 합성곱 계층의 출력은 평탄화를 거친 후 완전 연결을 통해 특징 벡터를 생성하여 출력하는, 전압 강하 예측 장치.

청구항 17

제15항에 있어서,
 상기 직렬 GCN은,
 모든 등분에 대한 상기 제1 인코더의 적층된 출력에서 금속 레이어의 특징에 대해서만 그래프 합성곱을 수행하여 제1 GCN 출력을 생성하는 제1 GCN,
 상기 제1 인코더의 적층된 출력에서 패드 및 비아(via) 레이어의 특징과 상기 제1 GCN 출력을 연결하는 제2 연결기, 그리고
 상기 연결기의 출력에 대해 그래프 합성곱을 수행하여 특징 벡터를 출력하는 제2 GCN을 포함하는, 전압 강하 예측 장치.

청구항 18

제15항에 있어서,
 상기 디코더는 직렬로 연결되는 복수의 역합성곱 계층을 포함하며,
 상기 GCN에서 출력되는 특징 벡터에 제로 패딩(zero padding)을 수행한 맵이 상기 복수의 역합성곱 계층 중 첫 번째 역합성곱 계층으로 입력되고,
 상기 복수의 역합성곱 계층에 의한 역합성곱 후에 배치 정규화와 LeakyReLU 활성화가 수행되어 전압 강하 맵으로 생성되는,

전압 강하 예측 장치.

청구항 19

하나 이상의 명령어를 저장하는 메모리, 그리고

프로세서를 포함하며,

상기 프로세서는 상기 명령어를 실행함으로써,

아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하고,

상기 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하며,

상기 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 상기 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행하는,

전압 강하 예측 장치.

청구항 20

제19항에 있어서,

상기 그래프 모델링은 상기 아날로그 회로 내에 포함된 하위회로별로 수행되어 상기 하위회로별로 대응되는 그래프 모델을 각각 생성하고,

상기 하위회로별로 각각 대응되는 그래프 모델은 연결 정점에 의해 서로 연결되는,

전압 강하 예측 장치.

청구항 21

제20항에 있어서,

상기 제1 기계 학습 모델은 상기 아날로그 회로의 하위회로의 개수에 대응하는 레이어로 구성되고,

각 레이어는 시간 단계별로 대응되는 GCN 및 완전 연결층(FC)을 포함하며,

시간 단계별로 대응되는 GCN으로 상기 그래프 모델별 특징 행렬 및 인접 행렬과 순환 입력이 입력되고 - 상기 순환 입력은 이전 시간 단계의 GCN의 출력이되, 가장 앞에 있는 시간 단계에서의 순환 입력은 0 행렬로 설정됨 -,

시간 단계별 GCN의 출력은 대응되는 시간 단계의 FC로 출력되고, 시간 단계별 FC의 출력이 전류 값으로 출력되며,

전체 시간 단계에서의 상기 FC에서 출력되는 전류 값이 상기 전류 파형 예측의 결과인 전류 맵으로 출력되는,

전압 강하 예측 장치.

청구항 22

제20항에 있어서,

상기 제2 기계 학습 모델은,

상기 아날로그 회로에서의 패드 위치를 나타내는 패드 위치 맵, 및 상기 전력 분배망 저항을 나타내는 저항 맵에 대한 제1 인코딩을 수행하고,

모든 등분별로 상기 제1 인코딩의 결과를 적층하여 형성된 적층된 행렬에 대해 복수의 그래프 합성곱을 수행하여 대응하는 제1 특징 벡터를 출력하며,

상기 전류 파형 예측의 결과인 전류 맵에 대한 제2 인코딩을 수행하고,

상기 제1 특징 벡터와 상기 제2 인코딩의 출력을 연결하며,

모든 등분별로 연결된 출력을 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 제2 특징 벡터를 출력하고, 그리고

상기 제2 특징 벡터에 대해 디코딩을 수행하여 전압 강하 맵을 생성하는, 전압 강하 예측 장치.

발명의 설명

기술 분야

[0001] 본 발명은 기계 학습 모델을 이용한 아날로그 회로에서의 전압 강하 예측 방법 및 그 장치에 관한 것이다.

배경 기술

[0002] 전력 분배망(power distribution network, PDN)으로 인한 전압 강하(IR drop)는 신호를 왜곡하기 때문에 아날로그 회로의 성능을 저하시킬 수 있다. 예를 들어, 5%의 전압 강하로 인해 위상 잠금 루프 회로의 대역폭이 대략 25% 정도 감소될 수 있다.

[0003] 따라서, 아날로그 회로에 대한 전압 강하 분석이 필요하지만 기존의 기술을 사용하는 경우 아날로그 회로에 대한 전압 강하 분석에 매우 많은 시간이 소요된다. 예를 들어, 기존의 전압 강하 분석 도구로 SPICE 도구를 사용하여 전류 파형을 추출하고, 추출된 전류 파형을 기반으로 PDN 회로의 노드별 전압 강하를 계산하는데, 전류 파형 추출 자체가 시간이 오래 걸리고 전압 강하 계산도 매우 복잡하여 이로 인해 전압 강하 분석에 많은 시간이 소요하게 된다.

[0004] SPICE 도구보다 빠른 Fast-SPICE 도구는 회로 크기가 커질수록 정확도가 떨어지는 문제가 있고, 전압 강하를 머신러닝 모델로 예측한 이전 방법론들은 디지털 회로만을 고려하였기 때문에 디지털 회로와는 달리 비규칙적인 PDN을 갖는 아날로그 회로에 적용될 경우 정확도가 매우 떨어지게 된다.

[0005] 따라서, 전류 파형 예측 및 전압 강하 예측을 빠르고 정확하게 수행하기 위한 방법이 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 기계 학습 모델을 이용하여 비규칙적인 PDN을 갖는 아날로그 회로에서 정확하고 빠른 전류 파형 예측 및 전압 강하 예측을 수행할 수 있는 아날로그 회로에서의 전압 강하 예측 방법 및 그 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기한 바와 같은 본 발명의 과제를 달성하고, 후술하는 본 발명의 특징적인 효과를 실현하기 위한, 본 발명의 특징적인 구성은 하기와 같다.

[0008] 본 발명의 일 측면에 따르면, 전압 강하 예측 방법이 제공되며, 이 방법은,

[0009] 컴퓨팅 장치에 의해 수행되는, 아날로그 회로의 전압 강하를 예측하는 방법으로서, 상기 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하는 단계, 상기 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하는 단계, 그리고 상기 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 상기 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행하는 단계를 포함한다.

[0010] 여기서, 상기 그래프 모델링은 상기 아날로그 회로 내에 포함된 하위회로별로 수행되어 상기 하위회로별로 대응되는 그래프 모델을 각각 생성한다.

[0011] 또한, 상기 하위회로별로 각각 대응되는 그래프 모델은 연결 정점에 의해 서로 연결된다.

[0012] 또한, 상기 전류 파형 예측은 상기 아날로그 회로의 구성요소 중 전원 전압(VDD) 또는 접지 전압(VSS)에 직접

연결된 대상 트랜지스터에 대해 수행된다.

- [0013] 또한, 상기 제1 기계 학습 모델은 그래프 합성곱망(graph convolutional network, GCN)이 시물레이션 시간 동안 전류 값을 예측하도록 반복적으로 구성된 순환 동기화 그래프 합성곱망(recurrent synchronized graph convolutional network, RS-GCN)을 포함한다.
- [0014] 또한, 상기 제1 기계 학습 모델은 상기 아날로그 회로의 하위회로의 개수에 대응하는 레이어로 구성되고, 각 레이어는 시간 단계별로 대응되는 GCN 및 완전 연결층(fully-connected, FC)을 포함하며, 시간 단계별로 대응되는 GCN으로 상기 그래프 모델별 특징 행렬 및 인접 행렬과 순환 입력이 입력되고 - 상기 순환 입력은 이전 시간 단계의 GCN의 출력이며, 가장 앞에 있는 시간 단계에서의 순환 입력은 0 행렬로 설정됨 -, 시간 단계별 GCN의 출력은 대응되는 시간 단계의 FC로 출력되고, 시간 단계별 FC의 출력이 전류 값으로 출력되며, 전체 시간 단계에서의 상기 FC에서 출력되는 전류 값이 상기 전류 파형 예측의 결과인 전류 맵으로 출력된다.
- [0015] 또한, 상기 GCN은 직렬로 연결되는 복수의 그래프 합성곱 계층(graph convolutional layer, GCL)을 포함하며, 상기 그래프 모델별 특징 행렬 및 인접 행렬과 0 행렬의 순환 입력이 상기 복수의 GCL 중 첫 번째 GCL로 입력되고, 각 GCL의 출력은 각각 평균화되고, 완전 연결에 의해 선형 변환된 특징을 갖게 되며,
- [0016] 상기 복수의 GCL 중 마지막 GCL의 출력이 상기 순환 입력이 된다.
- [0017] 또한, 상기 제2 기계 학습 모델은 Y-Net 모델을 포함한다.
- [0018] 또한, 상기 제2 기계 학습 모델은, 상기 아날로그 회로에서의 패드 위치를 나타내는 패드 위치 맵, 및 상기 전력 분배망 저항을 나타내는 저항 맵에 대한 제1 인코딩을 수행하고, 모든 등분별로 상기 제1 인코딩의 결과를 적층하여 형성된 적층된 행렬에 대해 복수의 그래프 합성곱을 수행하여 대응하는 제1 특징 벡터를 출력하며, 상기 전류 파형 예측의 결과인 전류 맵에 대한 제2 인코딩을 수행하고, 상기 제1 특징 벡터와 상기 제2 인코딩의 출력을 연결하며, 모든 등분별로 연결된 출력을 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 제2 특징 벡터를 출력하고, 상기 제2 특징 벡터에 대해 디코딩을 수행하여 전압 강하 맵을 생성한다.
- [0019] 본 발명의 다른 측면에 따르면, 전압 강하 예측 장치가 제공되며, 이 장치는,
- [0020] 아날로그 회로의 전압 강하를 예측하는 장치로서, 상기 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하고, 상기 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하는 전류 파형 예측부, 그리고 상기 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 상기 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행하는 전압 강하 예측부를 포함한다.
- [0021] 여기서, 상기 전류 파형 예측부는, 상기 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하는 그래프 모델링부 - 상기 그래프 모델링은 상기 아날로그 회로 내에 포함된 하위회로별로 수행되어 상기 하위회로별로 대응되는 그래프 모델을 각각 생성함 -, 그리고 상기 그래프 모델링의 결과를 상기 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하는 예측 수행부를 포함한다.
- [0022] 또한, 상기 제1 기계 학습 모델은, 상기 아날로그 회로의 하위회로별로 대응되는 복수의 블록을 포함하고 - 상기 복수의 블록은 상기 하위회로 사이의 동기화를 위해 서로 연결되어 있음 -, 각 블록은, 직렬로 연결된 복수의 GCN - 상기 복수의 GCN은 시간 단계별로 대응함 -, 그리고 상기 복수의 GCN 각각의 출력에 연결된 완전 연결층(FC)을 포함하며, 상기 복수의 GCN 중 첫 번째 GCN의 입력은 상기 그래프 모델별 특징 행렬 및 인접 행렬과 0 행렬이고, 시간 단계별 FC의 출력이 전류 값으로 출력되고, 전체 시간 단계에서의 상기 FC에서 출력되는 전류 값이 상기 전류 파형 예측의 결과인 전류 맵으로 출력된다.
- [0023] 또한, 상기 GCN은 직렬로 연결되는 복수의 그래프 합성곱 계층(GCL)을 포함하며, 상기 그래프 모델별 특징 행렬 및 인접 행렬과 0 행렬의 순환 입력이 상기 복수의 GCL 중 첫 번째 GCL로 입력되고, 각 GCL의 출력은 각각 평균화되고, 완전 연결에 의해 선형 변환된 특징을 갖게 되며, 상기 복수의 GCL 중 마지막 GCL의 출력이 직렬로 연결된 다른 GCN의 입력이 된다.
- [0024] 또한, 상기 전압 강하 예측부는, 상기 아날로그 회로에서의 패드 위치를 나타내는 패드 위치 맵, 및 상기 전력 분배망 저항을 나타내는 저항 맵과 상기 전류 파형 예측의 결과인 전류 맵을 준비하는 예측 준비부, 그리고 상기 예측 준비부에 의해 준비된 패드 위치 맵, 저항 맵 및 전류 맵을 상기 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행하는 예측부를 포함한다.

- [0025] 또한, 상기 제2 기계 학습 모델은, 상기 패드 위치 맵 및 상기 저항 맵에 대한 인코딩을 수행하는 제1 인코더, 모든 등분별로 상기 제1 인코더의 결과를 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 특징 벡터를 출력하는 직렬 GCN, 상기 전류 파형 예측의 결과인 전류 맵에 대한 인코딩을 수행하는 제2 인코더, 상기 직렬 GCN의 출력과 상기 제2 인코더의 출력을 연결하는 연결기, 모든 등분별로 상기 연결기의 출력을 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 특징 벡터를 출력하는 GCN, 그리고 상기 GCN에서 출력되는 특징 벡터에 대해 디코딩을 수행하여 전압 강하 맵을 생성하는 디코더를 포함한다.
- [0026] 또한, 상기 제1 인코더 및 상기 제2 인코더는 각각 직렬로 연결되는 복수의 합성곱 계층을 포함하고, 상기 복수의 합성곱 계층은 각각 입력 맵의 폭과 높이를 절반으로 줄여서 채널 개수를 두 배로 늘린 다음 배치 정규화와 LeakyReLU 활성화를 수행하고, 상기 복수의 합성곱 계층의 출력은 평탄화를 거친 후 완전 연결을 통해 특징 벡터를 생성하여 출력한다.
- [0027] 또한, 상기 직렬 GCN은, 모든 등분에 대한 상기 제1 인코더의 적층된 출력에서 금속 레이어의 특징에 대해서만 그래프 합성곱을 수행하여 제1 GCN 출력을 생성하는 제1 GCN, 상기 제1 인코더의 적층된 출력에서 패드 및 비아(via) 레이어의 특징과 상기 제1 GCN 출력을 연결하는 제2 연결기, 그리고 상기 연결기의 출력에 대해 그래프 합성곱을 수행하여 특징 벡터를 출력하는 제2 GCN을 포함한다.
- [0028] 또한, 상기 디코더는 직렬로 연결되는 복수의 역합성곱 계층을 포함하며, 상기 GCN에서 출력되는 특징 벡터에 제로 패딩(zero padding)을 수행한 맵이 상기 복수의 역합성곱 계층 중 첫 번째 역합성곱 계층으로 입력되고, 상기 복수의 역합성곱 계층에 의한 역합성곱 후에 배치 정규화와 LeakyReLU 활성화가 수행되어 전압 강하 맵으로 생성된다.
- [0029] 본 발명의 또 다른 측면에 따르면, 전압 강하 예측 장치가 제공되며, 이 장치는,
- [0030] 하나 이상의 명령어를 저장하는 메모리, 그리고 프로세서를 포함하며,
- [0031] 상기 프로세서는 상기 명령어를 실행함으로써, 아날로그 회로 내의 구성요소에 대한 그래프 모델링을 수행하고, 상기 그래프 모델링의 결과를 제1 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전류 파형 예측을 수행하며, 상기 아날로그 회로에서의 패드 위치, 전력 분배망 저항 및 상기 전류 파형 예측의 결과를 제2 기계 학습 모델에 입력하여서 상기 아날로그 회로에 대한 전압 강하 예측을 수행한다.
- [0032] 여기서, 상기 그래프 모델링은 상기 아날로그 회로 내에 포함된 하위회로별로 수행되어 상기 하위회로별로 대응되는 그래프 모델을 각각 생성하고, 상기 하위회로별로 각각 대응되는 그래프 모델은 연결 정점에 의해 서로 연결된다.
- [0033] 또한, 상기 제1 기계 학습 모델은 상기 아날로그 회로의 하위회로의 개수에 대응하는 레이어로 구성되고, 각 레이어는 시간 단계별로 대응되는 GCN 및 완전 연결층(FC)을 포함하며, 시간 단계별로 대응되는 GCN으로 상기 그래프 모델별 특징 행렬 및 인접 행렬과 순환 입력이 입력되고 - 상기 순환 입력은 이전 시간 단계의 GCN의 출력 이되, 가장 앞에 있는 시간 단계에서의 순환 입력은 0 행렬로 설정됨 -, 시간 단계별 GCN의 출력은 대응되는 시간 단계의 FC로 출력되고, 시간 단계별 FC의 출력이 전류 값으로 출력되며, 전체 시간 단계에서의 상기 FC에서 출력되는 전류 값이 상기 전류 파형 예측의 결과인 전류 맵으로 출력된다.
- [0034] 또한, 상기 제2 기계 학습 모델은, 상기 아날로그 회로에서의 패드 위치를 나타내는 패드 위치 맵, 및 상기 전력 분배망 저항을 나타내는 저항 맵에 대한 제1 인코딩을 수행하고, 모든 등분별로 상기 제1 인코딩의 결과를 적층하여 형성된 적층된 행렬에 대해 복수의 그래프 합성곱을 수행하여 대응하는 제1 특징 벡터를 출력하며, 상기 전류 파형 예측의 결과인 전류 맵에 대한 제2 인코딩을 수행하고, 상기 제1 특징 벡터와 상기 제2 인코딩의 출력을 연결하며, 모든 등분별로 연결된 출력을 적층하여 형성된 적층된 행렬에 대해 그래프 합성곱을 수행하여 대응하는 제2 특징 벡터를 출력하고, 그리고 상기 제2 특징 벡터에 대해 디코딩을 수행하여 전압 강하 맵을 생성한다.

발명의 효과

- [0035] 본 개시에 따르면, 기계 학습 모델을 이용하여 비규칙적인 PDN을 갖는 아날로그 회로에서 정확하고 빠른 전류 파형 예측 및 전압 강하 예측을 수행할 수 있다.

도면의 간단한 설명

- [0036] 도 1은 본 발명의 실시예에 따른 전압 강하 예측 장치의 개략적인 구성 블록도이다.
- 도 2는 도 1에 도시된 전류 파형 예측부의 개략적인 구성 블록도이다.
- 도 3의 (a)는 전류 파형 예측의 대상이 되는 아날로그 회로를 나타내고, (b)는 (a)에 도시된 아날로그 회로에 대한 본 발명의 실시예에 따른 그래프 모델링 결과로서 생성된 그래프 모델을 나타낸다
- 도 4는 도 2에 도시된 전류 파형 예측 모델을 구현하기 위한 RS-GCN 아키텍처를 도시한 도면이다.
- 도 5는 도 4에 도시된 GCN의 개략적인 구성 블록도이다.
- 도 6은 도 1에 도시된 전압 강하 예측부의 개략적인 구성 블록도이다.
- 도 7은 도 6에 도시된 전압 강하 예측 모델을 구현하기 위한 Y-Net 아키텍처를 도시한 도면이다.
- 도 8은 도 7에 도시된 PDN 인코더의 개략적인 구성 블록도이다.
- 도 9는 도 7에 도시된 직렬 GCN의 개략적인 구성 블록도이다.
- 도 10은 도 7에 도시된 전압 강하 디코더의 개략적인 구성 블록도이다.
- 도 11은 본 발명의 실시예에 따른 전압 강하 예측 방법의 개략적인 흐름도이다.
- 도 12는 본 발명의 다른 실시예에 따른 전압 강하 장치의 개략적인 구성 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 아래에서는 첨부한 도면을 참고로 하여 본 개시의 실시예에 대하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 개시는 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 개시를 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0038] 설명에서, 도면 부호 및 이름은 설명의 편의를 위해 붙인 것으로서, 장치들이 반드시 도면 부호나 이름으로 한정되는 것은 아니다.
- [0039] 설명에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서에 기재된 "...부", "...기", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 나 소프트웨어 또는 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.
- [0040] 설명에서, 단수로 기재된 표현은 "하나" 또는 "단일" 등의 명시적인 표현을 사용하지 않은 이상, 단수 또는 복수로 해석될 수 있다. 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소를 설명하는데 사용될 수 있지만, 구성요소는 이러한 용어에 의해 한정되지는 않는다. 이들 용어는 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다.
- [0041] 도면을 참고하여 설명한 흐름도에서, 동작 순서는 변경될 수 있고, 여러 동작들이 병합되거나, 어느 동작이 분해될 수 있고, 특정 동작은 수행되지 않을 수 있다.
- [0042] 이하, 도면을 참조하여 본 발명의 실시예에 따른 아날로그 회로에서의 전압 강하 예측 방법 및 그 장치에 대해 설명한다.
- [0043] 도 1은 본 발명의 실시예에 따른 전압 강하 예측 장치의 개략적인 구성 블록도이다.
- [0044] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 전압 강하 예측 장치(100)는 전류 파형 예측부(110) 및 전압 강하 예측부(120)를 포함한다.
- [0045] 전류 파형 예측부(110)는 아날로그 회로 내에 있는 구성요소의 전류 파형을 예측한다. 여기서, 구성요소로는 트랜지스터 등이 될 수 있으며, 또한 대상 트랜지스터는 전원 전압(VDD) 또는 접지 전압(VSS)에 직접 연결된 트랜지스터를 지칭한다.
- [0046] 전류 파형 예측부(110)는 대상 트랜지스터의 전류 파형을 예측하기 위해 순환 동기화 그래프 합성곱망(recurrent synchronized graph convolutional network, RS-GCN)을 사용한다. 여기서, RS-GCN은 하위회로

(subcircuit)에서 연결된 구성요소의 효과를 고려하는 데 사용되는 GCN(graph convolutional network)이 시물레이션 시간 동안 전류 값을 예측하도록 반복적으로 구성된 것을 지칭한다.

- [0047] 전압 강하 예측부(120)는 PDN 레이아웃을 격자 구조로 등분하고, 각 등분에 존재하는 패드 위치, PDN 저항, 그리고 전류 파형 예측부(110)에 의해 예측된 전류 파형을 사용하여 전압 강하 예측을 수행한다. 여기서, 전압 강하 예측부(120)는 전압 강하 예측을 위해 Y-Net 모델을 사용한다. 이러한 Y-Net 모델은 GCN과 U-Net의 하이브리드 딥러닝 재구성 프레임워크로서, GCN을 사용하여 등분된 입력 이미지 사이의 영향을 GCN을 통해 고려하고, U-Net을 이용해 입력 이미지들을 인코딩 및 디코딩하여 출력 이미지로 재구성하는 아키텍처이다. 여기서, U-Net은 프라이부르크 대학(University of Freiburg)의 컴퓨터 공학과(Computer Science Department)에서 생물 의학 영상 분할(biomedical image segmentation)을 위해 개발한 모델이다.
- [0048] 이하, 도 1에 도시된 전류 파형 예측부(110)에 대해 구체적으로 설명한다.
- [0049] 도 2는 도 1에 도시된 전류 파형 예측부(110)의 개략적인 구성 블록도이다.
- [0050] 도 2에 도시된 바와 같이, 전류 파형 예측부(110)는 그래프 모델링부(111), 예측 수행부(112) 및 전류 파형 예측 모델(113)을 포함한다.
- [0051] 그래프 모델링부(111)는 전류 파형 예측의 대상이 되는 아날로그 회로에 대한 그래프 모델링을 수행한다. 이러한 그래프 모델링의 예는 도 3에 도시되어 있다. 도 3의 (a)는 전류 파형 예측의 대상이 되는 아날로그 회로(10)를 나타내고, (b)는 (a)에 도시된 아날로그 회로(10)에 대한 그래프 모델링 결과로서 생성된 그래프 모델(30, 40)을 나타낸다.
- [0052] 도 3을 참조하면, 그래프 모델링부(111)는 아날로그 회로(10) 내에 포함된 하위회로(11, 12)별로 대응되는 그래프 모델(30, 40)을 생성한다. 도 3의 (a)에 있는 아날로그 회로(10)를 예로 들면, 이 아날로그 회로 내에는 두 개의 하위회로(11, 12)가 있으므로, 그래프 모델링 결과 도 3의 (b)에 도시된 바와 같이 2개의 그래프 모델(30, 40)이 생성된다. 여기서, 아날로그 회로(10)에서 좌측의 하위회로 A(11)에 대한 그래프 모델은 도 3의 (b)에서 좌측의 그래프(30)가 해당되고, 아날로그 회로(10)에서 우측의 하위회로 B(12)에 대한 그래프 모델은 도 3의 (b)에서 우측의 그래프(40)가 해당된다.
- [0053] 도 3의 (b)를 참조하면, 각 그래프 모델(30, 40)에서, 정점(vertex)은 '노드'를 의미하며, 아날로그 회로(10) 내의 트랜지스터, 저항, 커패시터, VDD, VSS 및 바이어스 전압과 같은 회로의 구성요소를 나타낸다.
- [0054] 또한, 둘 이상의 하위회로(11, 12)가 있는 경우 이들 하위회로(11, 12)에 해당하는 그래프 모델(30, 40)이 서로 연결되기 위해 연결 정점(도 3의 (b)에서 n_c)(31, 41)이 사용된다.
- [0055] 또한, VDD 또는 VSS에 연결된 트랜지스터(P_1, P_2, N_3)인 대상 트랜지스터를 나타내는 정점은 대상 정점(회색 원)으로 모델링되는 반면에, 다른 트랜지스터는 비대상 정점(흰색 원)으로 모델링된다.
- [0056] 또한, 구성요소를 나타내는 정점 사이의 연결은 에지로 표현된다. 게다가, VDD, VSS 및 n_c 와 같이 두 개의 그래프 모델 사이에 공통으로 연결된 정점들은 굵은 원으로 표시될 수 있다.
- [0057] 한편, 그래프 모델에 표시된 각 정점은 nMOS(n type metal-oxide semiconductor)의 길이 및 폭, pMOS(p type metal-oxide semiconductor)의 길이 및 폭, 전원 전압, 접지 전압, 바이어스 전압, 저항, 커패시턴스, 및 연결 정점 여부를 나타내는 이진수를 나타내는 10개 요소의 특징 벡터와 연관된다.
- [0058] 그래프 모델링시, N개의 구성요소가 있는 하위회로의 경우, N개의 특징 벡터는 특징 행렬 $\mathbf{X} \in \mathbb{R}^{N \times 10}$ 을 형성하고, 그래프의 구조는 인접 행렬 \mathbf{A} 로 표현되며, 이러한 행렬에서 행과 열은 그래프에서의 정점을 나타낸다.
- [0059] 다음, 예측 수행부(112)는 그래프 모델링부(111)에서 수행된 그래프 모델링 결과 생성되는 그래프 모델(30, 40)별 특징 행렬(\mathbf{X})과 인접 행렬(\mathbf{A})을 전류 파형 예측 모델(113)로 입력하여 전류 파형 예측 모델(113)을 통한 아날로그 회로(10)에 대한 전류 파형 예측이 수행되도록 한다.
- [0060] 따라서, 예측 수행부(112)는 그래프 모델(30, 40)별 특징 행렬(\mathbf{X})과 인접 행렬(\mathbf{A}) 입력을 전류 파형 예측 모델(113)로 입력한 후 전류 파형 예측 모델(113)에서 예측된 전류 파형 예측 결과를 획득할 수 있다. 이러한 전류 파형 예측 결과는 예측 시간 동안 반복적으로 예측되는 전류 값으로 나타날 수 있다.

- [0061] 또한, 두 개의 하위회로(11, 12)로 구성된 아날로그 회로(10)에 대한 전류 파형 예측시 VDD, VSS 및 하위회로의 입력과 출력을 포함한 공통 연결은 GCN을 동기화함으로써 고려될 수 있다.
- [0062] 다음, 전류 파형 예측 모델(113)은 예측 수행부(112)를 통해 입력되는 그래프 모델(30, 40)별 특징 행렬(\mathbf{X})과 인접 행렬(\mathbf{A})을 사용하여 아날로그 회로(10)에 대한 전류 파형을 예측하며, 이를 위해 머신러닝(machine learning) 기법 중 하나인 RS-GCN 모델로 구현될 수 있다.
- [0063] 도 4는 도 2에 도시된 전류 파형 예측 모델(113)을 구현하기 위한 RS-GCN 아키텍처를 도시한 도면이다.
- [0064] 도 4를 참조하면, 두 개의 하위회로(11, 12)가 있는 아날로그 회로(10)에 대한 RS-GCN의 아키텍처가 도시되어 있다.
- [0065] 도 4에서, 시간 단계에 기초하여 여러 층으로 구성된 RS-GCN은 각 하위회로(11, 12)에 대해 구성되며, 구체적으로, 하위회로(11)에 대응하는 제1 블록(50)과 하위회로(12)에 대응하는 제2 블록(60)으로 구성되고, 각 블록(50, 60)은 시간 단계(t_1, t_2, \dots)별로 대응되는 GCN(51, 53, 61, 63)과 완전 연결층(fully-connected, FC)(52, 54, 62, 64)으로 구성된다.
- [0066] 시간대별로 대응되는 각 층에서, GCN(51, 53, 61, 63)으로 특징 행렬(\mathbf{X}), 인접 행렬(\mathbf{A}) 및 순환 입력(\mathbf{Y})이 입력되며, 여기서 순환 입력(\mathbf{Y})은 이전 시간 단계에서의 GCN의 출력이다. 다만, 시간대별로 가장 앞에 있는 시간 단계(즉, t_1 층)의 경우, 순환 입력(\mathbf{Y})이 없으므로 이 때의 순환 입력(\mathbf{Y})은 0 행렬로 설정된다.
- [0067] 각 시간 단계의 GCN(51, 53, 61, 63)의 출력은 다음 시간 단계의 GCN(51, 53, 61, 63)에 순환 입력(\mathbf{Y})으로 전달되는 동시에 각 대상 정점의 10개 특징 값이 FC(52, 54, 62, 64)로 입력되어 해당 시간 단계에서의 전류 값($I_a[t_1], I_b[t_1], I_a[t_2], I_b[t_2]$)으로 출력된다.
- [0068] 따라서, RS-GCN에 의한 전류 파형 예측 결과는 전체 시간 단계에서의 FC(52, 54, 62, 64)에서 출력되는 전류 값($I_a[t_1], I_b[t_1], I_a[t_2], I_b[t_2]$)으로 획득될 수 있다.
- [0069] 도 5는 도 4에 도시된 GCN의 개략적인 구성 블록도이다. 여기서, 도 5에는 4개의 GCN(51, 53, 61, 63)이 도시되어 있지만, 이들 모두 동일한 구성을 가지므로, 설명의 편의를 위해 하나의 GCN(51)에 대해서만 설명한다.
- [0070] 도 5를 참조하면, 제1 그래프 합성곱 계층(graph convolutional layer, GCL)(511)의 입력 특징 \mathbf{H}^0 는 [수학식 1]
- [0071] [수학식 1]
- [0072]
$$\mathbf{H}^0 = \mathbf{X} \mathbf{W}_x + \mathbf{Y} \mathbf{W}_y$$
- [0073] 에 따라 생성되며, 여기서 \mathbf{W}_x 와 \mathbf{W}_y 는 각각 특징 행렬(\mathbf{X})과 순환 입력(\mathbf{Y})에 대한 가중치 행렬이다.
- [0074] 그래프 합성곱에 의해, $l+1$ 레이어(\mathbf{H}^{l+1})의 은닉 상태는 다음의 [수학식 2]
- [0075] [수학식 2]
- [0076]
$$\mathbf{H}^{l+1} = \sigma(\hat{\mathbf{D}}^{-\frac{1}{2}} \hat{\mathbf{A}} \hat{\mathbf{D}}^{-\frac{1}{2}} \mathbf{H}^l \mathbf{W}_h^l)$$
- [0077] 에 의해 결정되며, 여기서 $\hat{\mathbf{A}}$ 는 인접 행렬(\mathbf{A})과 단위 행렬(\mathbf{I})의 합이다. $\hat{\mathbf{A}}$ 는 각 행의 엔트리가 1로 합산될 수 있도록 $\hat{\mathbf{D}}^{-\frac{1}{2}} \hat{\mathbf{A}} \hat{\mathbf{D}}^{-\frac{1}{2}}$ 에 의해 정규화되며, 여기서 $\hat{\mathbf{D}}$ 는 $\hat{\mathbf{A}}$ 의 대각선 정점 차수 행렬(diagonal vertex degree matrix)에 대응한다. $\sigma(\cdot)$ 는 LeakyReLU 활성화이고, \mathbf{W}_h^l 는 l 레이어의 은닉 가중치 행렬이다.
- [0078] 본 발명의 실시예에서, $l=5$ 로서 5번의 그래프 합성곱 후, 공통 정점 특징이 동기화 연결을 통과하면서 Avg(512)에 의해 평균화되고, FC(513)에 의해 선형 변환된 특징을 갖게 된다. 이와 같이, GCL(511)로부터

FC(513)까지의 과정이 하나의 프로세스를 구성하며, 이러한 프로세스는 여러 번 반복될 수 있다.

- [0079] 본 발명의 실시예에서는 3번의 프로세스가 반복되도록 구현되며, 이러한 반복 프로세스를 위해 FC(513)에서의 출력이 크기가 $N \times 10$ 인 행렬의 공통 정점 특징을 대체하여 후속 프로세스의 GCL(도시되지 않음)로 입력됨으로써 두 번째 프로세스가 수행될 수 있다.
- [0080] 이와 같이, 3번의 프로세스가 반복된 후 세 번째 프로세스의 GCL(531)을 거쳐서 FC(533)에서의 출력이 GCN(51)의 최종 출력, 즉 다음 GCN(53)의 순환 입력(Y^*)이 된다.
- [0081] 한편, 아날로그 회로(10)에서, 금속층의 빈 공간은 전압 강하 위반을 방지하기 위해 가능한 한 많은 PDN 스트랩(strap)으로 채워진다. 그 결과, PDN이 매우 불규칙하게 형성되고, 전압 강하는 먼 위치에서도 불규칙한 PDN 특성에 의해 영향을 받는다. 그러나, 기존 기술에서는 로컬 영역의 입력 특징만을 고려하고, 이로 인해 아날로그 회로에서의 전압 강하 예측이 정확하지 않다는 문제가 있다. 따라서, 본 발명의 실시예에 따른 전압 강하 예측부(120)는 먼 영역 간의 영향을 고려하여 전압 강하 예측을 수행한다.
- [0082] 이하, 도 1에 도시된 전압 강하 예측부(120)에 대해 구체적으로 설명한다.
- [0083] 도 6은 도 1에 도시된 전압 강하 예측부(120)의 개략적인 구성 블록도이다.
- [0084] 도 6에 도시된 바와 같이, 본 발명의 실시예에 따른 전압 강하 예측부(120)는 예측 준비부(121), 예측부(122) 및 전압 강하 예측 모델(123)을 포함한다.
- [0085] 예측 준비부(121)는 예측부(122)에서 전압 강하 예측을 수행하는 데 사용되는 입력을 준비하며, 이러한 입력으로는 패드 위치, PDN 저항, 그리고 전류 파형이 있다. 이를 위해, 예측 준비부(121)는 먼저 PDN 레이아웃을 격자 구조로 등분하고, 그 후 각 등분에 존재하는 패드 위치, PDN 저항 및 전류 파형에 대한 입력 맵, 즉 패드 위치 맵, 저항 맵 및 전류 맵을 준비한다.
- [0086] 구체적으로, 패드 위치 맵은, 전원 또는 접지 패드의 위치가 패드의 중심에 해당하는 픽셀이 1을 포함하고 다른 픽셀은 0으로 지정되는 방식으로 생성된다.
- [0087] 저항 맵은, PDN을 구성하는 물리적 구성요소(금속 또는 비아)의 저항 값이 구성요소에 의해 중첩되는 격자 영역에 비례하여 각 픽셀에 지정되는 방식으로 생성된다.
- [0088] 전류 맵은, 대상 트랜지스터를 통해 흐르는 전류량이 트랜지스터의 활성 영역과 중첩되는 격자 영역에 비례하여 각 픽셀에 지정되는 방식으로 생성되며, 본 발명의 실시예에서는 전술한 도 1 내지 도 5를 참조하여 설명한 전류 파형 예측부(110)에서 예측된 결과의 전류 파형, 구체적으로는 전류 맵이 사용될 수 있다.
- [0089] 다음, 예측부(122)는 예측 준비부(121)에서 준비된 입력, 즉 패드 위치 맵, 저항 맵 및 전류 맵인 3개의 입력 맵을 전압 강하 예측 모델(123)로 입력하여 전압 강하 예측 모델(123)을 통한 아날로그 회로(10)에 대한 전압 강하 예측이 수행되도록 한다.
- [0090] 따라서, 예측부(122)는 예측 준비부(121)에서 준비된 3개의 입력 맵을 전압 강하 예측 모델(123)로 입력한 후 전압 강하 예측 모델(123)에서 예측된 전압 강하 예측 결과를 획득할 수 있다.
- [0091] 다음, 전압 강하 예측 모델(123)은 예측부(122)를 통해 입력되는 3개의 입력 맵, 즉 패드 위치 맵, 저항 맵 및 전류 맵을 사용하여 아날로그 회로(10)에 대한 전압 강하를 예측하며, 이를 위해 머신러닝 기법 중 하나인 Y-Net 모델로 구현될 수 있다.
- [0092] 도 7은 도 6에 도시된 전압 강하 예측 모델(123)을 구현하기 위한 Y-Net 아키텍처를 도시한 도면이다.
- [0093] 도 7을 참조하면, Y-Net(200)은 PDN 인코더(201), 전류 인코더(202), 직렬 GCN(203), 연결기(204), GCN(205) 및 전압 강하 디코더(206)를 포함한다.
- [0094] PDN 인코더(201)는 도 8에 도시된 바와 같이, 예측부(122)를 통해 입력되는 패드 위치 맵과 저항 맵(211)을 사용하여 대응되는 특징 벡터(212)를 생성한다. 여기서, 패드 위치 맵과 저항 맵(211)은 256×256 크기의 맵이고, 특징 벡터는 1024 크기의 벡터이다. 패드 위치 맵 1개와 저항 맵 $M+V$ 개에 대해 모두 한꺼번에 나타낸 $256 \times 256 \times L$ 크기의 맵이 입력된다. 이 때, L 은 모든 레이어의 개수이며, 구체적으로는 금속 레이어의 개수(M)와 비아 레이어의 개수(V)에 1을 더한 값이다.

- [0095] 도 8은 도 7에 도시된 PDN 인코더(201)의 개략적인 구성 블록도이다.
- [0096] 도 8을 참조하면, PDN 인코더(201)는 먼저, 3x3 커널과 2x2 스트라이드(stride)를 가진 6개의 합성곱 레이어(2011)로 구성되며, 각 합성곱은 맵의 폭과 높이를 절반으로 줄여서 채널 개수를 두 배로 늘린 다음, 배치 정규화와 LeakyReLU 활성화를 수행한다. 즉, PDN 인코더(201)에서 6개의 합성곱 레이어(2011)는 256x256x1 크기의 입력 맵(211)에 대해 6개 레이어의 합성곱을 수행하여 4x4x64 크기의 벡터(2012)를 출력하고, 이러한 출력 벡터(2012)는 1024의 벡터(2013)로 평탄화된 후 최종적으로 FC 레이어(2014)를 거쳐서 1024개의 특징 벡터(212)를 생성한다.
- [0097] 다음, 전류 인코더(202)는 예측부(122)를 통해 입력되는 전류 맵(213)을 사용하여 대응되는 특징 벡터(214)를 생성한다. 여기서, 전류 맵(213)은 256x256x1 크기의 맵이고, 특징 벡터는 1024 크기의 벡터이다.
- [0098] 전류 인코더(202)는 전술한 PDN 인코더(201)와 동일한 구조를 가지며, 다만 전류 인코더(202)로서 작동하기 위한 가중치만이 다르도록 훈련된다. 따라서, 설명의 편의를 위해 전류 인코더(202)에 대해 여기에서는 구체적인 설명을 생략한다.
- [0099] 다음, 직렬 GCN(203)은 직렬로 연결된 2개의 GCN을 포함하며, PDN 인코더(201)의 특징 벡터(212)를 모든 등분(개수 P개임)별로 L 개의 레이어에 대하여 적층하여 형성되는 $1024 \times L \times P$ 크기의 적층된 행렬에 대해 직렬로 연결된 2개의 GCN을 사용한 그래프 합성곱을 수행하여 최하위층 M1 레이어의 특징 벡터를 추출함으로써 1024 크기의 특징 벡터(215)를 생성한다.
- [0100] 도 9는 도 7에 도시된 직렬 GCN(203)의 개략적인 구성 블록도이다.
- [0101] 도 9를 참조하면, 직렬 GCN(203)은 2개의 GCN, 즉 $GCN_1(2031)$ 과 $GCN_2(2032)$, 그리고 연결기(2033)를 포함한다.
- [0102] $GCN_1(2031)$ 은 모든 등분에 대한 PDN 인코더(201)의 적층된 출력, 즉 $1024 \times L \times P$ 크기의 적층된 행렬에서 금속 레이어(M)의 특징(2034), 즉 $1024 \times M \times P$ 크기의 행렬에 대해서만 그래프 합성곱을 수행하여 제1 GCN 출력(2035)을 생성한다.
- [0103] 연결기(2033)는 모든 등분에 대한 PDN 인코더(201)의 적층된 출력, 즉 $1024 \times L \times P$ 크기의 적층된 행렬에서 패드 및 비아 레이어($V+1$)의 특징(2036), 즉 $1024 \times (V+1) \times P$ 크기의 행렬과 $GCN_1(2031)$ 의 출력, 즉 제1 GCN 출력(2035)을 연결(concate)하여 연결된 출력(2037)을 $GCN_2(2032)$ 로 전달한다.
- [0104] $GCN_2(2032)$ 는 연결기(2033)에서 출력되는 연결된 출력(2037)에 대해 그래프 합성곱을 수행하여 제2 GCN 출력(2038)을 생성한다.
- [0105] 전술한 2개의 GCN(2031, 2032)과 연결기(2033)로 구성된 직렬 GCN은 단일 스테이지로서 실질적으로 이러한 직렬 GCN 스테이지가 3번 반복됨으로써 각 레이어별 PDN 특징 벡터들의 정보들을 최하위층 M1 레이어로 모두 전달하게 되고 이 M1 레이어의 특징 벡터를 추출함으로써 최종적으로 특징 벡터(215)를 생성한다.
- [0106] 구체적으로, 두 개의 GCN(2031, 2032) 모두 5개의 GCL로 구성되고, 각 레이어에 대해 1024x1024 크기의 가중치 행렬을 사용하여 전술한 [수학식 2]와 같이 그래프 합성곱이 수행된다.
- [0107] $GCN_1(2031)$ 의 경우, 금속 레이어의 각 등분은 정점으로 모델링되고, 라우팅 방향으로 인접한 등분의 정점은 무향(undirected) 에지에 의해 연결된다. 인접 행렬에서, 두 개의 엔트리 (i, j) 와 (j, i) 는 정점 i 와 j 가 연결되면 1로 설정되고, 그렇지 않으면 0으로 설정된다.
- [0108] $GCN_2(2032)$ 의 경우, 모든 PDN 레이어의 등분은 정점에 의해 모델링되고, 유향(directed) 에지는 정점을 하위 레이어의 동일한 위치에 있는 다른 정점에 연결한다. 인접 행렬에서, 에지가 정점 i 와 j 를 연결하는 경우 엔트리 (i, j) 은 1로 설정된다.
- [0109] 다음, 연결기(204)는 직렬 GCN(203)의 출력에서 등분에 대한 1024 크기의 특징 벡터(215)와 전류 인코더(202)의

출력인 특징 벡터(214), 즉 1024 크기의 특징 벡터를 연결하여 연결된 특징 벡터(216), 즉 2048 크기의 특징 벡터를 GCN(205)으로 전달한다.

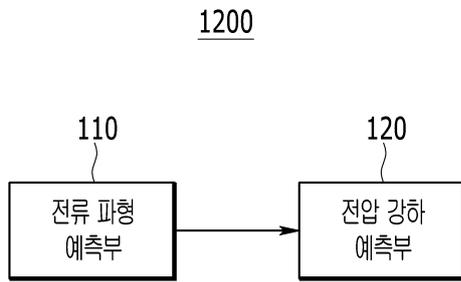
- [0110] 다음, GCN(205)은 연결기(204)의 특징 벡터(216)를 모든 등분(개수 P 개임)별로 적층하여 형성되는 $2048 \times P$ 크기의 적층된 행렬에 대해 그래프 합성곱을 수행하여 $2048 \times P$ 크기의 벡터를 생성한 후, 한 등분의 2048 크기의 특징 벡터(217)로 전압 강하 디코더(206)로 전달한다.
- [0111] 구체적으로, 그래프 모델링에서, 각 등분은 정점으로서 모델링되고, 레이아웃에서 인접한 등분의 정점은 에지에 의해 연결된다. $P \times P$ 크기의 인접 행렬은 그래프에서 정점의 연결을 나타내고, 정점 i 와 j 가 연결된 경우 두 개의 엔트리 (i, j) 와 (j, i) 는 1로 설정된다.
- [0112] GCN(205)도 5개의 GCL로 구성되며, 각 그래프 합성곱은 2048×2048 크기의 가중치 행렬을 사용하여 전술한 [수학식 2]와 동일하게 수행된다. 그래프 합성곱은 전압 강하에 대한 먼 등분 간의 영향을 고려하기 위해 5개의 GCL로 구성되었기 때문에 5번 반복적으로 수행될 수 있다.
- [0113] 다음, 전압 강하 디코더(206)는 GCN(205)으로부터 전달되는 P 개의 특징 벡터(217)를 개별적으로 입력받아서 전압 강하 맵(218)을 생성한다.
- [0114] 도 10은 도 7에 도시된 전압 강하 디코더(206)의 개략적인 구성 블록도이다.
- [0115] 도 10을 참조하면, 전압 강하 디코더(206)는 입력되는 2048 크기의 벡터를 $1 \times 1 \times 2048$ 크기의 벡터(2062)로 재형성(2061)하고, 이 벡터(2062)에 0을 추가하는 제로 패딩(zero padding)(2063)을 수행하여 $4 \times 4 \times 2048$ 크기의 맵(2064)을 생성한다. 이 때, 맵(2064)의 픽셀 값은 도 10의 부분(PIC1)과 같이 4×4 맵의 4개 픽셀에 복사된다.
- [0116] 이러한 맵(2064)은 4×4 커널과 2×2 스트라이드를 갖는 6개의 역합성곱(deconvolution) 레이어(2065)를 거친 후, 모든 역합성곱 후에 배치 정규화와 LeakyReLU 활성화가 수행되어 전압 강하 디코더(206)로 입력된 등분에 대응하는 맵(2066)을 출력하고, 이러한 맵(2066)이 모든 등분에 대해 결합되어 전체 회로 레이아웃에 해당하는 전압 강하 맵(218)으로 출력된다. 여기서, 역합성곱은 모든 레이어에 대해 맵 크기를 두 배로 늘리고 커널 개수에 따라 채널 개수를 점차 줄이는 역할을 수행한다.
- [0117] 이와 같이, 본 발명의 실시예에 따르면, 비규칙적인 PDN을 갖는 아날로그 회로에서 정확하고 빠른 전류 과형 예측 및 전압 강하 예측을 수행할 수 있다.
- [0118] 다음, 본 발명의 실시예에 따른 아날로그 회로에서의 전압 강하 예측 방법에 대해 설명한다
- [0119] 도 11은 본 발명의 실시예에 따른 전압 강하 예측 방법의 개략적인 흐름도이다.
- [0120] 도 11을 참조하면, 먼저, 전압 강하 예측 대상의 아날로그 회로(10)에 대한 그래프 모델링을 수행한다(S110). 특히, 아날로그 회로(10) 내에 둘 이상의 하위회로(11, 12)가 포함되어 있는 경우 해당 하위회로(11, 12)별로 그래프 모델링이 수행되어 각각의 그래프 모델(30, 40)을 생성한다. 이 때, 각각의 그래프 모델(30, 40)은 연결 정점(31, 41)에 의해 서로 연결될 수 있다. 이러한 그래프 모델링에 대한 상세한 설명은 전술한 도 1 내지 도 3과 관련된 설명을 참조하면 쉽게 이해될 수 있으므로, 여기에서는 구체적인 설명을 생략한다.
- [0121] 다음, 전술한 그래프 모델링 수행 결과로 생성되는 그래프 모델(30, 40)별 특징 행렬(\mathbf{X})과 인접 행렬(\mathbf{A})을 제 1 기계 학습 모델로 입력하여서 아날로그 회로(10)에 대한 전류 과형 예측에 해당하는 전류 맵(213)을 생성한다(S120). 여기서, 제1 기계 학습 모델은 전류 과형 예측 모델(113)로서, 입력되는 그래프 모델(30, 40)별 특징 행렬(\mathbf{X})과 인접 행렬(\mathbf{A})을 사용하여 아날로그 회로(10)에 대한 전류 과형을 예측하며, 이를 위해 머신러닝(machine learning) 기법 중 하나인 RS-GCN 모델로 구현될 수 있다. 이러한 RS-GCN에 기반한 전류 과형 예측 모델(113)을 사용하여 아날로그 회로(10)에 대한 전류 과형을 예측하는 상세한 내용에 대해서는 전술한 도 4 내지 도 5를 참조하면 쉽게 이해할 수 있으므로, 여기에서는 구체적인 설명을 생략한다.
- [0122] 그 후, 아날로그 회로(10) 내에서의 패드 위치를 나타내는 패드 위치 맵과 PDN 저항을 나타내는 저항 맵을 준비한다(S130). 여기서, 패드 위치 맵은 전원 또는 접지 패드의 위치가 패드의 중심에 해당하는 픽셀이 1을 포함하고 다른 픽셀은 0으로 지정되는 방식으로 준비된다. 또한, 저항 맵은 PDN을 구성하는 물리적 구성요소(금속

또는 비아)의 저항 값이 구성요소에 의해 중첩되는 격자 영역에 비례하여 각 픽셀에 지정되는 방식으로 준비된다.

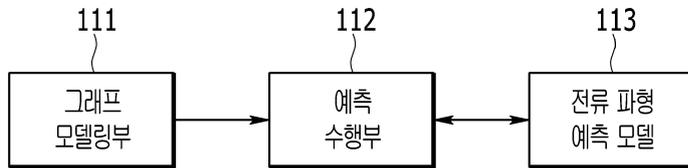
- [0123] 계속해서, 상기 단계(S130)에서 준비된 패드 위치 맵 및 저항 맵(211)과 상기 단계(S120)에서 생성된 전류 맵(213)을 제2 기계 학습 모델로 입력하여서 아날로그 회로(10)에 대한 전압 강하 예측 결과에 해당하는 전압 강하 맵(218)을 생성한다(S140). 여기서, 제2 기계 학습 모델은 전압 강하 예측 모델(123)로서, 입력되는 패드 위치 맵 및 저항 맵(211)과 전류 맵(213)을 사용하여 아날로그 회로(10)에 대한 전압 강하를 예측하며, 이를 위해 머신러닝 기법 중 하나인 Y-Net 모델로 구현될 수 있다. 이러한 Y-Net에 기반한 전압 강하 예측 모델(123)을 사용하여 아날로그 회로(10)에 대한 전압 강하를 예측하는 상세한 내용에 대해서는 전술한 도 6 내지 도 10을 참조하면 쉽게 이해할 수 있으므로, 여기에서는 구체적인 설명을 생략한다.
- [0124] 다음, 본 발명의 실시예에 따른 전압 강하 예측 장치 또는 전압 강하 예측 방법을 구현할 수 있는 예시적인 컴퓨팅 장치(1200)에 대하여 도 12를 참조하여 설명한다.
- [0125] 도 12를 참조하면, 컴퓨팅 장치(1200)는 프로세서(1210), 메모리(1220), 저장 장치(1230), 통신 인터페이스(1240) 및 버스(1250)를 포함한다. 컴퓨팅 장치(800)는 다른 범용적인 구성요소를 더 포함할 수 있다.
- [0126] 프로세서(1210)는 컴퓨팅 장치(1200)의 각 구성의 전반적인 동작을 제어한다. 프로세서(1210)는 CPU(central processing unit), MPU(microprocessor unit), MCU(micro controller unit), GPU(graphic processing unit) 등의 다양한 프로세싱 유닛 중 적어도 하나로 구현될 수 있으며, 병렬 프로세싱 유닛으로 구현될 수도 있다. 또한, 프로세서(1210)는 위에서 설명한 전압 강하 예측 방법을 실행하기 위한 프로그램에 대한 연산을 수행할 수 있다.
- [0127] 메모리(1220)는 각종 데이터, 명령 및/또는 정보를 저장한다. 메모리(1220)는 위에서 설명한 전압 강하 예측 방법을 실행하기 위하여 저장 장치(1230)로부터 컴퓨터 프로그램을 로드할 수 있다. 저장 장치(1230)는 프로그램을 비임시적으로 저장할 수 있다. 저장 장치(1230)는 비휘발성 메모리로 구현될 수 있다.
- [0128] 통신 인터페이스(1240)는 컴퓨팅 장치(1200)의 유무선 인터넷 통신을 지원한다. 또한, 통신 인터페이스(1240)는 인터넷 통신 외의 다양한 통신 방식을 지원할 수도 있다.
- [0129] 버스(1250)는 컴퓨팅 장치(1200)의 구성요소간 통신 기능을 제공한다. 버스(1250)는 주소 버스(address bus), 데이터 버스(data bus) 및 제어 버스(control bus) 등 다양한 형태의 버스로 구현될 수 있다.
- [0130] 컴퓨터 프로그램은 메모리(1220)에 로드될 때 프로세서(1210)로 하여금 전압 강하 예측 방법을 수행하도록 하는 명령어(instructions)를 포함할 수 있다. 즉, 프로세서(1210)는 명령어를 실행함으로써, 전압 강하 예측 방법을 위한 동작을 수행할 수 있다.
- [0131] 위에서 설명한 본 발명의 한 실시예에 따른 전압 강하 예측 방법은 컴퓨터가 읽을 수 있는 매체 상에 컴퓨터가 읽을 수 있는 컴퓨터 프로그램으로 구현될 수 있다. 일 실시예에서, 컴퓨터가 읽을 수 있는 매체는 이동형 기록 매체이거나 고정식 기록 매체일 수 있다. 다른 실시예에서, 컴퓨터가 읽을 수 있는 매체에 기록된 컴퓨터 프로그램은 인터넷 등의 네트워크를 통하여 다른 컴퓨팅 장치에 전송되어 다른 컴퓨팅 장치에 설치되어 실행될 수 있다.
- [0132] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

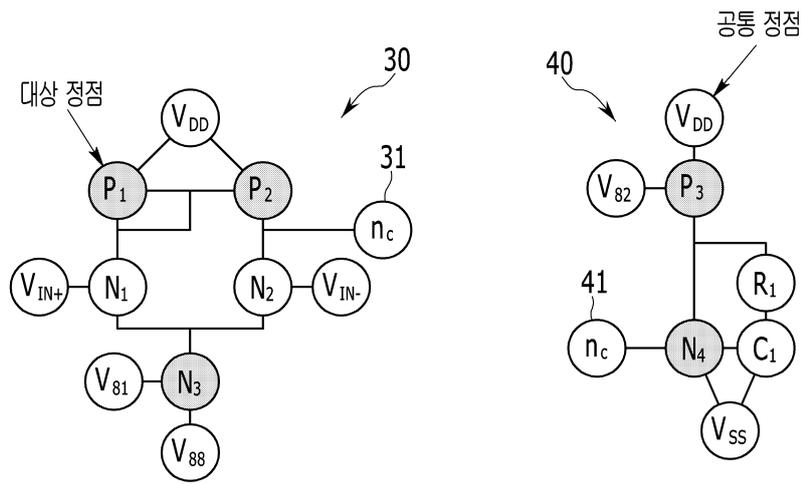
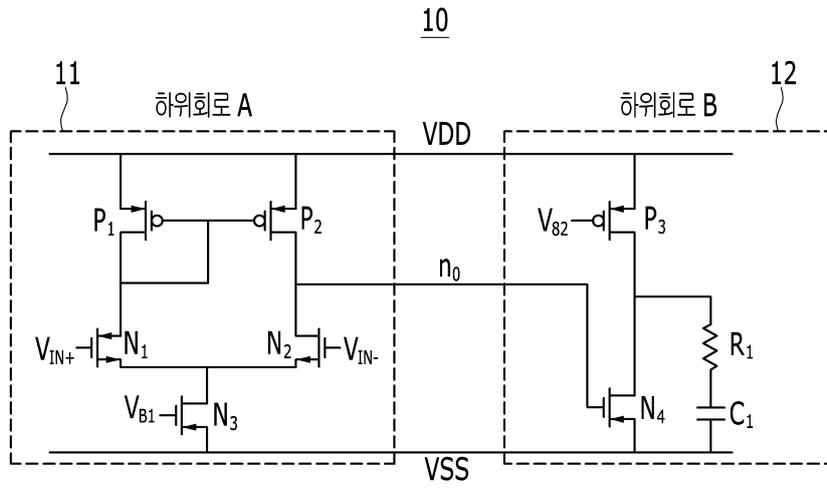
도면1



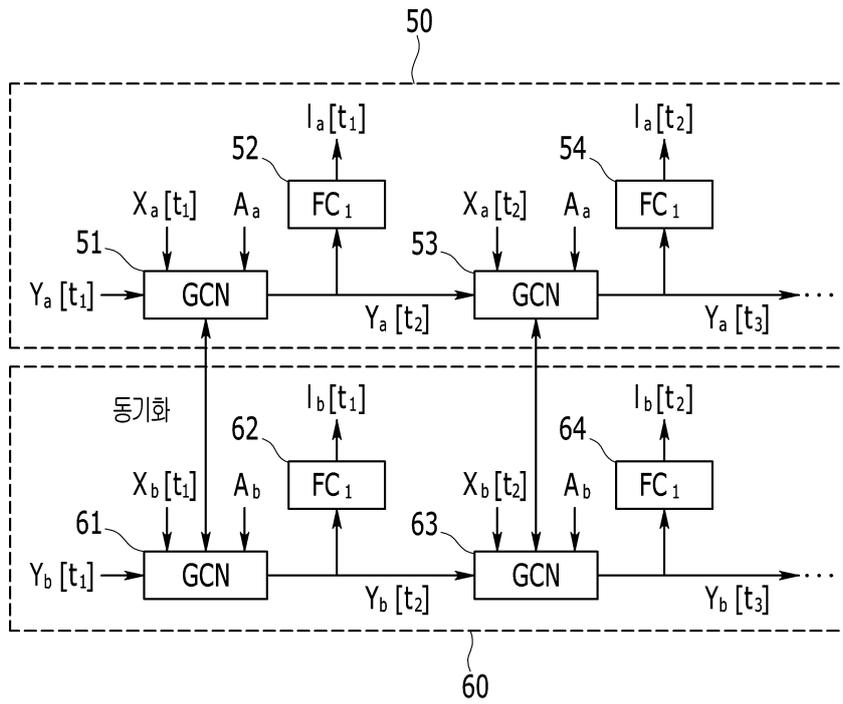
도면2



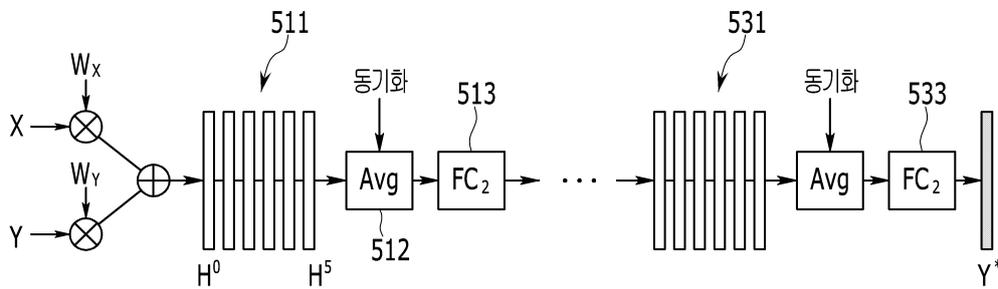
도면3



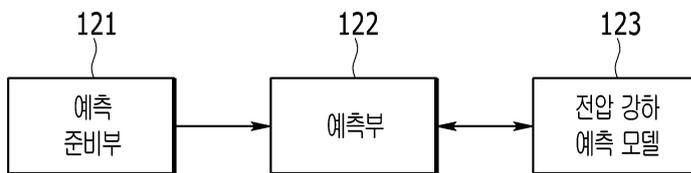
도면4



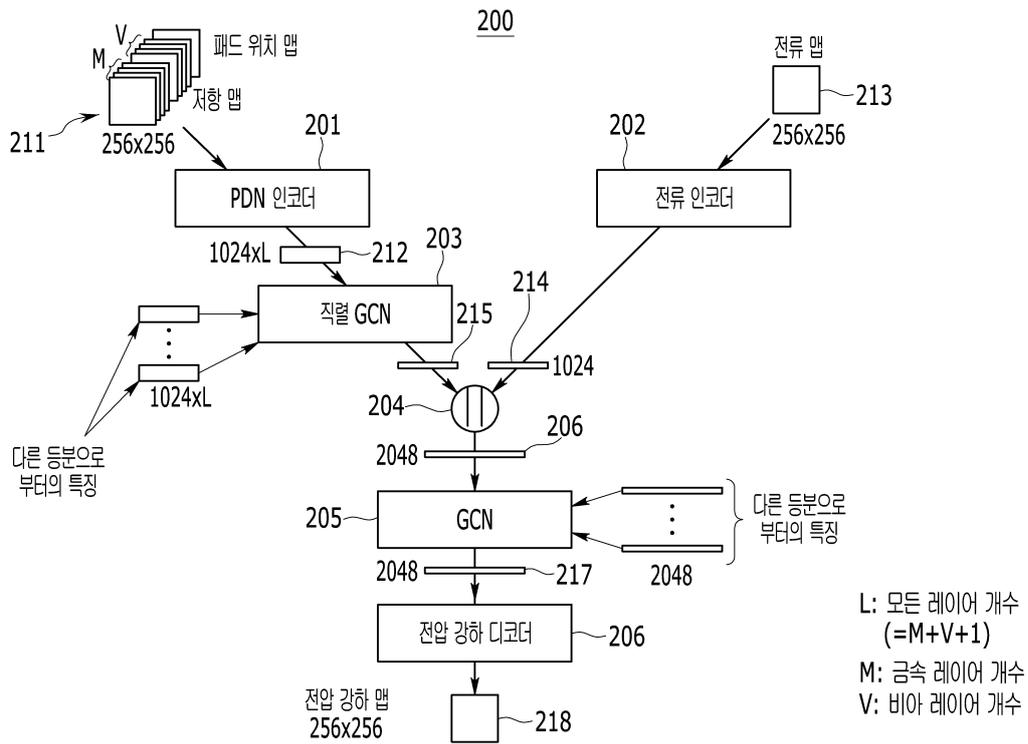
도면5



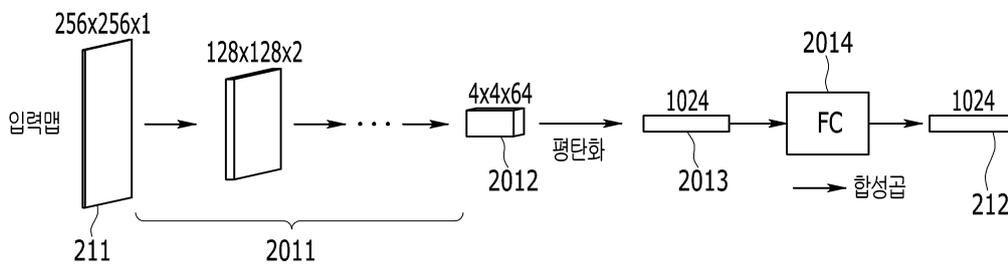
도면6



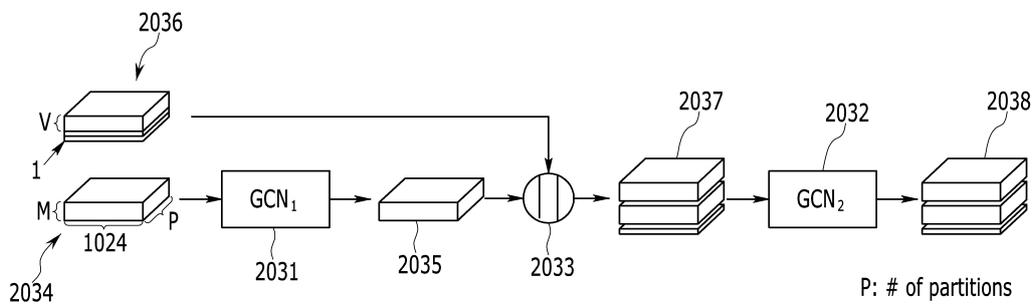
도면7



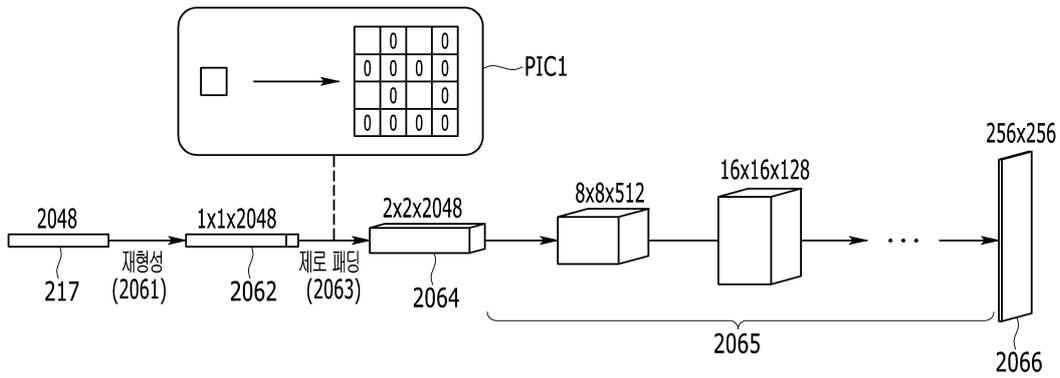
도면8



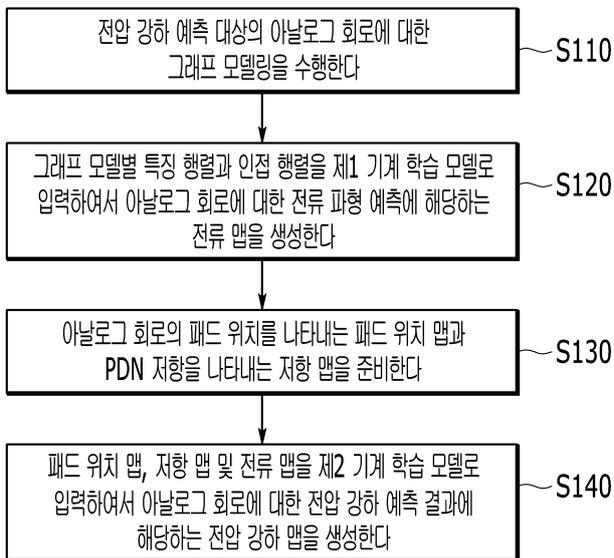
도면9



도면10



도면11



도면12

