



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월24일  
(11) 등록번호 10-2367860  
(24) 등록일자 2022년02월22일

(51) 국제특허분류(Int. Cl.)  
H03K 3/037 (2006.01) H03K 3/3562 (2006.01)  
(52) CPC특허분류  
H03K 3/0372 (2013.01)  
H03K 3/3562 (2013.01)  
(21) 출원번호 10-2018-0000818  
(22) 출원일자 2018년01월03일  
심사청구일자 2020년08월04일  
(65) 공개번호 10-2019-0083194  
(43) 공개일자 2019년07월11일  
(56) 선행기술조사문헌  
JP2011040826 A  
KR1020170099338 A  
US20090167394 A1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
한국과학기술원  
대전광역시 유성구 대학로 291(구성동)  
(72) 발명자  
서재우  
서울특별시 성동구 동호로 93, 201동 1106호 (금호동4가, 브라운스톤 금호2차)  
신영수  
대전광역시 유성구 대학로 291, 나노팹센터 S-204 (구성동, 한국과학기술원)  
정진욱  
대전광역시 서구 월평동로 83, 105동 1203호 (월평동, 다모아아파트)  
(74) 대리인  
특허법인가산

전체 청구항 수 : 총 20 항

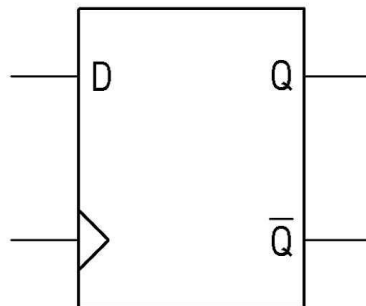
심사관 : 최규돈

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 반도체 장치는, 클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버로, 상기 클럭 드라이버는 상기 클럭 신호가 인가되고 제1 방향으로 길게 연장되는 제1 및 제2 게이트 라인과, 상기 반전된 클럭 신호가 인가되고 상기 제1 방향으로 길게 연장되는 제3 및 제4 게이트 라인을 포함하는 클럭 드라이버, 상기 제1 게이트 라인 및 상기 제3 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제3 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 마스터 래치 회로, 및 상기 제2 게이트 라인 및 상기 제4 게이트 라인과 오버랩되고, 상기 제2 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제4 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 마스터 래치 회로 슬레이브 래치 회로를 포함한다.

대표도 - 도1



**명세서**

**청구범위**

**청구항 1**

클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버로, 상기 클럭 드라이버는 상기 클럭 신호가 인가되고 제1 방향으로 길게 연장되는 제1 및 제2 게이트 라인과, 상기 반전된 클럭 신호가 인가되고 상기 제1 방향으로 길게 연장되는 제3 및 제4 게이트 라인을 포함하는 클럭 드라이버;

상기 제1 게이트 라인 및 상기 제3 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제3 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 마스터 래치 회로; 및

상기 제2 게이트 라인 및 상기 제4 게이트 라인과 오버랩되고, 상기 제2 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제4 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 슬레이브 래치 회로를 포함하는 반도체 장치.

**청구항 2**

제 1항에 있어서,

상기 제1 방향과 다른 제2 방향으로 연장되는 제1 파워 레일을 더 포함하되,

상기 클럭 드라이버, 상기 마스터 래치 회로 및 슬레이브 래치 회로는 상기 제1 파워 레일을 공유하는 반도체 장치.

**청구항 3**

제 2항에 있어서,

상기 제1 파워 레일은 전원 전압이 인가되는 반도체 장치.

**청구항 4**

제 3항에 있어서,

상기 클럭 드라이버는 접지 전압이 제공되고 상기 제2 방향으로 연장되는 제2 파워 레일을 더 포함하고,

상기 마스터 래치 회로와 상기 슬레이브 래치 회로는 접지 전압이 제공되고 상기 제2 방향으로 연장되는 제3 파워 레일을 공유하는 반도체 장치.

**청구항 5**

제 2항에 있어서,

상기 마스터 래치 회로와 상기 슬레이브 래치 회로는 상기 제2 방향으로 차례로 배치되는 반도체 장치.

**청구항 6**

제 2항에 있어서,

상기 제1 방향과 상기 제2 방향은 서로 직교하는 반도체 장치.

**청구항 7**

제 2항에 있어서,

상기 제1 게이트 라인과 상기 제2 게이트 라인은 상기 제1 파워 레일과 오버랩되는 반도체 장치.

**청구항 8**

제 1항에 있어서,

상기 제1 게이트 라인은, 상기 제2 게이트 라인의 양쪽으로 배치되는 제1 서브 게이트 라인과 제2 서브 게이트 라인을 포함하는 반도체 장치.

**청구항 9**

클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버로, 상기 클럭 드라이버는 상기 클럭 신호가 인가되고 제1 방향으로 길게 연장되는 제1 게이트 라인과, 상기 반전된 클럭 신호가 인가되고 상기 제1 방향으로 길게 연장되는 제2 게이트 라인을 포함하는 클럭 드라이버;

상기 클럭 드라이버와 상기 제1 방향으로 차례로 배치되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제1 플립 플롭; 및

상기 클럭 드라이버와 상기 제1 방향으로 차례로 배치되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제2 플립 플롭을 포함하는 반도체 장치.

**청구항 10**

제 9항에 있어서,

상기 제1 플립 플롭은,

상기 제1 게이트 라인 및 상기 제2 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제1 마스터 래치 회로, 및 상기 제1 게이트 라인 및 상기 제2 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제1 슬레이브 래치 회로를 포함하고,

상기 제2 플립 플롭은,

상기 제1 게이트 라인 및 상기 제2 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제2 마스터 래치 회로, 및 상기 제1 게이트 라인 및 상기 제2 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제2 슬레이브 래치 회로를 포함하는 반도체 장치.

**청구항 11**

제 10항에 있어서,

상기 제1 마스터 래치 회로와 상기 제1 슬레이브 래치 회로는 상기 제1 방향과 직교하는 제2 방향으로 차례로 배치되고,

상기 제2 마스터 래치 회로와 상기 제2 슬레이브 래치 회로는 상기 제2 방향으로 차례로 배치되는 반도체 장치.

**청구항 12**

제 10항에 있어서,

상기 클럭 드라이버는 제2 방향으로 연장되고 상기 제1 방향으로 서로 이격되는 제1 파워 레일과 제2 파워 레일을 포함하는 반도체 장치.

**청구항 13**

제 12항에 있어서,

상기 제1 플립 플롭과 상기 클럭 드라이버는 상기 제1 파워 레일을 공유하고,

상기 제2 플립 플롭과 상기 클럭 드라이버는 상기 제2 파워 레일을 공유하는 반도체 장치.

**청구항 14**

제 13항에 있어서,

상기 제1 게이트 라인과 상기 제2 게이트 라인은 상기 제1 파워 레일 및 상기 제2 파워 레일과 오버랩되는 반도체 장치.

**청구항 15**

제 9항에 있어서,

상기 제1 플립 플롭과 상기 제2 플립 플롭은 상기 클럭 드라이버의 양측에 배치되는 반도체 장치.

**청구항 16**

제 9항에 있어서,

상기 클럭 드라이버, 제1 플립 플롭 및 제2 플립 플롭을 상기 제1 방향으로 가로지르는 제3 게이트 라인을 더 포함하고,

상기 제1 플립 플롭 및 상기 제2 플립 플롭은 상기 제3 게이트 라인으로부터 스캔 신호, 인에이블 신호, 리셋 신호 또는 셋 신호 중 적어도 어느 하나를 제공받는 반도체 장치.

**청구항 17**

클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버;

상기 클럭 드라이버와 제1 방향으로 인접하여 배치되는 제1 마스터 래치 회로;

상기 클럭 드라이버와 상기 제1 방향으로 인접하여 배치되는 제1 슬레이브 래치 회로;

상기 클럭 드라이버와 상기 제1 마스터 래치 회로를 상기 제1 방향으로 가로지르는 제1 게이트 라인; 및

상기 클럭 드라이버와 상기 제1 슬레이브 래치 회로를 상기 제1 방향으로 가로지르는 제2 게이트 라인을 포함하는 반도체 장치.

**청구항 18**

제 17항에 있어서,

상기 제1 게이트 라인은, 상기 클럭 신호가 인가되는 제1 서브 게이트 라인과, 상기 반전된 클럭 신호가 인가되는 제2 서브 게이트 라인을 포함하고,

상기 제2 게이트 라인은, 상기 클럭 신호가 인가되는 제3 서브 게이트 라인과, 상기 반전된 클럭 신호가 인가되는 제4 서브 게이트 라인을 포함하는 반도체 장치.

**청구항 19**

제 17항에 있어서,

상기 제1 마스터 래치 회로는 상기 클럭 드라이버의 일측에 배치되고,

상기 클럭 드라이버와 상기 제1 방향으로 인접하여, 상기 클럭 드라이버의 타측에 배치되는 제2 마스터 래치 회로, 및

상기 클럭 드라이버와 상기 제1 방향으로 인접하여, 상기 클럭 드라이버의 타측에 배치되는 제2 슬레이브 래치 회로를 더 포함하는 반도체 장치.

**청구항 20**

클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버;

상기 클럭 드라이버와 제1 방향으로 인접하여, 상기 클럭 드라이버의 일측에 배치되는 제1 플립 플롭;

상기 클럭 드라이버와 상기 제1 방향으로 인접하여, 상기 클럭 드라이버의 타측에 배치되는 제2 플립 플롭;

상기 클럭 드라이버와 상기 제1 플립 플롭을 상기 제1 방향으로 가로지르는 제1 게이트 라인; 및

상기 클럭 드라이버와 상기 제2 플립 플롭을 상기 제1 방향으로 가로지르는 제2 게이트 라인을 포함하는 반도체

장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 장치에 관한 것이다.

**배경 기술**

[0002] 반도체 장치는 전자 산업의 수요에 따라 소형화, 다기능화되며, 제조 단가의 절감을 위해 경량화되고 있다. 반도체 장치들은 논리 데이터를 저장하는 반도체 기억 장치, 논리 데이터를 연산 처리하는 반도체 논리 장치, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 장치 등으로 구분될 수 있다.

[0003] 상기 반도체 기억 장치는 플립 플롭 회로들과 래치를 포함한다. 반도체 칩 설계를 위해서 플립 플롭과 같은 반도체 기억 장치의 동작 특성들에 대한 요구가 증가하고 있으며, 특히 고집적 회로에 배치될 수 있는 저면적 플립 플롭 및 래치 회로가 요구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명이 해결하고자 하는 기술적 과제는 저면적 플립 플롭을 포함하는 반도체 장치를 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버로, 상기 클럭 드라이버는 상기 클럭 신호가 인가되고 제1 방향으로 길게 연장되는 제1 및 제2 게이트 라인과, 상기 반전된 클럭 신호가 인가되고 상기 제1 방향으로 길게 연장되는 제3 및 제4 게이트 라인을 포함하는 클럭 드라이버, 상기 제1 게이트 라인 및 상기 제3 게이트 라인과 오버랩되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제3 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 마스터 래치 회로, 및 상기 제2 게이트 라인 및 상기 제4 게이트 라인과 오버랩되고, 상기 제2 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제4 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 마스터 래치 회로 슬레이브 래치 회로를 포함한다.

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버로, 상기 클럭 드라이버는 상기 클럭 신호가 인가되고 제1 방향으로 길게 연장되는 제1 게이트 라인과, 상기 반전된 클럭 신호가 인가되고 상기 제1 방향으로 길게 연장되는 제2 게이트 라인을 포함하는 클럭 드라이버, 상기 클럭 드라이버와 상기 제1 방향으로 차례로 배치되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제1 플립 플롭, 및 상기 클럭 드라이버와 상기 제1 방향으로 차례로 배치되고, 상기 제1 게이트 라인으로부터 상기 클럭 신호를 제공받고, 상기 제2 게이트 라인으로부터 상기 반전된 클럭 신호를 제공받는 제2 플립 플롭을 포함한다.

[0008] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버, 상기 클럭 드라이버와 제1 방향으로 인접하여 배치되는 제1 마스터 래치 회로, 상기 클럭 드라이버와 상기 제1 방향으로 인접하여 배치되고, 상기 마스터 래치 회로와 상기 제1 방향과 직교하는 제2 방향으로 인접하여 배치되는 제1 슬레이브 래치 회로, 상기 클럭 드라이버와 상기 마스터 래치 회로를 상기 제1 방향으로 가로지르는 제1 게이트 라인, 상기 클럭 드라이버와 상기 슬레이브 래치 회로를 상기 제1 방향으로 가로지르는 제2 게이트 라인을 포함한다.

[0009] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 클럭 신호와 반전된 클럭 신호를 출력하는 클럭 드라이버, 상기 클럭 드라이버와 제1 방향으로 인접하여 배치되는 제1 플립 플롭, 상기 클럭 드라이버와 상기 제1 방향으로 인접하여, 상기 제1 플립 플롭이 배치된 상기 클럭 드라이버의 타측에 배치되는 제2 플립 플롭, 상기 클럭 드라이버와 상기 제1 플립 플롭을 상기 제1 방향으로 가로지르는 제1 게이트

라인, 및 상기 클럭 드라이버와 상기 제2 플립 플롭을 상기 제1 방향으로 가로지르는 제2 게이트 라인을 포함한다.

[0010] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**도면의 간단한 설명**

[0011] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 블록도이다.

도 2는 도 1의 플립 플롭을 설명하기 위한 블록도이다.

도 3은 도 2의 클럭 드라이버 회로를 설명하기 위한 회로도이다.

도 4는 도 2의 클럭 드라이버 회로를 설명하기 위한 회로도이다.

도 5a는 도 4의 클럭 드라이버 회로를 설명하기 위한 레이아웃도이다.

도 5b는 도 5a의 A-A'를 절단하여 도시한 단면도이다.

도 5c는 도 4의 클럭 드라이버 회로를 설명하기 위한 레이아웃도이다.

도 6은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 회로도이다.

도 7a와 7b는 도 6의 플립 플롭 회로에 포함된 트라이 스테이트 인버터들의 회로도다.

도 8a와 8b는 도 6의 플립 플롭 회로를 설명하기 위한 레이아웃도이다.

도 10은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 블록도이다.

도 11은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 회로도이다.

도 12a와 12b는 도 11의 플립 플롭 회로를 설명하기 위한 레이아웃도이다.

도 13는 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 회로도이다.

도 14은 도 13의 플립 플롭 회로를 설명하기 위한 레이아웃도이다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 블록도이다.

[0013] 도 1을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 입력 데이터(D)를 일시적으로 저장하고, 입력 클럭 신호에 의해 저장된 데이터를 출력 데이터(Q)의 형태로 출력하는 D-플립 플롭(10)을 포함할 수 있다.

[0014] 도 1에 도시된 플립 플롭(10)에서, 입력 데이터(D)는 1비트 데이터를 포함할 수 있다. 또한, 플립 플롭(10)이 출력하는 출력 데이터(Q)는 1비트 데이터를 포함할 수 있다.

[0015] 도 1에 도시된 플립 플롭(10)의 형태는 예시적인 것으로, 플립 플롭(10)은 외부로부터 예를 들어 스캔 인에이블 신호, 리셋 신호 및 셋 신호 등을 추가적으로 제공받을 수 있다.

[0016] 도 2는 도 1의 플립 플롭을 설명하기 위한 예시적인 블록도이다.

[0017] 도 2를 참조하면, 플립 플롭(10)은 클럭 드라이버 회로(100), 마스터 래치 회로(200), 슬레이브 래치 회로(300)를 포함할 수 있다.

[0018] 클럭 드라이버 회로(100)는 외부로부터 클럭 신호(CLK)를 입력받아, 마스터 래치 회로(200)와 슬레이브 래치 회로(300)로 제공할 수 있다. 구체적으로, 클럭 드라이버 회로(100)는 제공된 입력 클럭 신호(CLK)를 반전한 신호(CLK\_N)와, 클럭 신호(CLK\_N)를 반전시킨 클럭 신호(CLK\_P)를 출력할 수 있다.

[0019] 상기 신호(CLK\_P)는 외부로부터 제공된 입력 클럭 신호(CLK)와 위상이 동일할 수 있다. 따라서 이하에서는 신호(CLK\_P)를 클럭 신호, 신호(CLK\_N)를 반전된 클럭 신호로 지칭하기로 한다.

[0020] 클럭 드라이버 회로(100)가 포함하는 구체적인 구성 요소와 관련하여 뒤에서 더욱 자세하게 설명한다.

[0021] 마스터 래치 회로(200)와 슬레이브 래치 회로(300)는 외부로부터 데이터 신호(D)를 입력받아 출력 데이터(Q)의 형태로 제공할 수 있다. 마스터 래치 회로(200)와 슬레이브 래치 회로(300)는 제공된 데이터 신호(D)를 일시적

으로 저장하고, 클럭 신호(CLK)에 의해 출력 데이터(Q)의 형태로 외부로 제공한다. 따라서 출력 데이터(Q)와 데이터 신호(D)의 내용은 동일하다.

- [0022] 마스터 래치 회로(200) 및 슬레이브 래치 회로(300)가 포함하는 구체적인 구성 요소와 관련하여 뒤에서 더욱 자세하게 설명한다.
- [0023] 도 3은 도 2의 클럭 드라이버 회로를 설명하기 위한 예시적인 회로도이다.
- [0024] 도 3을 참조하면, 클럭 드라이버 회로(도 2의 100)는 제1 인버터(110)와 제2 인버터(120)를 포함할 수 있다.
- [0025] 제1 인버터(110)는 입력 클럭 신호(CLK)를 제공받고, 이를 반전하여 반전된 클럭 신호(CLK\_N)를 생성할 수 있다. 마찬가지로 제2 인버터(120)는 반전된 클럭 신호(CLK\_N)를 제공받고, 이를 반전하여 클럭 신호(CLK\_P)를 생성할 수 있다.
- [0026] 도 3에서 도시된 클럭 드라이버 회로는 예시적인 것이다. 본 발명의 다른 몇몇 실시예에서, 클럭 드라이버 회로(100)는 하나의 인버터를 포함할 수도 있다. 이 경우 클럭 드라이버 회로(100)는 입력 클럭 신호(CLK)를 클럭 신호(CLK\_P)로 패스(pass)할 수 있다.
- [0027] 도 4는 도 2의 클럭 드라이버 회로를 설명하기 위한 회로도이다.
- [0028] 도 4를 참조하면, 제1 인버터(110)는 제1 NMOS 트랜지스터(MN1)와 제1 PMOS 트랜지스터(MP1)를 포함하고, 제2 인버터(120)는 제2 NMOS 트랜지스터(MN2)와 제2 PMOS 트랜지스터(MP2)를 포함할 수 있다.
- [0029] 제1 인버터(110)는 노드(N1)을 통해 제2 인버터(120)와 연결될 수 있다. 도 4에 도시된 것과 같이, 제1 인버터(110)는 반전된 클럭 신호(CLK\_N)를 노드(N1)으로 제공할 수 있다.
- [0030] 제2 인버터(120)는 클럭 신호(CLK\_P)를 노드(N2)로 제공할 수 있다.
- [0031] 도 5a는 도 4의 클럭 드라이버 회로를 설명하기 위한 예시적인 레이아웃도이다.
- [0032] 도 5a를 참조하면, 클럭 드라이버 회로(100)는 제1 파워 레일(151) 및 제2 파워 레일(152) 사이에 배치되는 제1 인버터(110)와 제2 인버터(120\_1, 120\_2)를 포함할 수 있다.
- [0033] 제1 파워 레일(151)과 제2 파워 레일(152)은 제1 방향으로 길게 연장될 수 있다. 본 명세서에서, 제1 방향은 도 5a의 좌우 방향을 의미하는 것으로 설명한다.
- [0034] 예를 들어, 제1 파워 레일(151)은 전원 전압(VDD) 레일이고, 제2 파워 레일(152)은 접지 전압(VSS) 레일일 수 있으나 이에 제한되는 것은 아니다. 이하에서 제1 파워 레일(151)이 전원 전압(VDD)을 제공하고, 제2 파워 레일(152)이 접지 전압(VSS)을 제공하는 것으로 설명한다.
- [0035] 기관 상에 액티브 영역들(171~176)이 정의될 수 있다. 제1 액티브 영역 내지 제3 액티브 영역들(171~173)은 제1 방향으로 연장되고, 제1 방향으로 서로 이격되어 배치될 수 있다. 몇몇 실시예에서, 제1 액티브 영역 내지 제3 액티브 영역들(171~173)은 N형 불순물을 포함하는 영역일 수 있다. 따라서 제1 액티브 영역 내지 제3 액티브 영역들(171~173) 상에 NMOS 트랜지스터가 형성될 수 있다.
- [0036] 제4 액티브 영역 내지 제6 액티브 영역들(174~176)은 제1 방향으로 연장되고, 제1 방향으로 서로 이격되어 배치될 수 있다. 몇몇 실시예에서, 제4 액티브 영역 내지 제6 액티브 영역들(174~176)은 P형 불순물을 포함하는 영역일 수 있다. 따라서 제4 액티브 영역 내지 제6 액티브 영역들(174~176) 상에 PMOS 트랜지스터가 형성될 수 있다.
- [0037] 제1 액티브 영역(171)과 제4 액티브 영역(174)는 제2 방향으로 서로 이격될 수 있다. 본 명세서에서 제2 방향은 도 5a의 상하 방향으로 설명한다. 따라서 제2 방향은 제1 방향과 직교할 수 있다.
- [0038] 도 5a에 도시된 것과 같이, 제2 액티브 영역(172)과 제5 액티브 영역(175)이 제2 방향으로 서로 이격되고, 제3 액티브 영역(173)과 제6 액티브 영역(176)이 제2 방향으로 서로 이격될 수 있다.
- [0039] 제1 인버터(110)는 게이트 라인들(161~164)을 포함할 수 있다. 상기 게이트 라인들 중, 액티브 영역(172, 175)과 오버랩되지 않는 게이트 라인들(161, 164)은 더미 게이트 라인일 수 있다. 게이트 라인들(161~164)은 제2 방향으로 길게 연장되고, 제1 방향으로 서로 이격되어 배치될 수 있다. 게이트 라인들(161~164)은 파워 레일들(151, 152)과 오버랩되지 않도록 형성될 수 있다.
- [0040] 도 5a에 도시된 것과 같이, 게이트 라인들(162, 163)은 제2 액티브 영역(172)과 중첩하여 제1 NMOS 트랜지스터



(MN1)를 형성한다. 게이트 라인들(162, 163)은 제5 액티브 영역(175)과 중첩하여 제1 PMOS 트랜지스터(MP1)를 형성한다. 제1 NMOS 트랜지스터(MN1)와 제1 PMOS 트랜지스터(MP1)는 제2 방향으로 정렬될 수 있다.

- [0041] 제1 인버터(110)는 게이트 라인들(162, 163)을 통해 입력 클럭 신호(CLK)를 제공받고, 노드(N1)로 출력할 수 있다.
- [0042] 제1 인버터(110)와 나란하게, 제2 인버터(120\_1, 120\_2)를 포함할 수 있다. 제2 인버터는 제1 서브 인버터(120\_1)와 제2 서브 인버터(120\_2)를 포함할 수 있다. 앞서 설명한 것과 같이, 제2 인버터(120)는 반전된 클럭 신호(CLK\_N)을 제공받고, 이를 반전하여 클럭 신호(CLK\_P)를 형성한다. 제1 서브 인버터(120\_1)와 제2 서브 인버터(120\_2)의 회로 동작은 동일하다. 몇몇 실시예에서, 제1 서브 인버터(120\_1)와 제2 서브 인버터(120\_2)는 제1 인버터(110)를 중심으로 대칭된 형상으로 형성될 수 있다.
- [0043] 제1 서브 인버터(120\_1)는 게이트 라인들(131~133)을 포함할 수 있다. 게이트 라인들(131~133)은 제2 방향으로 길게 연장되고, 제1 방향으로 서로 이격될 수 있다.
- [0044] 게이트 라인(131)은 제4 액티브 영역(174)과 중첩하여 제2 PMOS 트랜지스터(MP2\_1)를 형성할 수 있다. 게이트 라인(131)은 제1 액티브 영역(171)과 중첩하여 제2 NPMOS 트랜지스터(MN2\_1)를 형성할 수 있다.
- [0045] 게이트 라인(131)에 제1 인버터(110)가 생성한 반전된 클럭 신호(CLK\_N)가 인가될 수 있다. 게이트 라인(131)은 파워 레일들(151, 152)과 오버랩될 수 있다. 좀더 정확하게는, 게이트 라인(131)은 파워 레일들(151, 152)를 가로질러 제2 방향으로 계속 연장될 수 있다.
- [0046] 게이트 라인들(132, 133)은 게이트 라인(131)의 양 측에 배치될 수 있다. 게이트 라인(132, 133)은 제2 인버터(120\_1)가 형성한 클럭 신호(CLK\_P)가 인가될 수 있다. 게이트 라인들(132, 133)은 파워 레일들(151, 152)과 오버랩될 수 있다. 좀더 정확하게는, 게이트 라인들(132, 133)은 파워 레일들(151, 152)를 가로질러 제2 방향으로 계속 연장될 수 있다.
- [0047] 즉, 게이트 라인들(131~133)은 클럭 드라이버(100) 회로 외부에까지 연장될 수 있다. 본 발명의 몇몇 실시예에 따른 반도체 장치는, 게이트 라인들(131~133)을 통해 신호를 전달하는 클럭 드라이버(100)를 포함한다.
- [0048] 구체적으로, 클럭 드라이버(100)는 게이트 라인(131)을 통해 반전된 클럭 신호(CLK\_N)를 외부로 제공할 수 있다. 또한, 클럭 드라이버(100)는 게이트 라인(132, 133)을 통해 클럭 신호(CLK\_P)를 외부로 제공할 수 있다. 따라서 클럭 드라이버(100)는 제2 방향으로 나란히 배치된 회로에 대하여 게이트 라인들(131~133)을 통해 클럭 신호(CLK\_P) 및 반전된 클럭 신호(CLK\_N)를 제공할 수 있다.
- [0049] 마찬가지로, 서브 인버터(120\_1)와 동일한 서브 인버터(120\_2) 또한, 게이트 라인들(141~143)을 통해 신호를 전달할 수 있다.
- [0050] 클럭 드라이버(100)는 게이트 라인(141)을 통해 반전된 클럭 신호(CLK\_N)를 외부로 제공할 수 있다. 또한, 클럭 드라이버(100)는 게이트 라인(142, 143)을 통해 클럭 신호(CLK\_P)를 외부로 제공할 수 있다. 따라서 클럭 드라이버(100)는 제2 방향으로 나란히 배치된 회로에 대하여 게이트 라인들(141~143)을 통해 클럭 신호(CLK\_P) 및 반전된 클럭 신호(CLK\_N)를 제공할 수 있다.
- [0051] 도 5a에서, 클럭 드라이버(100)는 총 6개의 게이트 라인들(131~133, 141~143)을 통해 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 외부로 출력하는 것으로 도시되었으나 본 발명이 이에 제한되는 것은 아니다. 클럭 드라이버(100)는 각각 1개의 게이트 라인만을 통해 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 출력할 수도 있다. 이후 설명될 마스터 래치(200)와 슬레이브 래치(300)의 구성에 따라 클럭 드라이버(100)로부터 연장되는 게이트 라인들의 개수는 얼마든지 달라질 수 있다.
- [0052] 도 5b는 도 5a의 A-A'를 절단하여 도시한 단면도이다.
- [0053] 도 5b를 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 기판(1000), 드레인 영역(121), 소오스 영역(122), 게이트 라인(141) 등을 포함할 수 있다.
- [0054] 기판(1000)은 예를 들어 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 세라믹 기판, 석영 기판, 또는 디스플레이용 유리 기판 등일 수도 있고, SOI(Silicon on Insulator) 기판일 수도 있다. 본 발명의 실시예들에 따른 반도체 소자에서, 기판(1000)은 예시적으로 실리콘 기판으로 설명한다.
- [0055] 기판(1000) 내에 액티브 영역(173)이 정의되고, 액티브 영역(173) 내에 드레인 영역(121) 및 소오스 영역(122)



이 형성될 수 있다. 드레인 영역(121)과 소오스 영역(122)은 게이트 라인(141)의 양 측에 형성될 수 있다.

- [0056] 도면에서는 기판(1000) 내에 드레인 영역(121) 또는 소오스 영역(122)이 형성된 것만을 도시하였으나, 본 발명이 이에 제한되는 것은 아니다. 본 발명의 몇몇 실시예에서, 드레인 영역 및 소오스 영역(121, 122)의 상면은 예를 들어, 에피택셜 성장 공정을 통해 기판(1000)의 상면보다 높게 형성될 수도 있다.
- [0057] 게이트 라인(141)은 게이트 절연막(145), 게이트 전극(146), 하드 마스크막(147)을 포함할 수 있다. 본 발명의 몇몇 실시예에서, 게이트 라인(141)은 도면에 도시된 것과 같이 게이트 퍼스트(gate first) 공정을 통하여 형성될 수 있으나 이에 제한되는 것은 아니다. 게이트 라인(141)은 리플레이스먼트 공정(replacement process(또는 게이트 라스트 공정(gate last process)))를 통하여 형성될 수도 있다.
- [0058] 게이트 전극(146)은 게이트 스페이서(148)와 게이트 절연막(145)에 의해 정의된 트렌치를 채우도록 형성될 수 있다. 게이트 전극(146)은 예를 들어 도전성이 높은 물질을 포함할 수 있다. 본 발명의 몇몇 실시예에서, 게이트 전극(146)은 다결정 실리콘(poly Si), 비정질 실리콘(a-Si), 티타늄(Ti), 티타늄 질화물(TiN), 텅스텐 질화물(WN) 중 적어도 어느 하나를 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0059] 게이트 절연막(145)은 게이트 전극(146)과 기판(1000)의 사이에 형성될 수 있다. 게이트 절연막(145)은 예를 들어 실리콘 산화물, 실리콘 산질화물, 실리콘 질화물 및 실리콘 산화물보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다.
- [0060] 게이트 스페이서(148)는 게이트 전극(146) 및 게이트 절연막(145)의 측벽 상에 형성될 수 있다. 게이트 스페이서(148)는 예를 들어 실리콘 질화물, 실리콘 산질화물, 실리콘 산화물 등을 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0061] 하드 마스크막(147)은 게이트 전극(146) 상에 형성될 수 있다. 하드 마스크막(147)은 예를 들어 실리콘 질화물, 실리콘 산질화물, 실리콘 산화물 등을 포함할 수 있으나 이에 제한되는 것은 아니다.
- [0062] 드레인 영역(121) 상에 콘택(124)이 형성될 수 있다. 콘택(124)은 메탈(117)과 드레인 영역(121) 사이를 전기적으로 연결시킬 수 있다. 콘택(124)은 층간 절연막(123) 내에 형성될 수 있다. 콘택(124)은 예를 들어 도전성 물질을 포함할 수 있다. 본 발명의 몇몇 실시예에서, 이러한 도전성 물질로는 다결정 실리콘, 금속 실리사이드 화합물, 도전성 금속 질화물 및 금속 중 적어도 하나를 포함할 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0063] 메탈(117)은 층간 절연막(123) 상에 형성될 수 있다. 도 5b에 도시된 것과 같이, 메탈(117)은 M1 레이어에 배치될 수 있으나 본 발명이 이에 제한되는 것은 아니다. 메탈(117)은 예를 들어, 도전성 물질을 포함할 수 있다. 이러한 도전성 물질의 예로는 도핑된 폴리 실리콘, 질화 티타늄(TiN), 질화 탄탈륨(TaN), 질화 텅스텐(WN), 티타늄(Ti), 탄탈륨(Ta) 및 텅스텐(W) 등을 들 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0064] 도 5a에 도시된 것과 같이, 메탈(117)은 게이트 라인(143)과 비아를 통해 전기적으로 연결될 수 있다. 메탈(117)에는 인버터(120\_2)의 출력 노드(N2)의 전압이 인가될 수 있다.
- [0065] 도 5c는 도 4의 클럭 드라이버 회로를 설명하기 위한 레이아웃도이다.
- [0066] 도 5c를 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 도 5a에서 도시된 레이아웃과는 다른 레이아웃을 갖는 플립 플롭 회로를 포함할 수 있다.
- [0067] 구체적으로, 클럭 드라이버(100)는 도 5a에 도시된 레이아웃과는 달리, 제3 액티브 영역(173)과 제6 액티브 영역(176)을 포함하지 않을 수 있다. 게이트 라인(141)은 게이트 라인(131)과 전기적으로 연결되고, 반전된 클럭 신호(CLK\_N)가 인가될 수 있다. 게이트 라인들(142, 143)은 게이트 라인들(132, 133)과 각각 전기적으로 연결되고, 클럭 신호(CLK\_P)가 인가될 수 있다.
- [0068] 도 6은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 회로도이다.
- [0069] 도 6을 참조하면, 플립 플롭은 마스터 래치 회로(200)와 슬레이브 래치 회로(300)를 포함할 수 있다.
- [0070] 마스터 래치(200)는 제1 트랜스미션 게이트(220), 제1 인버터(230), 제1 마스터 래치 트라이 스테이트 인버터(240)를 포함할 수 있다.
- [0071] 마스터 래치(200)는 노드(N3)를 통해 입력된 데이터 신호(D)를 저장하고, 이를 노드(N5)로 출력할 수 있다. 구체적으로, 마스터 래치(200)는 클럭 신호(CLK\_P) 및 반전된 클럭 신호(CLK\_N)에 기초하여 입력된 데이터 신호(D)를 출력할 수 있다.

- [0072] 구체적으로, 제1 트랜스미션 게이트(220)는 노드(N3)로부터 인버터(210)에 의해 반전된 데이터 신호(D)를 입력 받고, 클럭 신호(CLK\_P)가 논리 로우(L)이고 반전된 클럭 신호(CLK\_N)가 논리 하이(H)일 때 입력을 반전하여 노드(N4)로 출력할 수 있다.
- [0073] 제1 트랜스미션 게이트(220)는 제1 마스터 래치 트라이 스테이트 인버터(240)와 출력 단자를 공유할 수 있다. 제1 마스터 래치 트라이 스테이트 인버터(240)는 제1 인버터(230)로부터 제공된 출력 신호를 반전하여 노드(N4)로 출력할 수 있다.
- [0074] 구체적으로, 제1 마스터 래치 트라이 스테이트 인버터(240)는 클럭 신호(CLK\_P)가 논리 하이(H)이고 반전된 클럭 신호(CLK\_N)가 논리 로우(L)일 때 제1 인버터(230)가 노드(N5)로 출력한 신호를 반전하여 노드(N4)로 출력할 수 있다. 반대로 클럭 신호(CLK\_P)가 논리 로우(L)이고 반전된 클럭 신호(CLK\_N)가 논리 하이(H)일 때 제1 마스터 래치 트라이 스테이트 인버터(240)는 신호를 노드(N4)에 출력하지 않는다.
- [0075] 슬레이브 래치(200)는 제2 트랜스미션 게이트(250), 제2 인버터(260) 및 제2 슬레이브 래치 트라이 스테이트 인버터(270)를 포함할 수 있다. 슬레이브 래치(200)는 앞서 설명한 마스터 래치(100) 회로와 유사하게 동작할 수 있다.
- [0076] 구체적으로, 슬레이브 래치(200)는 노드(N5)를 통해 입력된 데이터 신호(D)를 저장하고, 이를 노드(N7)로 출력할 수 있다. 구체적으로, 슬레이브 래치(200)는 클럭 신호(CLK\_P) 및 반전된 클럭 신호(CLK\_N)에 기초하여 입력된 데이터 신호(D)를 노드(N6)로 출력할 수 있다. 노드(N6)로 출력된 데이터 신호는 제2 인버터(260)에 의해 반전되어 출력 신호(N7)로써 출력된다.
- [0077] 구체적으로, 제2 트랜스미션 게이트(250)는 노드(N5)로부터 데이터 신호(D)를 입력받고, 클럭 신호(CLK\_P)가 논리 하이(H)이고 반전된 클럭 신호(CLK\_N)가 논리 로우(L)일 때 입력을 노드(N6)로 출력할 수 있다.
- [0078] 제2 트랜스미션 게이트(250)의 출력 단자는 제1 슬레이브 래치 트라이 스테이트 인버터(270)와 출력 단자를 공유할 수 있다. 제1 슬레이브 래치 트라이 스테이트 인버터(270)는 제2 인버터(260)로부터 제공된 출력 신호를 반전하여 노드(N6)로 출력할 수 있다.
- [0079] 구체적으로, 제1 슬레이브 래치 트라이 스테이트 인버터(270)는 클럭 신호(CLK\_P)가 논리 로우(L)이고 반전된 클럭 신호(CLK\_N)가 논리 하이(H)일 때 제2 인버터(260)가 노드(N7)로 출력한 신호를 반전하여 노드(N6)로 출력할 수 있다. 반대로 클럭 신호(CLK\_P)가 논리 로우(L)이고 반전된 클럭 신호(CLK\_N)가 논리 하이(H)일 때 제1 슬레이브 래치 트라이 스테이트 인버터(270)는 제2 인버터(260)를 노드(N6)로부터 차단할 수 있다.
- [0080] 도 7a와 7b는 도 6의 플립 플롭 회로에 포함된 트라이 스테이트 인버터들의 회로도이다.
- [0081] 먼저 도 7a를 참조하면, 제1 마스터 래치 트라이 스테이트 인버터(240)는 제3 내지 제4 NMOS 트랜지스터(MN3, MN4), 제3 내지 제4 PMOS 트랜지스터(MP3, MP4)를 포함할 수 있다. 상기 트랜지스터들은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬로 배치될 수 있다.
- [0082] 제1 마스터 래치 트라이 스테이트 인버터(240)의 구체적인 동작은 앞서 설명하였으므로 생략하기로 한다. 즉, 클럭 신호(CLK\_P) 또는 반전된 클럭 신호(CLK\_N)를 통해 각각 게이팅되는 제3 PMOS 트랜지스터(MP3)와 제3 NMOS 트랜지스터(MN3)에 의해 노드(N5)로 입력된 데이터 신호(D)가 노드(N4)로 출력되는 것을 제어할 수 있다.
- [0083] 도 7b를 참조하면, 제1 슬레이브 래치 트라이 스테이트 인버터(270)는 제5 내지 제6 NMOS 트랜지스터(MN5, MN6), 제5 내지 제6 PMOS 트랜지스터(MP5, MP6)를 포함할 수 있다. 상기 트랜지스터들은 전원 전압(VDD)과 접지 전압(VSS) 사이에 직렬로 배치될 수 있다.
- [0084] 제1 슬레이브 래치 트라이 스테이트 인버터(270)의 구성은 또한 앞서 설명한 것과 동일하다. 즉, 클럭 신호(CLK\_P) 또는 반전된 클럭 신호(CLK\_N)를 통해 각각 게이팅되는 제5 NMOS 트랜지스터(MN5)와 제5 PMOS 트랜지스터(MP5)에 의해, 노드(N7)로 입력된 데이터 신호(D)가 노드(N6)로 출력되는 것이 제어될 수 있다.
- [0085] 도 8a와 8b는 도 6의 플립 플롭 회로를 설명하기 위한 레이아웃도이다.
- [0086] 먼저 도 8a를 참조하면, 인버터(210)와 마스터 래치 회로(200)의 레이아웃이 도시된다. 구체적으로, 인버터(210), 제1 트랜스미션 게이트(220), 인버터(230) 및 제1 마스터 래치 트라이 스테이트 인버터(240)의 레이아웃이 도시된다.
- [0087] 게이트 라인들(131~133)은 앞서 설명한 것과 같이 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)가 인가된다.

즉, 제2 방향으로 연장된 게이트 라인들(131~133)에 의해 마스터 래치(200)는 클럭 드라이버로(100)로부터 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받는다.

- [0088] 플립 플롭은 액티브 영역들(181~187)을 포함할 수 있다. 도 8a에 도시된 게이트 라인들은 각각의 액티브 영역들(181~187)과 중첩되어 트랜지스터를 형성할 수 있다.
- [0089] 예를 들어, 게이트 라인(131)은 액티브 영역(182)과 중첩되어 제3 PMOS 트랜지스터(MP3)를 형성하고, 액티브 영역(186)과 중첩되어 제3 NMOS 트랜지스터(MN3)를 형성할 수 있다. 제3 PMOS 트랜지스터(MP3)와 제3 NMOS 트랜지스터(MN3)는 노드(N4)를 통해 인버터(230)의 게이트(231)과 전기적으로 연결될 수 있다.
- [0090] 제3 PMOS 트랜지스터(MP3)는 제1 파워 레일(151)을 통해 전원 전압(VDD)을 제공받을 수 있다. 제3 NMOS 트랜지스터(MN3)는 제3 파워 레일(153)을 통해 접지 전압(VSS)을 제공받을 수 있다.
- [0091] 게이트 라인(241)은 액티브 영역(183)과 중첩되어 제4 PMOS 트랜지스터(MP4)를 형성하고, 액티브 영역(186)과 중첩되어 제4 NMOS 트랜지스터(MN4)를 형성할 수 있다.
- [0092] 액티브 영역들과 중첩되지 않는 게이트 라인들(211, 213, 242)은 더미게이트일 수 있다.
- [0093] 도 8b를 참조하면, 슬레이브 래치 회로(300)의 레이아웃이 도시된다. 구체적으로, 제2 트랜스미션 게이트(250), 인버터(260), 제1 슬레이브 래치 트라이 스테이트 인버터(270) 및 인버터(280)의 레이아웃이 도시된다.
- [0094] 슬레이브 래치 회로(300)는 마스터 래치 회로(300)와 제1 방향으로 차례로 배치될 수 있다. 즉, 슬레이브 래치 회로(300)는 마스터 래치 회로(300)와 제1 파워 레일(151) 및 제3 파워 레일(153)을 공유하면서, 제1 방향으로 차례로 배치될 수 있다.
- [0095] 플립 플롭은 액티브 영역들(188~195)을 포함할 수 있다. 도 8b에 도시된 게이트 라인들은 각각의 액티브 영역들(188~195)과 중첩되어 트랜지스터를 형성할 수 있다.
- [0096] 예를 들어, 게이트 라인(141)은 액티브 영역(188)과 중첩되어 제5 PMOS 트랜지스터(MP5)를 형성할 수 있다. 게이트 라인(141)에는 반전된 클럭 신호(CLK\_N)가 인가되는 것은 앞서 설명한 바와 같다. 또한, 게이트 라인(141)의 양측에 배치되는 게이트 라인들(142, 143)은 클럭 신호(CLK\_P)가 인가된다.
- [0097] 게이트 라인(271)은 액티브 영역(188)과 중첩되어 제6 PMOS 트랜지스터(MP6)를 형성할 수 있다.
- [0098] 결과적으로, 마스터 래치 회로(200)와 슬레이브 래치 회로(300)는 제2 방향으로 길게 연장되는 게이트 라인들(131~133, 141~143)에 의하여 클럭 드라이버(100)로부터 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받는다.
- [0099] 본 발명의 몇몇 실시예에 따른 반도체 장치에서, 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)가 게이트 라인들(131~133, 141~143)에 의하여 마스터 래치 회로(200)와 슬레이브 래치 회로(300)에 전달됨에 따라, 별도의 메탈을 이용하여 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 마스터 래치 회로(300)와 슬레이브 래치 회로(300)에 제공할 필요가 없다.
- [0100] 예를 들어, 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)는 M1 레이어 또는 M1 레이어의 상부에 위치하여 M1 레이어와 비아를 통해 연결되는 M2 레이어를 통해 마스터 래치 회로(200)와 슬레이브 래치 회로(300)에 전달될 수도 있을 것이다. 그러나 마스터 래치 회로(200)와 슬레이브 래치 회로(300)는 모두 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받을 필요가 있어, 레이아웃 내 메탈의 연결 복잡도가 증가할 수 있다. 이로 인해 제조 난이도 증가 또는 회로 면적 증가 등의 문제가 발생할 수 있다.
- [0101] 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함된 마스터 래치 회로(200)와 슬레이브 래치 회로(300)는 제2 방향으로 길게 연장되는 게이트 라인들(131~133, 141~143)에 의하여 클럭 드라이버(100)로부터 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받는다. 이로 인해 M1 레이어 또는 M2 레이어의 연결의 개수를 감소하고, 제조 난이도 증가 또는 회로 면적 증가 등의 문제를 방지할 수 있다.
- [0102] 도 9는 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 레이아웃도이다.
- [0103] 도 9를 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제2 방향, 즉 도 9의 상하 방향으로 배치된 클럭 드라이버 회로(100), 마스터 래치 회로(200) 및 슬레이브 래치 회로(300)를 포함할 수 있다.
- [0104] 도 9에서, 위에서부터 차례로 슬레이브 래치 회로(300), 클럭 드라이버 회로(100), 마스터 래치 회로(200)가 제2 방향으로 배치된 것이 도시되나 본 발명이 이에 제한되는 것은 아니다. 예를 들어 클럭 드라이버 회로(100),

마스터 래치 회로(200), 슬레이브 래치 회로(300)의 순서로 제2 방향으로 차례로 배치될 수도 있다. 즉, 세 회로가 제2 방향으로 배치된 경우라면 이들의 배치 순서가 제한되는 것은 아니다.

- [0105] 클럭 드라이버 회로(100), 마스터 래치 회로(200) 및 슬레이브 래치 회로(300)를 제2 방향으로 가로지르도록 게이트 라인들(131~133, 141~143)이 배치될 수 있다.
- [0106] 앞서 설명한 실시예와 유사하게, 게이트 라인(131~133, 141~143)을 통해 클럭 신호(CLK\_P) 및 반전된 클럭 신호(CLK\_N)가 회로에 제공될 수 있다. 예를 들어 게이트 라인(131)에 반전된 클럭 신호(CLK\_N)가 인가되고, 게이트 라인(132, 133)에 클럭 신호(CLK\_P)가 인가될 수 있다. 또한 게이트 라인(141)에 반전된 클럭 신호(CLK\_N)가 인가되고, 게이트 라인(142, 143)에 클럭 신호(CLK\_P)가 인가될 수 있다.
- [0107] 도 10은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 블록도이다.
- [0108] 도 10을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 멀티 비트(Multi-bit) 플립 플롭을 포함할 수 있다.
- [0109] 구체적으로, 도 10의 반도체 장치(20)는 2비트의 입력(D0, D1)을 제공받아 2비트의 출력(Q0, Q1)을 제공하는 D-플립 플롭을 포함할 수 있다.
- [0110] 도 11은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 회로도이다.
- [0111] 도 11을 참조하면, 2비트의 입력(D0, D1)을 제공받아 2비트의 출력(Q0, Q1)을 제공하는 플립플롭이 도시된다. 도 11에 도시된 각각의 회로 구성 요소들은 도 6에 도시된 회로의 구성 요소와 유사하다. 즉, 유사한 참조 부호는 유사한 도면 부호를 나타낼 수 있다.
- [0112] 도 12a와 12b는 도 11의 플립 플롭 회로를 설명하기 위한 레이아웃도이다.
- [0113] 도 12a와 12b를 참조하면, 중앙의 클럭 드라이버를 중심으로 양측에 플립 플롭들의 일부가 배치되는 것이 도시된다. 참고할 것은, 도 12a와 12b에 도시된 레이아웃들은 예시적인 것이며, 본 발명의 반도체 장치에 도 12a와 12b에 도시된 레이아웃의 구성에 의하여 제한되는 것은 아니다.
- [0114] 도 12a에 도시된 레이아웃에서, 클럭 드라이버는 게이트 라인들(131~133)로 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공한다. 트랜스미션 게이트(320, 420), 제1 및 제2 마스터 래치 트라이 스테이트 인버터(340, 440)는 게이트 라인(131)으로부터 클럭 신호(CLK\_P)를 제공받고, 게이트 라인들(132, 133)로부터 반전된 클럭 신호(CLK\_N)를 제공받는다. 따라서 각 회로 구성 요소들이 메탈이 아닌 게이트 라인들(131~133)로부터 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받는 것은 앞서 설명한 실시예와 같다.
- [0115] 도 12b에 도시된 레이아웃에서, 클럭 드라이버는 게이트 라인들(141~143)로 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공한다. 트랜스미션 게이트(350, 450), 제1 및 제2 슬레이브 래치 트라이 스테이트 인버터(370, 470)는 게이트 라인(141)으로부터 클럭 신호(CLK\_P)를 제공받고, 게이트 라인들(142, 143)로부터 반전된 클럭 신호(CLK\_N)를 제공받는다. 따라서 각 회로 구성 요소들이 메탈이 아닌 게이트 라인들(141~143)로부터 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받는 것은 앞서 설명한 실시예와 같다.
- [0116] 도 13은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 플립 플롭의 예시적인 회로도이고, 도 14는 도 13의 플립 플롭 회로를 설명하기 위한 레이아웃도이다.
- [0117] 도 13을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 n비트(n은 2 이상의 자연수) 멀티 비트 플립 플롭을 포함할 수 있다. 도 13의 반도체 장치(10)는 n비트의 입력(D)을 제공받아 n비트의 출력(Q)을 제공하는 D-플립 플롭을 포함할 수 있다.
- [0118] 도 14를 참조하면, n비트 멀티 비트 플립 플롭(100)의 예시적인 레이아웃이 도시된다.
- [0119] n비트 멀티 비트 플립 플롭(100)은 클럭 드라이버(500) 및 복수의 플립 플롭들(500\_1~500\_n)을 포함할 수 있다. 복수의 플립 플롭들(500\_1~500\_n)은 각각 제1 방향으로 차례로 배치되는 마스터 래치 회로와 슬레이브 래치 회로들을 포함할 수 있다.
- [0120] 마스터 래치 회로는 제2 방향으로 길게 연장되는 게이트 라인들(131~133)을 통해 클럭 신호(CLK\_P)와 반전된 클럭 신호(CLK\_N)를 제공받을 수 있다.
- [0121] 슬레이브 래치 회로는 제2 방향으로 길게 연장되는 게이트 라인들(141~143)을 통해 클럭 신호(CLK\_P)와 반전된

클럭 신호(CLK\_N)를 제공할 수 있다.

[0122] 도 14에서, 복수의 플립 플롭들(500<sub>1</sub>~500<sub>n</sub>)이 클럭 드라이버(500)의 양측에 배치된 것으로 도시되었으나 이에 제한되는 것은 아니다. 복수의 플립 플롭들(500<sub>1</sub>~500<sub>n</sub>)은 클럭 드라이버(500)의 일측에만 배치될 수도 있다.

[0123] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

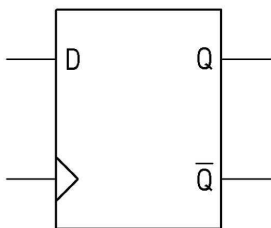
[0124] 100: 클럭 드라이버    200: 마스터 래치

300: 슬레이브 래치

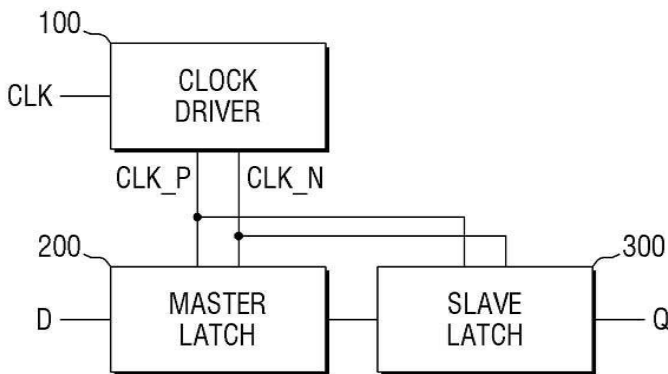
**도면**

**도면1**

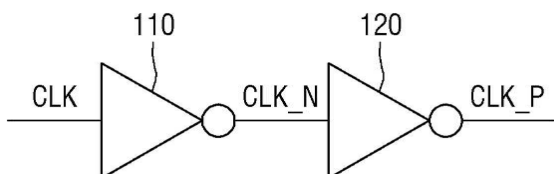
10



**도면2**

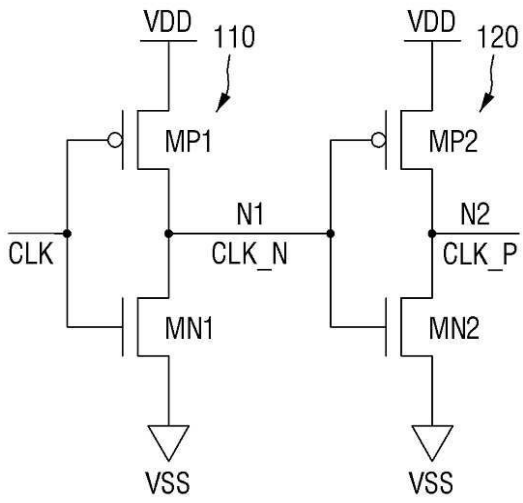


**도면3**

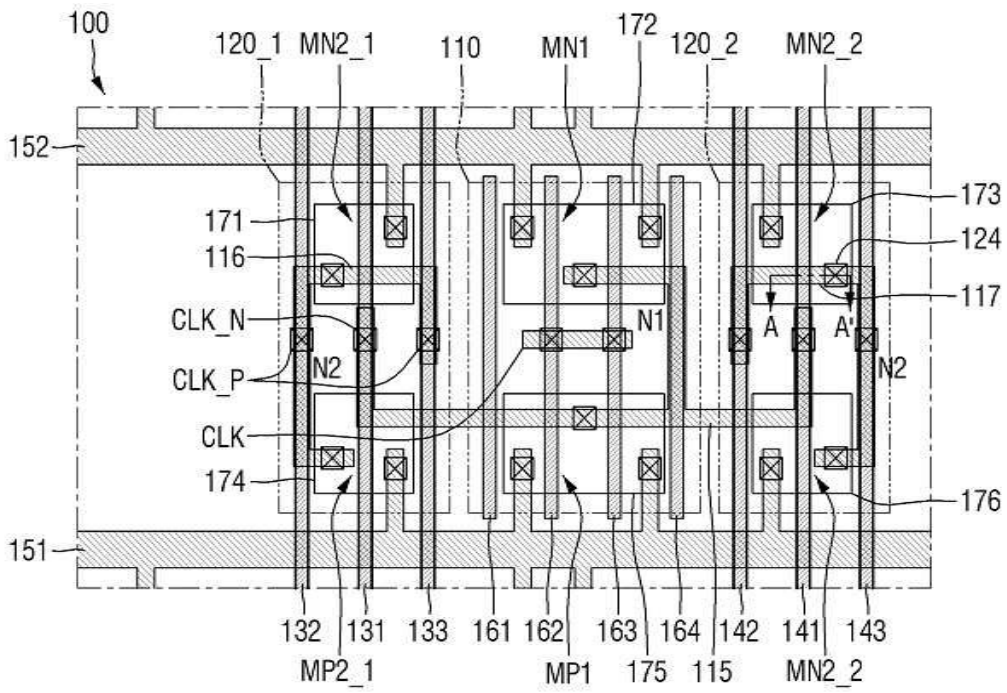




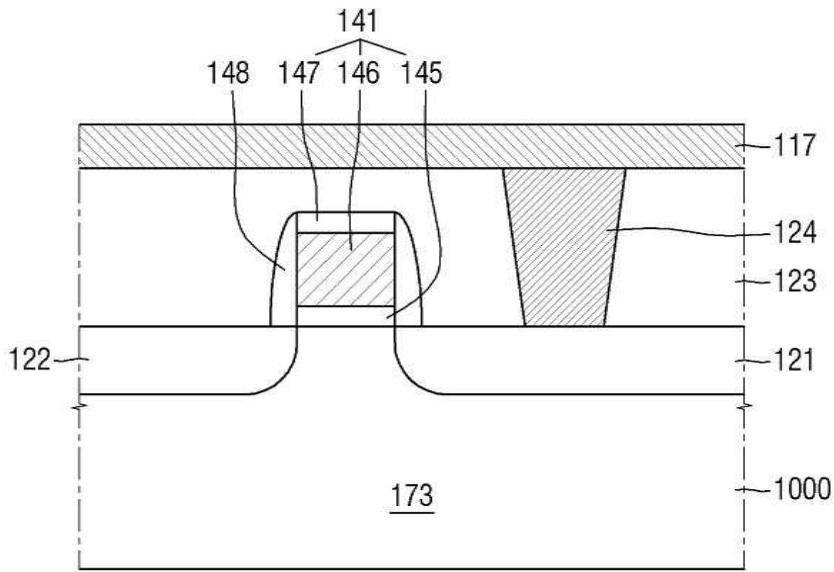
도면4



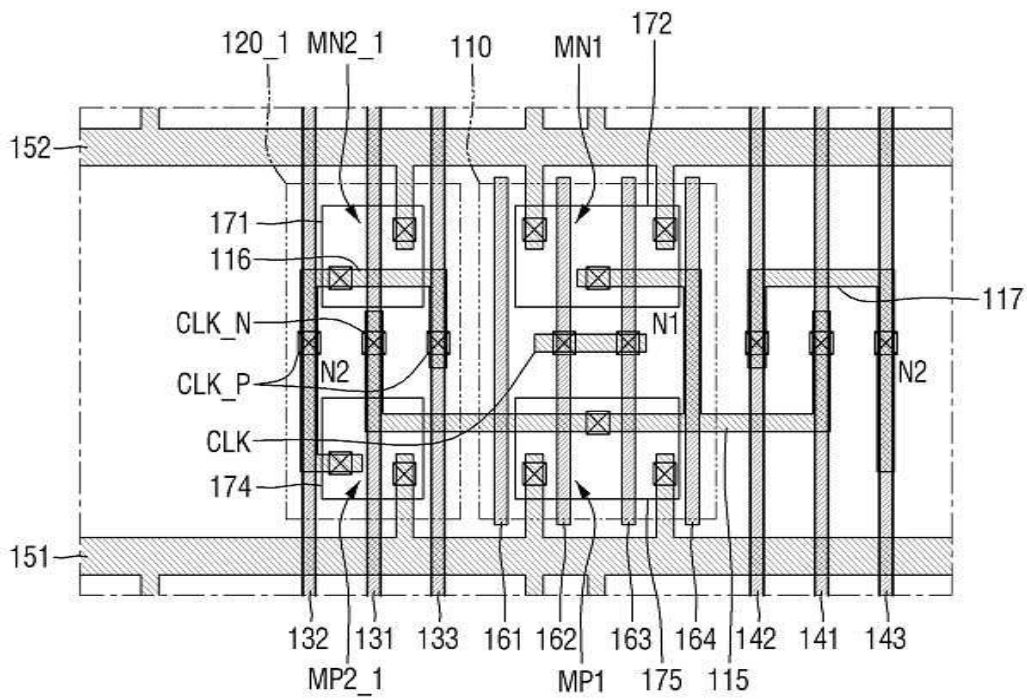
도면5a



도면5b

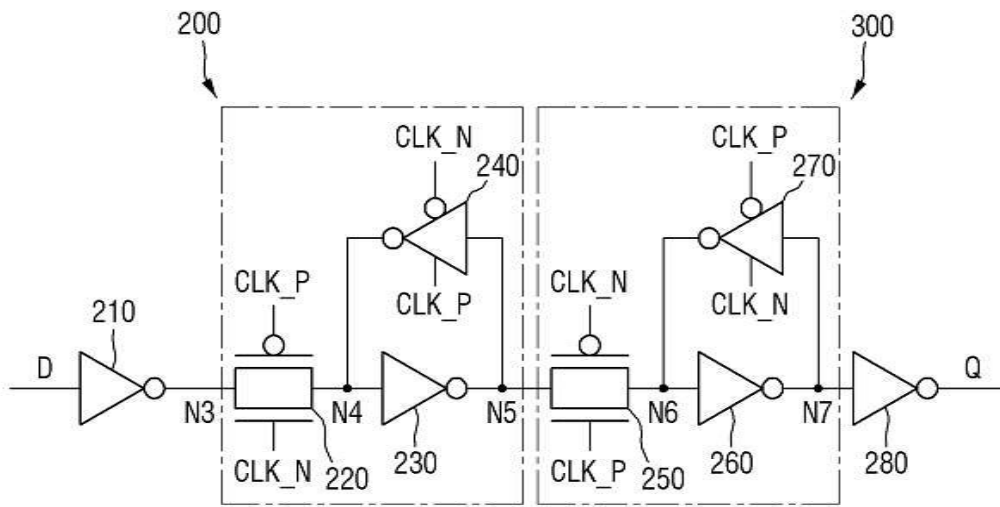


도면5c

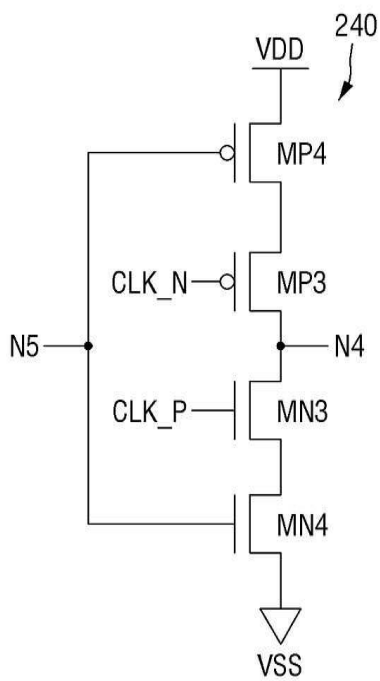




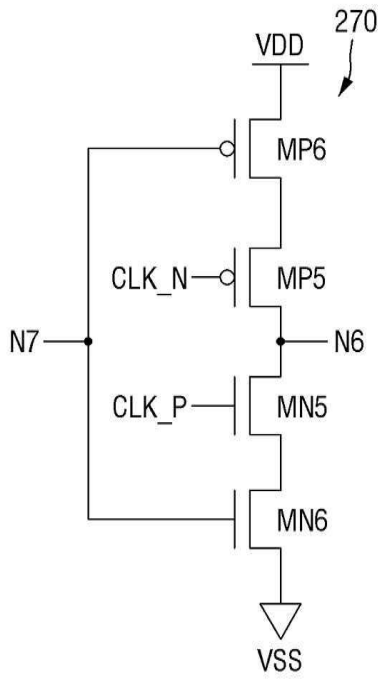
도면6



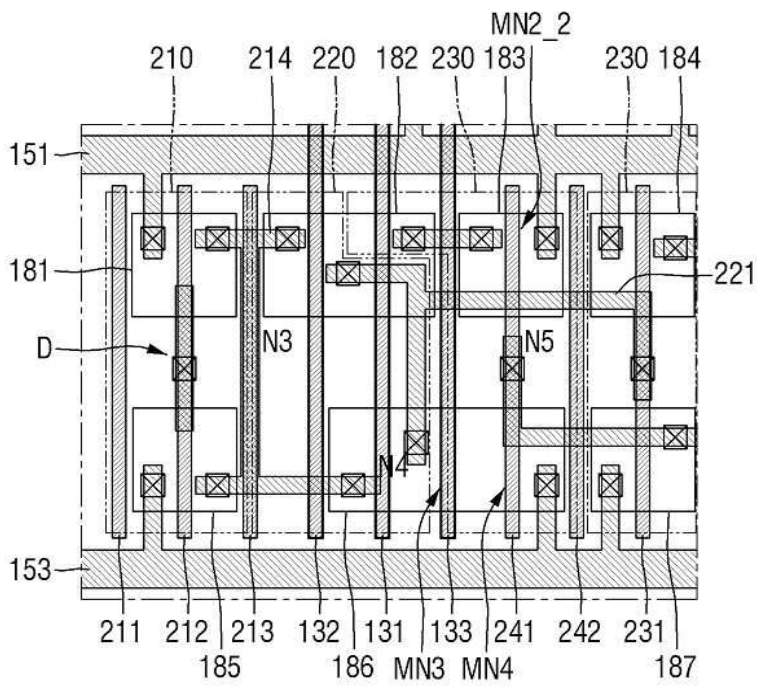
도면7a



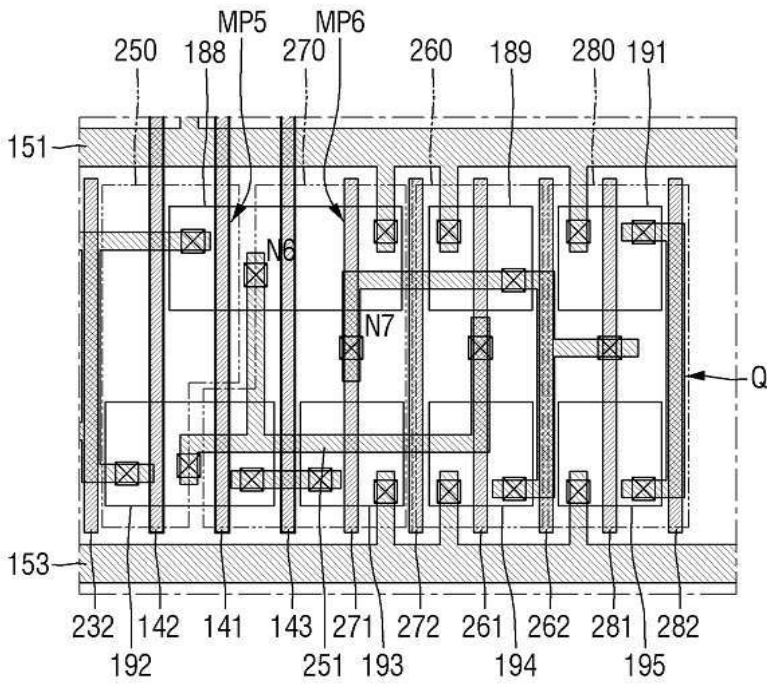
도면7b



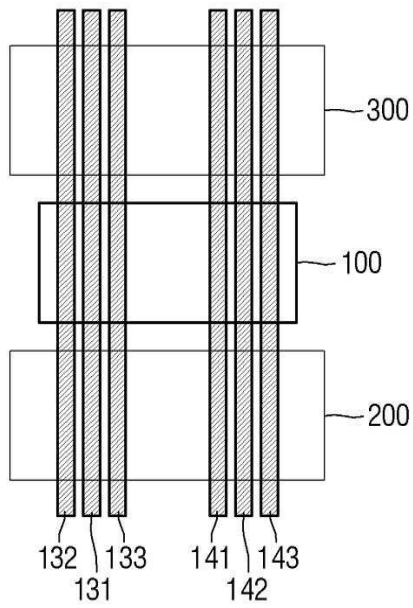
도면8a



도면8b

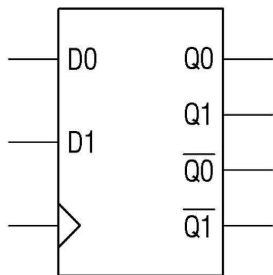


도면9

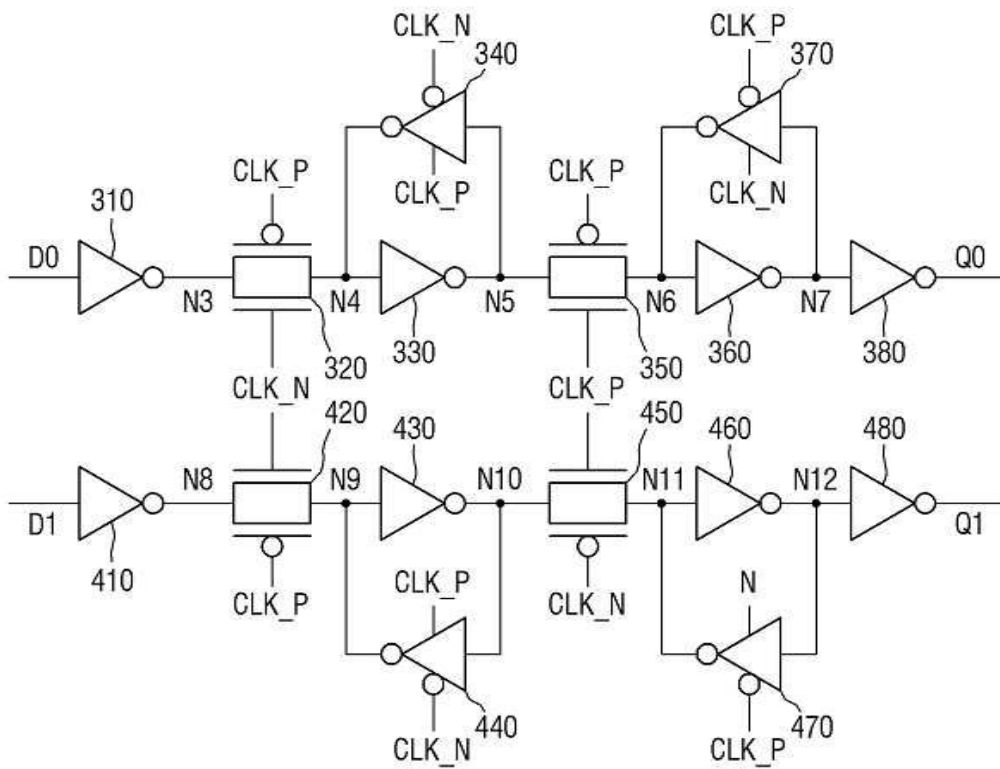


도면10

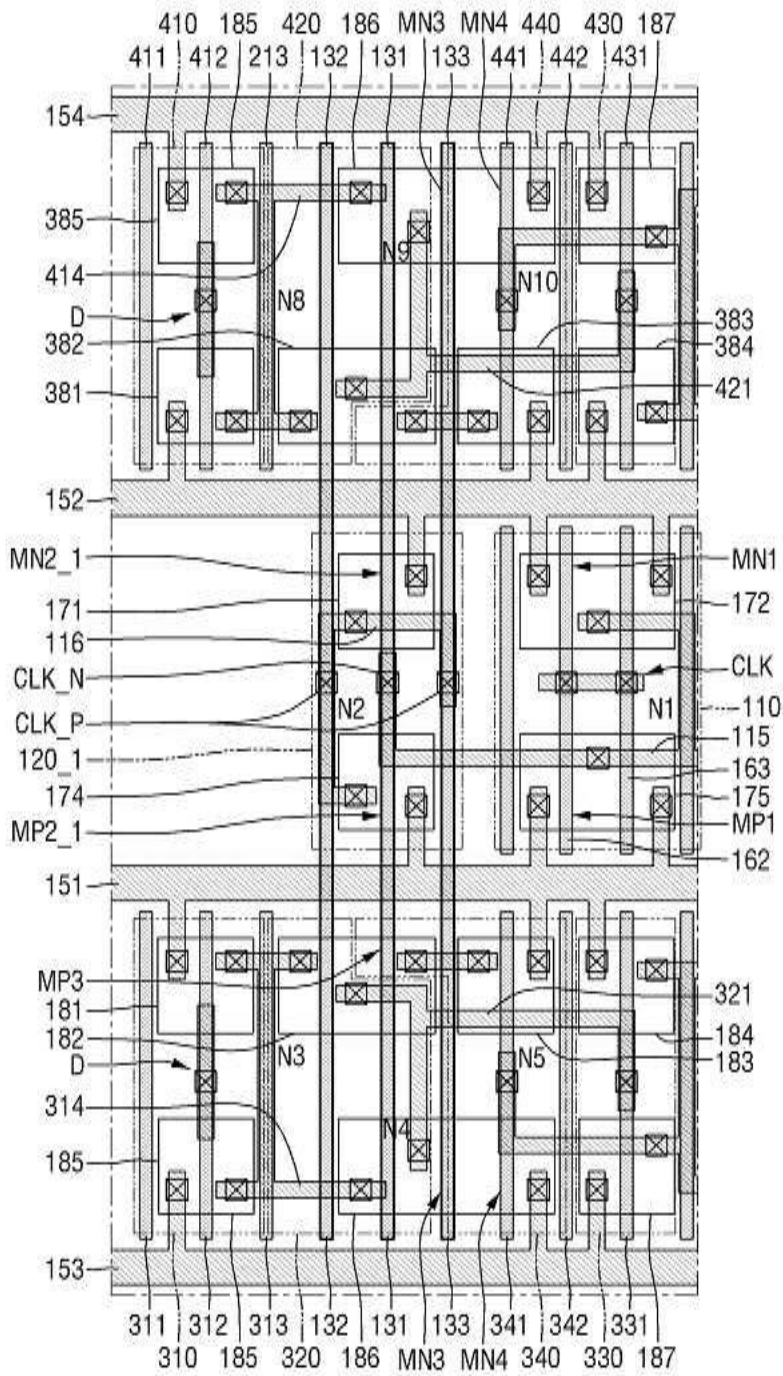
20



도면11

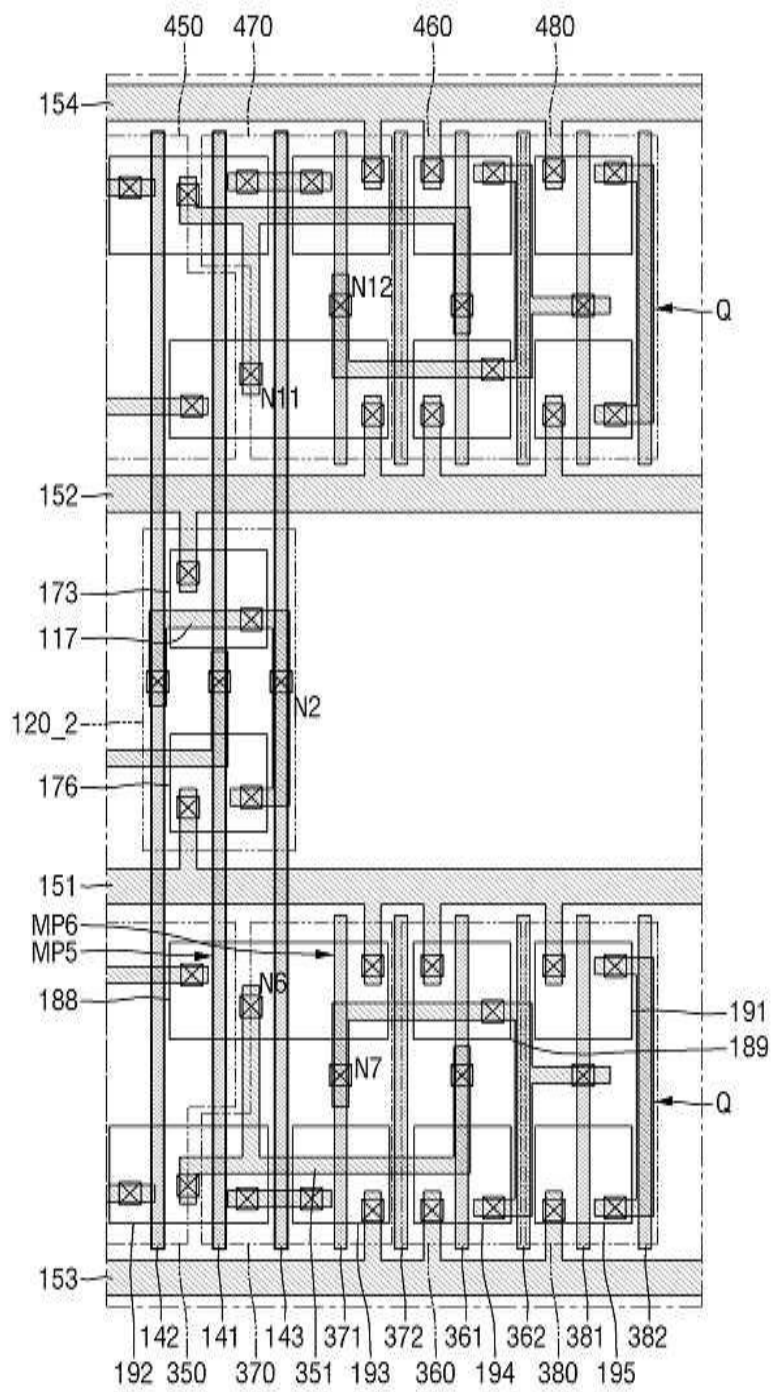


도면12a



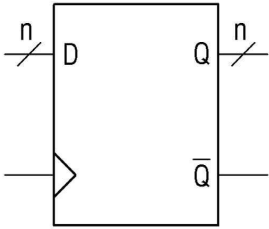


도면12b



도면13

10





도면14

