



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년04월14일  
 (11) 등록번호 10-1612298  
 (24) 등록일자 2016년04월07일

(51) 국제특허분류(Int. Cl.)  
 H03K 17/687 (2006.01) H03K 19/0185 (2006.01)  
 H03K 19/0948 (2006.01)  
 (21) 출원번호 10-2009-0021678  
 (22) 출원일자 2009년03월13일  
 심사청구일자 2014년03월10일  
 (65) 공개번호 10-2010-0103195  
 (43) 공개일자 2010년09월27일  
 (56) 선행기술조사문헌  
 JP2004236282 A\*  
 JP2006246486 A  
 KR1020040081860 A  
 KR1020060098474 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 한국과학기술원  
 대전광역시 유성구 대학로 291(구성동)  
 (72) 발명자  
 김형욱  
 서울특별시 송파구 올림픽로4길 42, 우성아파트  
 27동 603호 (잠실동)  
 최정연  
 경기도 화성시 영통로50번길 14, 반달마을 두산위  
 브2차 204동 1403호 (반월동)  
 (뒷면에 계속)  
 (74) 대리인  
 박영우

전체 청구항 수 : 총 9 항

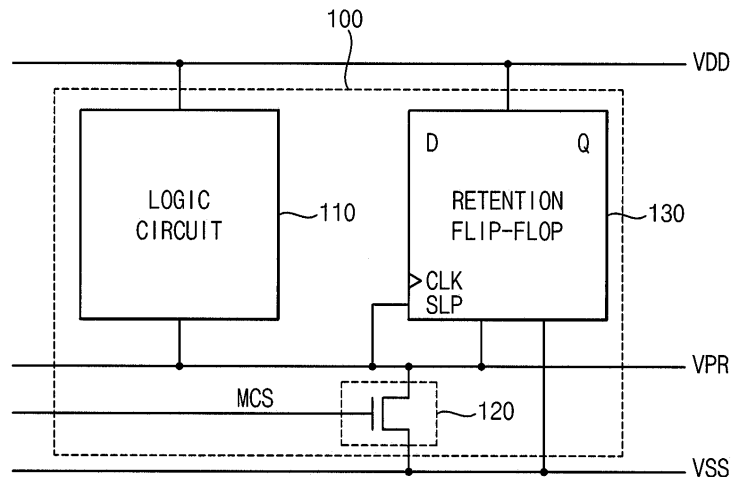
심사관 : 이옥우

(54) 발명의 명칭 **파워 게이팅 회로 및 이를 포함하는 집적 회로**

**(57) 요약**

감소된 배선 길이를 가지는 파워 게이팅 회로는 로직 회로, 스위칭 소자 및 리텐션 플립-플롭을 포함한다. 로직 회로는 1 전원 레일과 가상 전원 레일 사이에 연결된다. 스위칭 소자는 모드 제어 신호에 응답하여 가상 전원 레일을 제2 전원 레일에 선택적으로 연결한다. 리텐션 플립-플롭은 가상 전원 레일의 전압을 제어 신호로서 수신하고, 가상 전원 레일의 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행한다.

**대표도 - 도1**



(72) 발명자

**이봉현**

경기도 수원시 영통구 영일로 8 (영통동)

**서문준**

대전광역시 유성구 대학로 291, 한국과학기술원 전  
기및전자공학과 (구성동)

**신영수**

대전광역시 유성구 대학로 291, 한국과학기술원 전  
기및전자공학과 (구성동)

## 명세서

### 청구범위

#### 청구항 1

제1 전원 레일과 가상 전원 레일 사이에 연결된 로직 회로;

모드 제어 신호에 응답하여 상기 가상 전원 레일을 제2 전원 레일에 선택적으로 연결하는 스위칭 소자; 및

상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행하는 리텐션 플립-플롭을 포함하고,

상기 리텐션 플립-플롭은,

상기 가상 전원 레일의 상기 전압이 상기 제2 전원 레일의 제2 전원 전압의 레벨에 근접한 레벨을 가진 경우, 상기 플립-플롭 동작을 수행하고,

상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우, 상기 데이터 유지 동작을 수행하는 것을 특징으로 하는 파워 게이팅 회로.

#### 청구항 2

삭제

#### 청구항 3

제1 전원 레일과 가상 전원 레일 사이에 연결된 로직 회로;

모드 제어 신호에 응답하여 상기 가상 전원 레일을 제2 전원 레일에 선택적으로 연결하는 스위칭 소자; 및

상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행하는 리텐션 플립-플롭을 포함하고,

상기 리텐션 플립-플롭은,

상기 가상 전원 레일의 상기 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 기초하여 모드 신호를 생성하는 제어 신호 입력부;

클록 신호를 수신하고, 상기 모드 신호에 응답하여 내부 클록 신호로서 상기 클록 신호를 선택적으로 출력하는 클록 신호 입력부;

상기 내부 클록 신호에 응답하여 상기 플립-플롭 동작을 수행하는 플립-플롭부; 및

상기 클록 신호 입력부가 상기 내부 클록 신호를 출력하지 않는 경우, 상기 데이터 유지 동작을 수행하는 데이터 유지부를 포함하는 것을 특징으로 하는 파워 게이팅 회로.

#### 청구항 4

제3 항에 있어서,

상기 플립-플롭부는 상기 제1 전원 레일과 상기 가상 전원 레일 사이에 연결되고,

상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우, 상기 플립-플롭부에 대한 전력 공급이 차단되고,

상기 데이터 유지부는 상기 제1 전원 레일과 상기 제2 전원 레일 사이에 연결되고,

상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우, 상기 데이터 유지부에 대한 전력 공급이 유지되는 것을 특징으로 하는 파워 게이팅 회로.

#### 청구항 5

제1 전원 레일과 가상 전원 레일 사이에 연결된 로직 회로;

모드 제어 신호에 응답하여 상기 가상 전원 레일을 제2 전원 레일에 선택적으로 연결하는 스위칭 소자;

상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행하는 리텐션 플립-플롭; 및

상기 모드 제어 신호에 응답하여 초기화 시간 동안 상기 가상 전원 레일을 상기 제1 전원 레일에 연결하는 전압 레벨 천이 회로를 포함하는 것을 특징으로 하는 파워 게이팅 회로.

**청구항 6**

제5 항에 있어서, 상기 전압 레벨 천이 회로는,

상기 모드 제어 신호가 동작 모드를 나타내는 제1 로직 레벨에서 대기 모드를 나타내는 제2 로직 레벨로 천이할 때, 상기 초기화 시간에 상응하는 폭을 가진 펄스를 생성하는 펄스 생성기; 및

상기 펄스 생성기로부터 제공되는 상기 펄스에 응답하여 상기 가상 전원 레일을 상기 제1 전원 레일에 연결하는 전하 펌프 스위칭 소자를 포함하는 것을 특징으로 하는 파워 게이팅 회로.

**청구항 7**

제6 항에 있어서, 상기 펄스 생성기로부터 제공되는 상기 펄스의 폭과 상기 전하 펌프 스위칭 소자의 사이즈의 곱은, 상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가지는 데에 요구되는 전하량에 비례하는 것을 특징으로 하는 파워 게이팅 회로.

**청구항 8**

제1 전원 레일과 가상 전원 레일 사이에 연결된 로직 회로;

모드 제어 신호에 응답하여 상기 가상 전원 레일을 제2 전원 레일에 선택적으로 연결하는 스위칭 소자;

상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행하는 리텐션 플립-플롭; 및

상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 데이터 출력 동작 또는 데이터 유지 동작을 선택적으로 수행하는 출력 분리 회로를 포함하는 것을 특징으로 하는 파워 게이팅 회로.

**청구항 9**

제8 항에 있어서, 상기 출력 분리 회로는,

상기 가상 전원 레일의 상기 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 기초하여 모드 신호를 생성하는 제어 신호 입력부;

상기 모드 신호에 응답하여 상기 데이터 출력 동작을 선택적으로 수행하는 데이터 출력부; 및

상기 모드 신호에 응답하여 상기 데이터 유지 동작을 선택적으로 수행하는 데이터 유지부를 포함하는 것을 특징으로 하는 파워 게이팅 회로.

**청구항 10**

제1 전원 전압을 제공하는 제1 전원 레일;

제2 전원 전압을 제공하는 제2 전원 레일;

가상 전원 레일;

모드 제어 신호를 생성하는 전력 관리부; 및

상기 모드 제어 신호에 응답하여 선택적으로 작동하는 적어도 하나의 파워 게이팅 회로를 포함하고,

상기 파워 게이팅 회로는,

상기 제1 전원 레일과 상기 가상 전원 레일 사이에 연결된 로직 회로;

상기 모드 제어 신호에 응답하여 상기 가상 전원 레일을 상기 제2 전원 레일에 선택적으로 연결하는 스위칭 소자; 및

상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행하는 리텐션 플립-플롭을 포함하는 것을 특징으로 하는 집적 회로.

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 집적 회로 설계 기술에 관한 것으로서, 더욱 상세하게는 파워 게이팅 회로 및 이를 포함하는 집적 회로에 관한 것이다.

**배경 기술**

[0002] 파워 게이팅 회로는 집적 회로 설계에 있어서 전력 소모를 감소시키기 위하여 널리 활용된다. 상기 파워 게이팅 회로는 대기 모드(standby mode)로 동작할 때 로직 회로에 대한 전력 공급을 차단함으로써 누설 전류를 감소시킨다.

[0003] 이러한 파워 게이팅 회로에서는 동작 모드(active mode)에서 상기 대기 모드로 천이하거나 상기 대기 모드에서 상기 동작 모드로 천이하기 위한 모드 제어 신호를 제공하기 위한 배선으로 인하여 전체 배선 길이가 증가하는 문제가 있다.

**발명의 내용**

**해결 하고자하는 과제**

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 가상 전원 전압을 모드 제어 신호로 활용함으로써 상기 모드 제어 신호에 대한 배선 길이를 감소시킬 수 있는 파워 게이팅 회로를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 파워 게이팅 회로를 포함하는 집적 회로를 제공하는 것이다.

**과제 해결수단**

[0006] 상기 일 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 파워 게이팅 회로는 로직 회로, 스위칭 소자 및 리텐션 플립-플롭을 포함한다.

[0007] 상기 로직 회로는 제1 전원 레일과 가상 전원 레일 사이에 연결된다. 상기 스위칭 소자는 모드 제어 신호에 응답하여 상기 가상 전원 레일을 제2 전원 레일에 선택적으로 연결한다. 상기 리텐션 플립-플롭은 상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행한다.

[0008] 일 실시예에서, 상기 리텐션 플립-플롭은, 상기 가상 전원 레일의 상기 전압이 상기 제2 전원 레일의 제2 전원 전압의 레벨에 근접한 레벨을 가진 경우, 상기 플립-플롭 동작을 수행하고, 상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우, 상기 데이터 유지 동작을 수행할 수 있다.

[0009] 상기 리텐션 플립-플롭은, 상기 가상 전원 레일의 상기 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 기초하여 모드 신호를 생성하는 제어 신호 입력부, 클록 신호를 수신하고, 상기 모드 신호에 응답하여 내부 클록 신호로서 상기 클록 신호를 선택적으로 출력하는 클록 신호 입력부, 상기 내부 클록 신호에 응답하여 상기 플립-플롭 동작을 수행하는 플립-플롭부, 및 상기 클록 신호 입력부가 상기 내부 클록 신호를 출력하지 않는 경우, 상기 데이터 유지 동작을 수행하는 데이터 유지부를 포함할 수 있다.

[0010] 상기 플립-플롭부는 상기 제1 전원 레일과 상기 가상 전원 레일 사이에 연결되고, 상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우 상기 플립-플롭부에 대한 전력 공급이 차단되고, 상기 데이터 유지부는 상기 제1 전원 레일과 상기 제2 전원 레일 사이에 연결되고, 상기 가상

전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우 상기 데이터 유지부에 대한 전력 공급이 유지될 수 있다.

- [0011] 일 실시예에서, 상기 파워 게이팅 회로는 상기 모드 제어 신호에 응답하여 초기화 시간 동안 상기 가상 전원 레일을 상기 제1 전원 레일에 연결하는 전압 레벨 천이 회로를 더 포함할 수 있다.
- [0012] 상기 전압 레벨 천이 회로는, 상기 모드 제어 신호가 동작 모드를 나타내는 제1 로직 레벨에서 대기 모드를 나타내는 제2 로직 레벨로 천이할 때, 상기 초기화 시간에 상응하는 폭을 가진 펄스를 생성하는 펄스 생성기, 및 상기 펄스 생성기로부터 제공되는 상기 펄스에 응답하여 상기 가상 전원 레일을 상기 제1 전원 레일에 연결하는 전하 펌프 스위칭 소자를 포함할 수 있다.
- [0013] 상기 펄스 생성기로부터 제공되는 상기 펄스의 폭과 상기 전하 펌프 스위칭 소자의 사이즈의 곱은, 상기 가상 전원 레일의 상기 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가지는 데에 요구되는 전하량에 비례할 수 있다.
- [0014] 일 실시예에서, 상기 파워 게이팅 회로는 상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 데이터 출력 동작 또는 데이터 유지 동작을 선택적으로 수행하는 출력 분리 회로를 더 포함할 수 있다.
- [0015] 상기 출력 분리 회로는, 상기 가상 전원 레일의 상기 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 기초하여 모드 신호를 생성하는 제어 신호 입력부, 상기 모드 신호에 응답하여 상기 데이터 출력 동작을 선택적으로 수행하는 데이터 출력부, 및 상기 모드 신호에 응답하여 상기 데이터 유지 동작을 선택적으로 수행하는 데이터 유지부를 포함할 수 있다.
- [0016] 상기 다른 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 집적 회로는 제1 전원 레일, 제2 전원 레일, 가상 전원 레일, 전력 관리부 및 적어도 하나의 파워 게이팅 회로를 포함한다.
- [0017] 상기 제1 전원 레일은 제1 전원 전압을 제공한다. 상기 제2 전원 레일은 제2 전원 전압을 제공한다. 상기 전력 관리부는 모드 제어 신호를 생성한다. 상기 파워 게이팅 회로는 상기 모드 제어 신호에 응답하여 선택적으로 작동한다. 상기 파워 게이팅 회로는, 상기 제1 전원 레일과 상기 가상 전원 레일 사이에 연결된 로직 회로, 상기 모드 제어 신호에 응답하여 상기 가상 전원 레일을 상기 제2 전원 레일에 선택적으로 연결하는 스위칭 소자, 및 상기 가상 전원 레일의 전압을 제어 신호로서 수신하고, 상기 가상 전원 레일의 상기 전압에 응답하여 플립-플롭 동작 또는 데이터 유지 동작을 선택적으로 수행하는 리텐션 플립-플롭을 포함한다.

**효 과**

- [0018] 상기와 같은 본 발명의 실시예들에 따른 파워 게이팅 회로 및 집적 회로는 가상 전원 전압을 모드 제어 신호로 활용함으로써, 상기 모드 제어 신호를 위한 버퍼가 불필요하고, 상기 모드 제어 신호에 대한 배선 길이를 감소시킬 수 있다.
- [0019] 또한 본 발명의 실시예들에 따른 파워 게이팅 회로 및 집적 회로는 누설 전류 및 전력 소모를 효율적으로 감소시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

- [0020] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0022] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.
- [0023] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에

직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0024] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0025] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.

[0028] 도 1을 참조하면, 파워 게이팅 회로(100)는 로직 회로(110), 스위칭 소자(120) 및 리텐션 플립-플롭(130)을 포함한다.

[0029] 로직 회로(110)는 소정의 논리 연산을 수행할 수 있다. 예를 들어, 로직 회로(110)는 상태 정보를 저장하지 않는 조합 로직 회로(combinational logic circuit)일 수 있다. 로직 회로(110)는 제1 전원 레일(VDD)과 가상 전원 레일(virtual power rail, VPR) 사이에 연결될 수 있다. 동작 모드(active mode)에서 가상 전원 레일(VPR)은 제2 전원 레일(VSS)의 제2 전원 전압의 레벨에 근접한 레벨을 가지는 전압을 제공하므로, 로직 회로(110)는 제1 전원 레일(VDD) 및 가상 전원 레일(VPR)로부터 제공받은 전원에 의하여 논리 연산을 수행할 수 있다. 대기 모드(standby mode)에서 가상 전원 레일(VPR)은 제1 전원 레일(VDD)의 제1 전원 전압의 레벨에 근접한 레벨을 가지는 전압을 제공하므로, 상기 대기 모드에서 로직 회로(110)에 대한 전력 공급이 차단되고, 이에 따라 누설 전류를 차단하고, 전력 소모를 감소시킬 수 있다.

[0030] 스위칭 소자(120)는 모드 제어 신호(MCS)에 응답하여 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 선택적으로 연결할 수 있다. 일 실시예에서, 스위칭 소자(120)는 전력 관리부(power management unit, PMU)로부터 모드 제어 신호(MCS)를 수신할 수 있다. 예를 들어, 모드 제어 신호(MCS)는 상기 동작 모드를 나타낼 때 로직 하이 레벨을 가지고, 상기 대기 모드를 나타낼 때 로직 로우 레벨을 가질 수 있다. 일 실시예에서, 스위칭 소자(120)가 상기 로직 하이 레벨을 가지는 모드 제어 신호(MCS)를 수신한 경우, 스위칭 소자(120)는 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 연결할 수 있다. 이에 따라, 가상 전원 레일(VPR)은 제2 전원 레일(VSS)의 상기 제2 전원 전압의 레벨에 근접한 레벨을 가지는 전압을 제공할 수 있다. 스위칭 소자(120)가 상기 로우 레벨을 가지는 모드 제어 신호(MCS)를 수신한 경우, 스위칭 소자(120)는 가상 전원 레일(VPR)과 제2 전원 레일(VSS)의 연결을 차단할 수 있다. 이에 따라, 가상 전원 레일(VPR)은 플로팅될 수 있다. 일반적으로, 스위칭 소자(120)는 로직 회로(110)에 비하여 크기가 작으므로, 스위칭 소자(120)의 저항은 로직 회로(110)의 저항 보다 크다. 이에 따라, 플로팅된 가상 전원 레일(VPR)의 전압은 제1 전원 레일(VDD)의 상기 제1 전원 전압의 레벨에 근접한 레벨을 가질 수 있다. 즉, 스위칭 소자(120)는 모드 제어 신호(MCS)에 응답하여 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 선택적으로 연결시킴으로써, 가상 전원 레일(VPR)의 전압을 상기 제1 전원 전압 또는 상기 제2 전원 전압에 가깝도록 조절한다.

[0031] 리텐션 플립-플롭(130)은 데이터 입력 단자(D), 데이터 출력 단자(Q), 클록 신호 입력 단자(CLK) 및 제어 신호 입력 단자(SLP)를 가질 수 있다. 예를 들어, 리텐션 플립-플롭(130)의 데이터 입력 단자(D)에는 로직 회로(110)로부터 제공된 데이터가 입력될 수 있다. 리텐션 플립-플롭(130)은 데이터 출력 단자(Q)에서 로직 회로(110)로부터 제공된 상기 데이터를 출력할 수 있다. 리텐션 플립-플롭(130)은 클록 신호 입력 단자(CLK)에서 외부 회로로부터 제공된 클록 신호를 수신할 수 있다.

- [0032] 리텐션 플립-플롭(130)은 제어 신호 입력 단자(SLP)에서 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신할 수 있다. 리텐션 플립-플롭(130)은 가상 전원 레일(VPR)의 전압에 응답하여 동작이 제어될 수 있다. 즉, 리텐션 플립-플롭(130)은 가상 전원 레일(VPR)의 전압에 응답하여 상기 동작 모드에서 플립-플롭 동작을 수행하고, 상기 대기 모드에서 데이터 유지 동작을 수행할 수 있다. 일 실시예에서, 가상 전원 레일(VPR)의 전압이 제2 전원 레일(VSS)의 상기 제2 전원 전압의 레벨에 근접한 레벨을 가진 경우, 리텐션 플립-플롭(130)은 로직 회로(110)로부터 제공된 상기 데이터를 상기 클록 신호에 응답하여 출력하는 상기 플립-플롭 동작을 수행할 수 있다. 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 상기 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우, 리텐션 플립-플롭(130)은 로직 회로(110)로부터 제공된 상기 데이터를 유지하는 상기 데이터 유지 동작을 수행할 수 있다.
- [0033] 이와 같이, 본 발명의 일 실시예에 따른 파워 게이팅 회로(100)는 대기 모드에서 로직 회로(110)에 대한 전력 공급을 차단함으로써, 누설 전류 및 전력 소모를 감소시킬 수 있다. 또한, 본 발명의 일 실시예에 따른 파워 게이팅 회로(100)는 대기 모드에서 리텐션 플립-플롭(130)이 데이터를 저장함으로써, 동작 모드로의 변환 시 별도의 초기화 동작이 불필요하다. 또한, 본 발명의 일 실시예에 따른 파워 게이팅 회로(100)는 리텐션 플립-플롭(130)의 제어 신호를 전송하기 위한 별도의 배선을 제거하고 가상 전원 레일(VPR)의 전압을 활용함으로써, 배선 길이(wire length) 및 배선 혼잡도(wiring congestion)를 감소시킬 수 있다.
- [0034] 도 1에는 푸터(header)인 스위칭 소자(120)가 도시되어 있으나, 실시예에 따라, 스위칭 소자(120)는 헤더(header)일 수 있다. 스위칭 소자(120)가 상기 헤더인 경우, 가상 전원 레일(VPR)은 제1 전원 레일(VDD)에 선택적으로 연결될 수 있다. 즉, 가상 전원 레일(VPR)의 전압은 상기 동작 모드에서 상기 제1 전원 전압의 레벨에 근접한 레벨을 가지고, 상기 대기 모드에서 상기 제2 전원 전압의 레벨에 근접한 레벨을 가질 수 있다. 스위칭 소자(120)가 상기 헤더인 경우에도, 본 발명의 일 실시예에 따른 파워 게이팅 회로(100)는 리텐션 플립-플롭(130)의 제어 신호로서 가상 전원 레일(VPR)의 전압을 활용함으로써, 배선 길이 및 배선 혼잡도를 감소시킬 수 있다.
- [0035] 도 2는 도 1의 파워 게이팅 회로에 포함된 리텐션 플립-플롭을 나타내는 블록도이다.
- [0036] 도 2를 참조하면, 리텐션 플립-플롭(200)은 제어 신호 입력부(210), 클록 신호 입력부(220), 플립-플롭부(230) 및 데이터 유지부(240)를 포함한다. 예를 들어, 리텐션 플립-플롭(200)은 도 1의 파워 게이팅 회로(100)에 포함된 리텐션 플립-플롭(130)일 수 있다.
- [0037] 제어 신호 입력부(210)는 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신할 수 있다. 예를 들어, 제어 신호 입력부(210)는 동작 모드에서 가상 전원 레일(VPR)로부터 로직 로우 레벨을 가지는 전압을 제공받고, 대기 모드에서 가상 전원 레일(VPR)로부터 로직 하이 레벨을 가지는 전압을 제공받을 수 있다. 제어 신호 입력부(210)는 가상 전원 레일(VPR)의 전압에 기초하여 모드 신호(MS)를 생성할 수 있다. 예를 들어, 모드 신호(MS)는 가상 전원 레일(VPR)의 전압 레벨과 동일한 레벨을 가질 수 있다. 즉, 가상 전원 레일(VPR)의 전압이 로직 로우 레벨을 가질 때, 모드 신호(MS)는 로직 로우 레벨을 가지고, 가상 전원 레일(VPR)의 전압이 로직 하이 레벨을 가질 때, 모드 신호(MS)는 로직 하이 레벨을 가질 수 있다. 실시예에 따라, 리텐션 플립-플롭(200)은 제어 신호 입력부(210)를 포함하지 않을 수 있고, 가상 전원 레일(VPR)의 전압을 모드 신호(MS)로서 활용할 수 있다.
- [0038] 클록 신호 입력부(220)는 외부의 클록 생성 회로로부터 클록 신호(CLK)를 수신하고, 모드 신호(MS)에 응답하여 내부 클록 신호(ICLK)로서 클록 신호(CLK)를 선택적으로 출력할 수 있다. 예를 들어, 클록 신호 입력부(220)가 로직 로우 레벨을 가지는 모드 신호(MS)를 수신한 경우, 클록 신호 입력부(220)는 클록 신호(CLK)를 내부 클록 신호(ICLK)로서 출력할 수 있다. 클록 신호 입력부(220)가 로직 하이 레벨을 가지는 모드 신호(MS)를 수신한 경우, 클록 신호 입력부(220)는 내부 클록 신호(ICLK)를 출력하지 않을 수 있다.
- [0039] 플립-플롭부(230)는 내부 클록 신호(ICLK)에 응답하여 입력 데이터(D)를 일시적으로 저장하고, 출력 데이터(Q)로서 출력할 수 있다. 일 실시예에서, 입력 데이터(D)는 도 1의 로직 회로(110)로부터 제공된 데이터일 수 있다. 예를 들어, 상기 동작 모드에서, 플립-플롭부(230)는 클록 신호 입력부(220)로부터 내부 클록 신호(ICLK)를 수신하고, 플립-플롭 동작을 수행할 수 있다. 상기 대기 모드에서, 클록 신호 입력부(220)는 플립-플롭부(230)에 내부 클록 신호(ICLK)를 제공하지 않고, 플립-플롭부(230)는 플립-플롭 동작을 수행하지 않을 수 있다. 일 실시예에서, 플립-플롭부(230)는 제1 전원 레일과 가상 전원 레일(VPR) 사이에 연결될 수 있다. 이에 따라, 가상 전원 레일(VPR)의 전압이 상기 제1 전원 레일의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우(즉, 대기 모드), 플립-플롭부(230)에 대한 전력 공급이 차단되고, 플립-플롭부(230)는 작동하지 않을 수 있다.



- [0040] 데이터 유지부(240)는 상기 대기 모드에서 플립-플롭부(230)에 일시적으로 저장된 데이터를 유지할 수 있다. 예를 들어, 클록 신호 입력부(220)가 데이터 유지부(240)에 내부 클록 신호(ICLK)를 제공하지 않는 경우(즉, 대기 모드), 도 1의 로직 회로(110)로부터 제공된 상기 데이터를 유지할 수 있다. 일 실시예에서, 데이터 유지부(240)는 상기 제1 전원 레일과 제2 전원 레일 사이에 연결될 수 있다. 이에 따라, 가상 전원 레일(VPR)의 전압이 상기 제1 전원 레일의 상기 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우(즉, 대기 모드), 데이터 유지부(240)는 전력을 공급받고, 작동할 수 있다.
- [0041] 일 실시예에서, 데이터 유지부(240)는 클록 신호 입력부(220)로부터 제공된 내부 클록 신호(ICLK)의 전압 레벨에 응답하여 동작할 수 있다. 예를 들어, 내부 클록 신호(ICLK)가 로직 하이 레벨을 가질 때, 플립-플롭부(230)에 일시적으로 저장된 데이터를 독출 및 저장하고, 내부 클록 신호(ICLK)가 로직 로우 레벨을 가질 때, 상기 독출 및 저장된 데이터를 유지할 수 있다. 상기 대기 모드 동안, 클록 신호 입력부(220)는 모드 신호(MS)에 응답하여 로직 로우 레벨을 가진 내부 클록 신호(ICLK)를 출력하고, 데이터 유지부(240)는 데이터 유지 동작을 수행할 수 있다. 이에 따라, 데이터 유지부(240)는 플립-플롭부(230)에 일시적으로 저장된 데이터를 상기 동작 모드로 변환될 때까지 저장할 수 있다.
- [0042] 이와 같이, 리텐션 플립-플롭(200)이 제어 신호로서 가상 전원 레일(VPR)의 전압을 활용하므로, 본 발명의 일 실시예에 따른 파워 게이팅 회로는 모드 제어 신호에 대한 배선 길이를 감소시킬 수 있다.
- [0043] 도 3은 도 2의 리텐션 플립-플롭의 일 예를 나타내는 회로도이다.
- [0044] 도 3을 참조하면, 리텐션 플립-플롭(300)은 제어 신호 입력부(310), 클록 신호 입력부(320), 플립-플롭부(330) 및 데이터 유지부(340)를 포함한다. 예를 들어, 리텐션 플립-플롭(300)은 도 1의 파워 게이팅 회로(100)에 포함된 리텐션 플립-플롭(130) 또는 도 2의 리텐션 플립-플롭(200)일 수 있다.
- [0045] 제어 신호 입력부(310)는 제1 인버터(311) 및 제2 인버터(312)를 포함할 수 있다. 제1 인버터(311)는 가상 전원 레일(VPR)의 전압을 수신하고, 반전된 신호를 출력할 수 있다. 제2 인버터(312)는 제1 인버터(311)의 출력 신호를 수신하고, 제1 인버터(311)의 상기 출력 신호를 반전시켜 모드 신호(MS)로서 출력할 수 있다. 예를 들어, 제2 인버터(312)는 동작 모드에서 로직 로우 레벨을 가지는 모드 신호(MS)를 출력하고, 대기 모드에서 로직 하이 레벨을 가지는 모드 신호(MS)를 출력할 수 있다.
- [0046] 일 실시예에서, 제1 인버터(311) 및 제2 인버터(312) 각각은 제1 전원 레일(VDD) 및 제2 전원 레일(VSS)에 연결될 수 있다. 이에 따라, 제1 인버터(311) 및 제2 인버터(312) 각각은 대기 모드에서 전력을 공급받아 작동할 수 있다. 일 실시예에서, 제1 인버터(311) 및 제2 인버터(312)는 높은 문턱전압을 가지는 트랜지스터들로 구현될 수 있다. 이에 따라, 제1 인버터(311) 및 제2 인버터(312)의 누설 전류가 감소될 수 있다.
- [0047] 일 실시예에서, 제1 인버터(311)는 스택된 인버터(stacked inverter)일 수 있다. 즉, 제1 인버터(311)는, 제1 전원 레일(VDD)과 출력 노드 사이에 직렬 연결된 제1 PMOS 트랜지스터(MP1) 및 제2 PMOS 트랜지스터(MP2)를 포함하고, 상기 출력 노드와 제2 전원 레일(VSS) 사이에 직렬 연결된 제1 NMOS 트랜지스터(MN1) 및 제2 NMOS 트랜지스터(MN2)를 포함할 수 있다. 제1 인버터(311)는 상기 스택된 인버터인 경우, 대기 모드에서 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 제1 전원 전압 레벨에 충분히 근접한 레벨을 가지지 않더라도, 제1 인버터(311)는 낮은 누설 전류를 가질 수 있다.
- [0048] 클록 신호 입력부(320)는 제3 인버터(321), 제4 인버터(322) 및 제3 NMOS 트랜지스터(323)를 포함할 수 있다. 제3 인버터(321)는 외부로부터 클록 신호(CLK)를 수신하고, 클록 신호(CLK)를 반전시켜 출력할 수 있다. 제4 인버터(322)는 제3 인버터(321)의 출력 신호인 반전된 클록 신호를 수신하고, 상기 반전된 클록 신호를 반전시켜 내부 클록 신호(ICLK)로서 출력할 수 있다. 제3 NMOS 트랜지스터(323)는 제어 신호 입력부(310)로부터 수신된 모드 신호(MS)에 응답하여 내부 클록 신호(ICLK)의 출력 여부를 제어할 수 있다. 예를 들어, 제3 NMOS 트랜지스터(323)가 제어 신호 입력부(310)로부터 로직 로우 레벨을 가지는 모드 신호(MS)를 수신한 경우, 제3 NMOS 트랜지스터(323)는 내부 클록 신호(ICLK)가 출력되도록 할 수 있다. 제3 NMOS 트랜지스터(323)가 제어 신호 입력부(310)로부터 로직 하이 레벨을 가지는 모드 신호(MS)를 수신한 경우, 제3 NMOS 트랜지스터(323)는 클록 신호 입력부(320)의 출력 신호를 로직 로우 레벨로 고정시킴으로써, 내부 클록 신호(ICLK)가 출력되는 것을 방지할 수 있다. 일 실시예에서, 제4 인버터(322)는 모드 신호(MS)의 반전 신호에 응답하여 신호를 출력하는 3상태 인버터(tri-state inverter)일 수 있다. 예를 들어, 제4 인버터(322)는 모드 신호(MS)가 로직 하이 레벨을 가지는 경우 고임피던스를 출력하는 3상태 인버터일 수 있다. 이에 따라, 클록 신호 입력부(320)는 상기 대기 모드에서 내부 클록 신호(ICLK)를 출력하지 않을 수 있다.

- [0049] 일 실시예에서, 제3 인버터(321) 및 제4 인버터(322) 각각은 제1 전원 레일(VDD) 및 가상 전원 레일(VPR)에 연결될 수 있다. 이에 따라, 대기 모드에서 제3 인버터(321) 및 제4 인버터(322) 각각에 대한 전력 공급이 차단되고, 제3 인버터(321) 및 제4 인버터(322) 각각은 작동하지 않을 수 있다. 따라서, 클록 신호 입력부(320)는 상기 대기 모드에서 전력 소모를 감소시킬 수 있다. 또한, 클록 신호 입력부(320)는 상기 대기 모드에서 내부 클록 신호(ICLK)를 출력하지 않을 수 있다.
- [0050] 플립-플롭부(330)는 제5 인버터(331), 제6 인버터(332), 제7 인버터(333), 제8 인버터(334) 및 제9 인버터(335)를 포함할 수 있다. 제5 인버터(331)는 도 1의 로직 회로(110), 다른 리텐션 플립-플롭, 또는 외부의 일반 회로로부터 입력 데이터(D)를 수신하고, 입력 데이터(D)를 반전시켜 출력할 수 있다. 제6 인버터(332) 및 제7 인버터(333)는 래치 회로를 구성하고, 제5 인버터(331)로부터 출력된 데이터를 저장할 수 있다. 제8 인버터(334) 및 제9 인버터(335)는 상기 래치 회로에 저장된 데이터를 출력 데이터(Q)로서 출력할 수 있다.
- [0051] 일 실시예에서, 제5 인버터(331)는 내부 클록 신호(ICLK)에 응답하여 데이터 출력 여부가 결정되는 3상태 인버터일 수 있다. 예를 들어, 제5 인버터(331)는 내부 클록 신호(ICLK)가 로직 하이 레벨일 때 입력 데이터(D)를 반전시켜 출력할 수 있다. 제7 인버터(333)는 내부 클록 신호(ICLK)의 반전 신호에 응답하여 데이터 출력 여부가 결정되는 3상태 인버터일 수 있다. 이에 따라, 제6 인버터(332) 및 제7 인버터(333)로 구성된 상기 래치 회로는 내부 클록 신호(ICLK)에 응답하여 데이터 저장 여부가 결정될 수 있다. 예를 들어, 상기 래치 회로는 내부 클록 신호(ICLK)가 로직 로우 레벨일 때 데이터를 저장할 수 있다. 제8 인버터(334)는 내부 클록 신호(ICLK)의 반전 신호에 응답하여 데이터 출력 여부가 결정되는 3상태 인버터일 수 있다. 예를 들어, 상기 래치 회로는 내부 클록 신호(ICLK)가 로직 로우 레벨일 때 데이터를 저장할 수 있다. 이에 따라, 플립-플롭부(330)는 내부 클록 신호(ICLK)에 응답하여 입력 데이터(D)를 일시적으로 저장 및 출력하는 플립-플롭 동작을 수행할 수 있다.
- [0052] 일 실시예에서, 제5 인버터(331), 제6 인버터(332), 제7 인버터(333), 제8 인버터(334) 및 제9 인버터(335) 각각은 전원 레일(VDD) 및 가상 전원 레일(VPR)에 연결될 수 있다. 이에 따라, 상기 대기 모드에서 제5 인버터(331), 제6 인버터(332), 제7 인버터(333), 제8 인버터(334) 및 제9 인버터(335) 각각에 대한 전력 공급이 차단되고, 제5 인버터(331), 제6 인버터(332), 제7 인버터(333), 제8 인버터(334) 및 제9 인버터(335) 각각은 작동하지 않을 수 있다. 즉, 플립-플롭부(330)는 클록 신호 입력부(320)가 내부 클록 신호(ICLK)를 출력하지 않을 때, 입력 데이터(D)를 일시적으로 저장 및 출력하는 플립-플롭 동작을 수행하지 않을 수 있다. 따라서, 플립-플롭부(330)는 상기 대기 모드에서 전력 소모를 감소시킬 수 있다.
- [0053] 데이터 유지부(340)는 제10 인버터(341) 및 제11 인버터(342)를 포함할 수 있다. 제10 인버터(341)는 제8 인버터(334)의 출력 데이터(D1)를 반전시켜 출력하고, 제11 인버터(342)는 제10 인버터(341)의 출력 데이터를 반전시켜 제10 인버터(341)의 입력으로 제공할 수 있다. 제10 인버터(341) 및 제11 인버터(342)는 래치 회로를 구성하고, 데이터(D1)를 저장할 수 있다. 일 실시예에서, 제11 인버터(342)는 내부 클록 신호(ICLK)에 응답하여 데이터 출력 여부가 결정되는 3상태 인버터일 수 있다. 일 실시예에서, 플립-플롭부(330) 및 데이터 유지부(340)는 마스터-슬레이브 플립-플롭(master-slave flip-flop)을 구성할 수 있다.
- [0054] 일 실시예에서, 제10 인버터(341) 및 제11 인버터(342) 각각은 제1 전원 레일(VDD) 및 제2 전원 레일(VSS)에 연결될 수 있다. 이에 따라, 제10 인버터(341) 및 제11 인버터(342) 각각은 상기 대기 모드에서 전력을 공급받아 작동할 수 있다. 데이터 유지부(340)는 클록 신호 입력부(320)가 내부 클록 신호(ICLK)를 출력하지 않는 경우, 데이터(D1)를 유지할 수 있다. 예를 들어, 데이터 유지부(340)는 상기 대기 모드에서 상기 동작 모드로 변환될 때까지 데이터(D1)를 저장할 수 있다. 일 실시예에서, 제10 인버터(341) 및 제11 인버터(342)는 높은 문턱전압을 가지는 트랜지스터들로 구현될 수 있다. 이에 따라, 제10 인버터(341) 및 제11 인버터(342)의 누설 전류가 감소될 수 있다.
- [0055] 이와 같이, 리텐션 플립-플롭(300)이 제어 신호로서 가상 전원 레일(VPR)의 전압을 활용하므로, 본 발명의 일 실시예에 따른 파워 게이팅 회로는 모드 제어 신호에 대한 배선 길이를 감소시킬 수 있다. 또한, 리텐션 플립-플롭(300)은 대기 모드에서 클록 신호 입력부(320) 및 플립-플롭부(330)이 작동하지 않아 전력 소모를 감소시킬 수 있고, 제어 신호 입력부(310) 및 데이터 유지부(340)가 높은 문턱전압을 가지는 트랜지스터들로 구현되어 전력 소모를 감소시킬 수 있다.
- [0056] 도 4는 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.
- [0057] 도 4를 참조하면, 파워 게이팅 회로(400)는 로직 회로(410), 스위칭 소자(420), 리텐션 플립-플롭(430) 및 전압 레벨 천이 회로(440)를 포함한다. 도 1의 파워 게이팅 회로(100)에 비하여, 파워 게이팅 회로(400)는 전압 레벨

천이 회로(440)를 더 포함한다.

- [0058] 로직 회로(410)는 제1 전원 레일(VDD)과 가상 전원 레일(VPR) 사이에 연결되고, 동작 모드에서 소정의 논리 연산을 수행하고, 대기 모드에서 작동하지 않을 수 있다. 스위칭 소자(420)는 모드 제어 신호(MCS)에 응답하여 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 선택적으로 연결할 수 있다. 스위칭 소자(420)는 상기 동작 모드에서 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 연결하고, 상기 대기 모드에서 가상 전원 레일(VPR)을 플로팅 되도록 할 수 있다. 리텐션 플립-플롭(430)은 제어 신호 입력 단자(SLP)에서 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신하고, 가상 전원 레일(VPR)의 전압에 응답하여 동작이 제어될 수 있다. 리텐션 플립-플롭(430)은 상기 동작 모드에서 플립-플롭 동작을 수행하고, 상기 대기 모드에서 데이터 유지 동작을 수행할 수 있다.
- [0059] 전압 레벨 천이 회로(440)는 모드 제어 신호(MCS)에 응답하여 일정 시간 동안 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결할 수 있다. 전압 레벨 천이 회로(440)는 모드 제어 신호(MCS)가 상기 동작 모드를 나타내는 레벨에서 상기 대기 모드를 나타내는 레벨로 천이할 때 대기 모드 초기화 시간 동안 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결할 수 있다. 예를 들어, 모드 제어 신호(MCS)가 로직 하이 레벨에서 로직 로우 레벨로 천이할 때, 전압 레벨 천이 회로(440)는 상기 대기 모드 초기화 시간 동안 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결함으로써, 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 제1 전원 전압 레벨로 상승하는 시간을 단축시킬 수 있다. 가상 전원 레일(VPR)의 전압이 로직 하이 레벨로 상승하는 시간이 단축됨으로써, 상기 동작 모드에서 상기 대기 모드로 변환될 때 발생할 수 있는 단락 회로 전류(short circuit current)를 방지할 수 있다.
- [0060] 이와 같이, 본 발명의 일 실시예에 따른 파워 게이팅 회로(400)는 누설 전류, 단락 회로 전류 및 전력 소모를 감소시킬 수 있다. 또한, 본 발명의 일 실시예에 따른 파워 게이팅 회로(400)는 리텐션 플립-플롭(430)의 제어 신호로서 가상 전원 레일(VPR)의 전압을 활용함으로써, 배선 길이 및 배선 혼잡도를 감소시킬 수 있다.
- [0061] 도 5는 도 4의 파워 게이팅 회로에 포함된 전압 레벨 천이 회로를 나타내는 회로도이다.
- [0062] 도 5를 참조하면, 전압 레벨 천이 회로(500)는 펄스 생성기(510) 및 전하 펌프 스위칭 소자(520)를 포함한다. 예를 들어, 전압 레벨 천이 회로(500)는 도 4의 파워 게이팅 회로(400)에 포함된 전압 레벨 천이 회로(440)일 수 있다.
- [0063] 펄스 생성기(510)는 모드 제어 신호(MCS)가 동작 모드를 나타내는 제1 로직 레벨에서 대기 모드를 나타내는 제2 로직 레벨로 천이할 때, 대기 모드 초기화 시간에 상응하는 폭을 가진 펄스를 생성할 수 있다. 예를 들어, 상기 제1 로직 레벨은 로직 하이 레벨이고, 상기 제2 로직 레벨은 로직 로우 레벨일 수 있다. 상기 대기 모드 초기화 시간은 가상 전원 레일(VPR)의 전압이 제2 전원 레일의 제2 전원 전압의 레벨에서 제1 전원 레일(VDD)의 제1 전원 전압의 레벨로 상승하는 시간일 수 있다.
- [0064] 펄스 생성기(510)는 지연부(511) 및 OR 게이트(512)를 포함할 수 있다. OR 게이트(512)는 제1 입력 단자에서 모드 제어 신호(MCS)를 수신하고, 제2 입력 단자에서 지연부(511)에 의해 지연된 모드 제어 신호를 수신할 수 있다. OR 게이트(512)는 모드 제어 신호(MCS) 및 상기 지연된 모드 제어 신호에 OR 연산을 수행하여 펄스 신호(SP)를 출력할 수 있다. 예를 들어, 모드 제어 신호(MCS)가 로직 하이 레벨에서 로직 로우 레벨로 천이하면, 지연부(511)는 모드 제어 신호(MCS)를 지연시키고, OR 게이트(512)는 지연부(511)의 출력 신호가 로직 로우 레벨이 될 때까지 로직 로우 레벨을 가진 펄스 신호(SP)를 출력할 수 있다. 펄스 신호(SP)의 펄스 폭은 지연부(511)의 지연 시간에 의해 결정될 수 있다. 지연부(511)는 적어도 하나의 인버터(513, 514, 515)를 포함할 수 있다. 지연부(511)의 지연 시간은 인버터들(513, 514, 515) 각각의 단위 지연 시간 또는 인버터들(513, 514, 515)의 개수에 의해 결정될 수 있다.
- [0065] 전하 펌프 스위칭 소자(520)는 펄스 생성기(510)로부터 출력되는 펄스 신호(SP)에 응답하여 펄스 신호(SP)의 펄스 폭에 상응하는 시간 동안 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결할 수 있다. 일 실시예에서, 전하 펌프 스위칭 소자(520)는 PMOS 트랜지스터를 포함할 수 있다. 전하 펌프 스위칭 소자(520)는 펄스 신호(SP)가 로직 로우 레벨을 가지는 동안 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결할 수 있다. 예를 들어, 모드 제어 신호(MCS)가 로직 하이 레벨에서 로직 로우 레벨로 천이할 때, 펄스 생성기(510)는 로직 로우 레벨을 가지는 펄스를 생성하고, 전하 펌프 스위칭 소자(520)는 펄스 생성기(510)로부터 제공되는 상기 펄스에 응답하여 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결할 수 있다.
- [0066] 이와 같이, 동작 모드에서 대기 모드로 변환될 때, 가상 전원 레일(VPR)에 충분한 전하를 제공함으로써, 가상 전원 레일(VPR)의 전압 상승 시간을 단축시킬 수 있다. 가상 전원 레일(VPR)의 전압이 상승하는 시간이 단축됨

으로써, 상기 동작 모드에서 상기 대기 모드로 변환될 때 발생할 수 있는 단락 회로 전류를 방지할 수 있다.

[0067] 도 6은 가상 전원 레일에 대한 커패시턴스를 계산하기 위하여 본 발명의 일 실시예에 따른 파워 게이팅 회로를 모델링한 회로를 나타내는 도면이다.

[0068] 도 6을 참조하면, 상기 파워 게이팅 회로를 모델링한 회로 모델(600)은 로직 회로(610), 출력 커패시터(C1) 및 전하 펌프 스위칭 소자(620)를 포함한다.

[0069] 전하 펌프 스위칭 소자(620)가 펄스 신호(SP)에 응답하여 가상 전원 레일(VPR)을 제1 전원 레일(VDD)에 연결함으로써, 제1 전원 레일(VDD)로부터 가상 전원 레일(VPR)에 전하를 공급할 수 있고, 이에 따라 단락 회로 전류를 방지하고, 동작 모드에서 대기 모드로 변환하는 데에 소요되는 시간을 단축시킬 수 있다. 가상 전원 레일(VPR)에 공급되는 전하량은 펄스 신호(SP)의 펄스 폭과 전하 펌프 스위칭 소자(620)의 사이즈(즉, 채널 폭/채널 길이)에 비례한다. 따라서, 펄스 신호(SP)의 펄스 폭과 전하 펌프 스위칭 소자(620)의 사이즈를 적절히 설계함으로써, 가상 전원 레일(VPR)의 전압이 소정의 시간 내에 제1 전원 레일(VDD)의 제1 전원 전압의 레벨에 근접한 레벨로 상승할 수 있도록 가상 전원 레일(VPR)에 충분한 전하를 제공할 수 있다.

[0070] 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 제1 전원 전압의 레벨로 상승하는 데에 요구되는 전하량은 다음과 같이 계산될 수 있다.

**수학식 1**

[0071]  $Q_r = C_t * V_{dd}$

[0072] 여기서,  $Q_r$ 은 요구되는 전하량을 나타내고,  $C_t$ 는 가상 전원 레일(VPR)과 관련된 전체 커패시턴스를 나타내며,  $V_{dd}$ 는 상기 제1 전원 전압을 나타낸다.

[0073] 제1 전원 레일(VDD)로부터 가상 전원 레일(VPR)에 제공되는 전하량이  $Q_r$  보다 크도록 펄스 신호(SP)의 펄스 폭과 전하 펌프 스위칭 소자(620)의 사이즈를 설계함으로써, 가상 전원 레일(VPR)의 전압이 소정의 시간 내에 소정의 레벨로 상승할 수 있다. 따라서,  $Q_r$ 을 계산함으로써, 상기 펄스 폭과 상기 사이즈를 적절히 설계할 수 있다. 한편,  $Q_r$ 을 계산하기 위해서는  $C_t$ 를 계산해야 한다.

[0074] 가상 전원 레일(VPR)과 관련된 전체 커패시턴스인  $C_t$ 는 물리적으로 정의되는 커패시턴스와 논리적으로 정의되는 커패시턴스의 합으로 계산될 수 있다. 상기 물리적으로 정의되는 커패시턴스는 회로 설계가 완료된 후 시뮬레이터(simulator)를 활용하여 값을 구할 수 있다. 상기 논리적으로 정의되는 커패시턴스는 회로의 상태에 따라 변하므로, 적절한 회로 모델링을 통하여 도출해야 한다.

[0075] 예를 들어, 도 4의 로직 회로(410)는 제1 및 제2 PMOS 트랜지스터들(MP4, MP5) 및 제1 및 제2 NMOS 트랜지스터들(MN4, MN5)로 구성되고, 출력 커패시터(C1)에 연결된 2-입력 NAND 게이트(610)를 포함할 수 있다. 2-입력 NAND 게이트(610) 및 출력 커패시터(C1)에 의한 논리적 커패시턴스는 입력들(A, B)의 값에 따라 다르다. 제1 입력(A) 또는 제2 입력(B)이 로직 로우 레벨인 경우, 출력 노드(N1)의 전압은 로직 하이 레벨이다. 이에 따라, 출력 커패시터(C1)는 전하 펌프 스위칭 소자(620)에 의하여 충전될 필요가 없다. 제1 입력(A) 및 제2 입력(B)이 모두 로직 하이 레벨인 경우, 출력 노드(N1)의 전압은 로직 로우 레벨이다. 이에 따라, 가상 전원 레일(VPR)의 전압이 소정의 레벨, 예를 들어 로직 하이 레벨로 상승하기 위해서는, 제1 전원 레일(VDD)로부터 전하 펌프 스위칭 소자(620)를 통하여 가상 전원 레일(VPR)에 제공되는 전하가 제2 NMOS 트랜지스터(MN5) 및 제1 NMOS 트랜지스터(MN4)를 통하여 출력 커패시터(C1)에 제공되어야 한다. 즉, 출력 노드(N1)의 전압이 로직 로우 레벨인 경우, 출력 커패시터(C1)의 커패시턴스는 가상 전원 레일(VPR)에 대한 논리적 커패시턴스에 포함된다.

[0076] 이에 따라, 가상 전원 레일(VPR)에 대한 논리적 커패시턴스는 다음과 같이 계산될 수 있다.

**수학식 2**

$$C_l = \sum_i (1 - p_i) * C_i$$

[0077]

[0078] 여기서,  $C_l$ 은 가상 전원 레일(VPR)에 대한 논리적 커패시턴스를 나타내고,  $p_i$ 는 로직 회로에 포함된  $i$ 번째 로직 유닛의 출력 노드의 전압이 로직 하이 레벨일 확률을 나타내고,  $C_i$ 는 상기  $i$ 번째 로직 유닛의 출력 노드에 연결된 출력 커패시턴스를 나타낸다.

[0079] 예를 들어, 도 4의 가상 전원 레일(VPR)에 대한 논리적 커패시턴스는, 도 4의 로직 회로(410)에 포함된 로직 유닛들 각각에 대하여 출력 노드의 전압이 로직 로우 레벨일 확률과 상기 출력 노드에 연결된 커패시터의 커패시턴스를 곱한 값들을 모두 합함으로써 계산할 수 있다. 일 실시예에서,  $p_i$ 를 추정하기 곤란한 경우,  $p_i$ 를 1/2로 가정할 수 있다. 가상 전원 레일(VPR)에 대한 논리적 커패시턴스를 계산함으로써, 가상 전원 레일(VPR)에 대한 전체 커패시턴스를 계산할 수 있고, 가상 전원 레일(VPR)의 전압이 소정의 레벨로 상승하는 데에 요구되는 전하량을 계산할 수 있다.

[0080] 전하 펌프 스위칭 소자(620)에 의하여 제1 전원 레일(VDD)로부터 가상 전원 레일(VPR)에 제공되는 전하량은 다음과 같이 계산될 수 있다.

**수학식 3**

[0081]  $Q_p = k * (W/L) * T_p$

[0082] 여기서,  $Q_p$ 는 전하 펌프 스위칭 소자(620)에 의하여 제공되는 전하량을 나타내고,  $k$ 는 비례 상수를 나타내며,  $W/L$ 은 전하 펌프 스위칭 소자(620)의 사이즈를 나타내고,  $T_p$ 는 펄스 신호(SP)의 펄스 폭에 상응하는 시간을 나타낸다.

[0083]  $L$ 은 전하 펌프 스위칭 소자(620)의 채널 길이를 나타내고, 전하 펌프 스위칭 소자(620)의 채널 길이는 집적 기술에 따라 결정된다.  $k$ 는 전하 펌프 스위칭 소자(620)의 문턱전압 등에 의해 변화하는 값으로 실험을 통하여 추출할 수 있다.

[0084] 이와 같이, 전하 펌프 스위칭 소자(620)의 채널 폭 및 펄스 신호(SP)의 펄스 폭에 의해 전하 펌프 스위칭 소자(620)에 의하여 제공되는 전하량이 결정되고, 상기 채널 폭 및 상기 펄스 폭을 적절히 설계함으로써 가상 전원 레일(VPR)의 전압을 소정의 시간 내에 소정의 레벨로 상승시킬 수 있다.

[0085] 도 7은 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.

[0086] 도 7을 참조하면, 파워 게이팅 회로(700)는 로직 회로(710), 스위칭 소자(720), 리텐션 플립-플롭(730) 및 출력 분리 회로(750)를 포함한다. 도 1의 파워 게이팅 회로(100)에 비하여, 파워 게이팅 회로(700)는 출력 분리 회로(750)를 더 포함한다.

[0087] 로직 회로(710)는 제1 전원 레일(VDD)과 가상 전원 레일(VPR) 사이에 연결되고, 동작 모드에서 소정의 논리 연산을 수행하고, 대기 모드에서 작동하지 않을 수 있다. 스위칭 소자(720)는 모드 제어 신호(MCS)에 응답하여 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 선택적으로 연결할 수 있다. 스위칭 소자(720)는 상기 동작 모드에서 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 연결하고, 상기 대기 모드에서 가상 전원 레일(VPR)을 플로팅 되도록 할 수 있다. 리텐션 플립-플롭(730)은 제어 신호 입력 단자(SLP)에서 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신하고, 가상 전원 레일(VPR)의 전압에 응답하여 동작이 제어될 수 있다. 리텐션 플립-플롭(730)은 상기 동작 모드에서 플립-플롭 동작을 수행하고, 상기 대기 모드에서 데이터 유지 동작을 수행할 수 있다.

[0088] 출력 분리 회로(750)는 데이터 입력 단자(A), 데이터 출력 단자(Y) 및 제어 신호 입력 단자(SLP)를 가질 수 있다. 예를 들어, 출력 분리 회로(750)의 데이터 입력 단자(D)에는 로직 회로(710) 또는 리텐션 플립-플롭(730)으로부터 제공된 데이터가 입력될 수 있다. 출력 분리 회로(750)는 데이터 출력 단자(Y)에서 외부의 일반 회로로 상기 데이터를 출력할 수 있다.

[0089] 출력 분리 회로(750)는 제어 신호 입력 단자(SLP)에서 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신할 수 있다. 출력 분리 회로(750)는 가상 전원 레일(VPR)의 전압에 응답하여 동작이 제어될 수 있다. 즉, 출력 분리 회로(750)는 가상 전원 레일(VPR)의 전압에 응답하여 상기 동작 모드에서 데이터 출력 동작을 수행하고, 상기 대기 모드에서 데이터 유지 동작을 수행할 수 있다. 일 실시예에서, 가상 전원 레일(VPR)의 전압이 제2 전원 레일(VSS)의 상기 제2 전원 전압의 레벨에 근접한 레벨을 가진 경우, 출력 분리 회로(750)는 데이터 입력 단자(A)에서 입력된 상기 데이터를 데이터 출력 단자(Y)에서 출력하는 상기 데이터 출력 동작을 수행할 수 있다. 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 상기 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우, 출력 분리 회로(750)는 데이터 입력 단자(A)에서 입력된 상기 데이터를 유지하는 상기 데이터 유지 동작을 수행할 수 있다.

[0090] 이와 같이, 본 발명의 일 실시예에 따른 파워 게이팅 회로(700)는 대기 모드에서 리텐션 플립-플롭(730) 및 출력 분리 회로(750)가 데이터를 저장함으로써, 동작 모드로의 변환 시 별도의 초기화 동작이 불필요하다. 또한,

본 발명의 일 실시예에 따른 파워 게이팅 회로(700)는 리텐션 플립-플롭(730) 및 출력 분리 회로(750)의 제어 신호로서 가상 전원 레일(VPR)의 전압을 활용함으로써, 배선 길이 및 배선 혼잡도를 감소시킬 수 있다.

- [0091] 도 8은 도 7의 파워 게이팅 회로에 포함된 출력 분리 회로를 나타내는 회로도이다.
- [0092] 도 8을 참조하면, 출력 분리 회로(800)는 제어 신호 입력부(810), 데이터 출력부(820) 및 데이터 유지부(830)를 포함한다. 예를 들어, 출력 분리 회로(800)는 도 7의 파워 게이팅 회로(700)에 포함된 출력 분리 회로(750)일 수 있다.
- [0093] 제어 신호 입력부(810)는 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신할 수 있다. 예를 들어, 제어 신호 입력부(810)는 동작 모드에서 가상 전원 레일(VPR)로부터 로직 로우 레벨을 가지는 전압을 제공받고, 대기 모드에서 가상 전원 레일(VPR)로부터 로직 하이 레벨을 가지는 전압을 제공받을 수 있다. 제어 신호 입력부(810)는 가상 전원 레일(VPR)의 전압에 기초하여 모드 신호(MS)를 생성할 수 있다. 예를 들어, 모드 신호(MS)는 가상 전원 레일(VPR)의 전압 레벨과 동일한 레벨을 가질 수 있다. 즉, 가상 전원 레일(VPR)의 전압이 로직 로우 레벨을 가질 때, 모드 신호(MS)는 로직 로우 레벨을 가지고, 가상 전원 레일(VPR)의 전압이 로직 하이 레벨을 가질 때, 모드 신호(MS)는 로직 하이 레벨을 가질 수 있다. 실시예에 따라, 출력 분리 회로(800)는 제어 신호 입력부(810)를 포함하지 않을 수 있고, 가상 전원 레일(VPR)의 전압을 모드 신호(MS)로서 활용할 수 있다.
- [0094] 데이터 출력부(820)는 모드 신호(MS)에 응답하여 데이터 출력 동작을 선택적으로 수행할 수 있다. 예를 들어, 데이터 출력부(820)는 도 7에 도시된 로직 회로(710) 또는 리텐션 플립-플롭(730)로부터 입력 데이터(D)를 제공받을 수 있다. 데이터 출력부(820)는 모드 신호(MS)가 상기 동작 모드를 나타내는 레벨을 가진 경우, 입력 데이터(D)를 출력 데이터(Y)로서 출력할 수 있다. 모드 신호(MS)가 상기 대기 모드를 나타내는 레벨을 가진 경우, 데이터 출력부(820)는 작동하지 않을 수 있다.
- [0095] 데이터 유지부(830)는 모드 신호(MS)에 응답하여 데이터 유지 동작을 선택적으로 수행할 수 있다. 예를 들어, 데이터 유지부(830)는 데이터 출력부(820)에 입력 또는 데이터 출력부(820)로부터 출력된 데이터를 유지할 수 있다. 일 실시예에서, 데이터 유지부(830)는 모드 신호(MS)가 상기 대기 모드를 나타내는 레벨을 가질 때부터 모드 신호(MS)가 상기 동작 모드를 나타내는 레벨로 천이될 때까지 상기 데이터를 저장할 수 있다.
- [0096] 일 실시예에서, 데이터 유지부(830)는 제1 전원 레일(VDD)과 제2 전원 레일(VSS) 사이에 연결될 수 있다. 이에 따라, 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 제1 전원 전압의 레벨에 근접한 레벨을 가진 경우(즉, 대기 모드), 데이터 유지부(830)는 전력을 공급받고, 작동할 수 있다.
- [0097] 제어 신호 입력부(810)는 제1 인버터(811) 및 제2 인버터(812)를 포함할 수 있다. 제1 인버터(811)는 가상 전원 레일(VPR)의 전압을 수신하고, 반전된 신호를 출력할 수 있다. 제2 인버터(812)는 제1 인버터(811)의 출력 신호를 반전시켜 모드 신호(MS)로서 출력할 수 있다. 예를 들어, 제2 인버터(812)는 동작 모드에서 로직 로우 레벨을 가지는 모드 신호(MS)를 출력하고, 대기 모드에서 로직 하이 레벨을 가지는 모드 신호(MS)를 출력할 수 있다.
- [0098] 일 실시예에서, 제1 인버터(811) 및 제2 인버터(812) 각각은 제1 전원 레일(VDD) 및 제2 전원 레일(VSS)에 연결될 수 있다. 이에 따라, 제1 인버터(811) 및 제2 인버터(812) 각각은 대기 모드에서 전력을 공급받아 작동할 수 있다.
- [0099] 일 실시예에서, 제1 인버터(811)는 스택된 인버터일 수 있다. 이에 따라, 제1 인버터(811)는, 대기 모드에서 가상 전원 레일(VPR)의 전압이 제1 전원 레일(VDD)의 제1 전원 전압 레벨에 충분히 근접한 레벨을 가지지 않더라도, 제1 인버터(811)는 낮은 누설 전류를 가질 수 있다.
- [0100] 일 실시예에서, 제1 인버터(811)는 제1 전원 레일(VDD)과 출력 노드 사이에 직렬 연결된 제1 PMOS 트랜지스터(MP6) 및 제2 PMOS 트랜지스터(MP7)를 포함하고, 상기 출력 노드와 제2 전원 레일(VSS) 사이에 연결된 NMOS 트랜지스터(MN6)를 포함할 수 있다. 상기 출력 노드와 제2 전원 레일(VSS) 사이에 하나의 트랜지스터(MN6)만 연결된다. 이에 따라, 가상 전원 레일(VPR)의 전압이 상기 동작 모드를 나타내는 로직 로우 레벨에서 상기 대기 모드를 나타내는 로직 하이 레벨로 천이할 때, 제어 신호 입력부(810)는 상기 대기 모드를 나타내는 모드 신호(MS)를 신속하게 생성할 수 있다.
- [0101] 데이터 출력부(820)는 제3 인버터(821) 및 제4 인버터(822)를 포함할 수 있다. 제3 인버터(821)는 도 7에 도시된 로직 회로(710) 또는 리텐션 플립-플롭(730)으로부터 입력 데이터(A)를 수신하고, 입력 데이터(A)를 반전시켜 출력할 수 있다. 제4 인버터(822)는 반전된 입력 데이터(A)를 반전시켜 출력 데이터(Y)로서 출력할 수 있다.

제4 인버터(822)는 외부의 일반 회로에 출력 데이터(Y)를 제공할 수 있다.

- [0102] 일 실시예에서, 제3 인버터(821)는 모드 신호(MS)에 응답하여 데이터 출력 여부가 결정되는 3상태 인버터일 수 있다. 예를 들어, 제3 인버터(821)는 모드 신호(MS)가 로직 로우 레벨일 때 입력 데이터(A)를 반전시켜 출력할 수 있다. 제3 인버터(821)는 모드 신호(MS)가 로직 하이 레벨일 때 출력 단자에서 고임피던스를 가짐으로써, 입력 데이터(A)를 차단할 수 있다. 이에 따라, 데이터 출력부(820)는 모드 신호(MS)에 응답하여 상기 데이터 출력 동작을 선택적으로 출력할 수 있다.
- [0103] 일 실시예에서, 제3 인버터(821)는 높은 문턱전압을 가진 트랜지스터들로 구현될 수 있다. 이에 따라, 제3 인버터(821)에 의한 누설 전류가 감소될 수 있다. 또한, 제3 인버터(821)가 높은 문턱전압을 가진 트랜지스터들로 구현됨으로써, 입력 데이터(A)가 반전되어 데이터 유지부(830)의 입력 노드로 출력되는 시간이 증가될 수 있다. 이에 따라, 상기 동작 모드에서 상기 대기 모드로 변환될 때, 상기 동작 모드를 나타내는 레벨에서 상기 대기 모드를 나타내는 레벨로의 모드 신호(MS)의 천이 시간이 충분히 짧지 않더라도, 데이터 유지부(830)는 잘못된 데이터를 저장하지 않을 수 있다.
- [0104] 데이터 유지부(830)는 제5 인버터(831) 및 제6 인버터(832)를 포함할 수 있다. 제5 인버터(831)는 제3 인버터(821)의 출력 데이터를 반전시켜 출력하고, 제6 인버터(832)는 제5 인버터(831)의 출력 데이터를 반전시켜 제5 인버터(831)의 입력으로 제공할 수 있다. 제5 인버터(831) 및 제6 인버터(832)는 데이터를 저장하는 래치 회로를 구성할 수 있다. 일 실시예에서, 제6 인버터(832)는 모드 신호(MS)에 응답하여 데이터 출력 여부가 결정되는 3상태 인버터일 수 있다. 예를 들어, 제6 인버터(832)는 모드 신호(MS)가 로직 하이 레벨일 때 입력 데이터를 반전시켜 출력할 수 있다.
- [0105] 일 실시예에서, 제5 인버터(831) 및 제6 인버터(832) 각각은 제1 전원 레일(VDD) 및 제2 전원 레일(VSS)에 연결될 수 있다. 이에 따라, 제5 인버터(831) 및 제6 인버터(832) 각각은 상기 대기 모드에서 전력을 공급받아 작동할 수 있다. 예를 들어, 데이터 유지부(830)는 상기 대기 모드가 시작될 때부터 상기 동작 모드로 변환될 때까지 데이터를 저장할 수 있다. 일 실시예에서, 제5 인버터(831) 및 제6 인버터(832) 각각은 높은 문턱전압을 가지는 트랜지스터들로 구현될 수 있다. 이에 따라, 제5 인버터(831) 및 제6 인버터(832)의 누설 전류가 감소될 수 있다.
- [0106] 이와 같이, 출력 분리 회로(800)가 제어 신호로서 가상 전원 레일(VPR)의 전압을 활용하므로, 본 발명의 일 실시예에 따른 파워 게이팅 회로는 모드 제어 신호에 대한 배선 길이를 감소시킬 수 있다.
- [0107] 도 9는 본 발명의 일 실시예에 따른 집적 회로를 나타내는 블록도이다.
- [0108] 도 9를 참조하면, 집적 회로(900)는 제1 전원 레일(VDD), 제2 전원 레일(VSS), 가상 전원 레일(VPR), 전력 관리부(920), 적어도 하나의 파워 게이팅 회로(930, 950, 960) 및 일반 회로(940)를 포함한다.
- [0109] 제1 전원 레일(VDD)은 제1 전원 전압을 제공하고, 제2 전원 레일(VSS)은 제2 전원 전압을 제공한다. 가상 전원 레일(VPR)은 적어도 하나의 스위칭 소자(921, 922, 923)에 의하여 제2 전원 레일(VSS)에 선택적으로 연결됨으로써, 상기 제2 전원 전압의 레벨과 상기 제1 전원 전압의 레벨 사이의 레벨을 가진다.
- [0110] 전력 관리부(920)는 모드 제어 신호(MCS)를 생성할 수 있다. 전력 관리부(920)로부터 생성된 모드 제어 신호(MCS)는 적어도 하나의 스위칭 소자(921, 922, 923)에 인가되고, 적어도 하나의 스위칭 소자(921, 922, 923)는 모드 제어 신호(MCS)에 응답하여 가상 전원 레일(VPR)을 제2 전원 레일(VSS)에 선택적으로 연결할 수 있다. 이에 따라, 가상 전원 레일(VPR)의 전압은, 동작 모드에서 상기 제2 전원 전압의 레벨에 근접한 레벨을 가지고, 대기 모드에서 상기 제1 전원 전압의 레벨에 근접한 레벨을 가진다.
- [0111] 일반 회로(940)는 제1 전원 레일(VDD)과 제2 전원 레일(VSS) 사이에 연결되고, 적어도 하나의 파워 게이팅 회로(930, 950, 960)는 제1 전원 레일(VDD)과 가상 전원 레일(VPR) 사이에 연결될 수 있다. 이에 따라, 대기 모드에서 전력 소모가 감소될 수 있다.
- [0112] 예를 들어, 대기 모드에서 적어도 하나의 로직 회로(931, 952, 961)에 대한 전력 공급이 차단되고, 이에 따라 전력 소모를 감소시킬 수 있다. 적어도 하나의 전압 레벨 천이 회로(951)는 상기 동작 모드에서 상기 대기 모드로의 천이 시간을 감소시킬 수 있다. 적어도 하나의 리텐션 플립-플롭(932, 953, 962) 및 적어도 하나의 출력 분리 회로(963)는 제어 신호로서 모드 제어 신호(MCS)가 아닌 가상 전원 레일(VPR)의 전압을 수신한다. 이에 따라, 본 발명의 일 실시예에 따른 집적 회로(900)는 감소된 배선 길이 및 배선 혼잡도를 가질 수 있다.
- [0113] 집적 회로(900)는 임의의 집적 회로 또는 반도체 장치일 수 있다. 예를 들어, 집적 회로(900)는 시스템-온-칩

(system-on-chip, SoC), 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 무선 회로(radio frequency circuit), 메모리(memory), 마이크로 컨트롤러(microcontroller), 입출력 제어기(input/output controller)일 수 있다.

- [0114] 도 10은 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.
- [0115] 도 10을 참조하면, 파워 게이팅 회로(1000)는 로직 회로(1010), 스위칭 소자(1020) 및 리텐션 플립-플롭(1030)을 포함한다.
- [0116] 도 1, 도 4 및 도 7에 도시된 푸터인 스위칭 소자(120, 420, 720)를 가지는 파워 게이팅 회로(100, 400, 700)와는 달리, 파워 게이팅 회로(1000)는 헤더인 스위칭 소자(1020)를 포함한다.
- [0117] 가상 전원 레일(VPR)은 제1 전원 레일(VDD)에 선택적으로 연결될 수 있다. 즉, 가상 전원 레일(VPR)의 전압은, 동작 모드에서 제1 전원 레일(VDD)의 제1 전원 전압의 레벨에 근접한 레벨을 가지고, 대기 모드에서 제2 전원 레일(VSS)의 제2 전원 전압의 레벨에 근접한 레벨을 가질 수 있다.
- [0118] 로직 회로(1010)는 가상 전원 레일(VPR)과 제2 전원 레일(VSS) 사이에 연결되어 상기 대기 모드에서 전력 소모가 감소될 수 있다. 리텐션 플립-플롭(1030)은 가상 전원 레일(VPR)의 전압을 제어 신호로서 수신할 수 있다. 이에 따라, 본 발명의 일 실시예에 따른 파워 게이팅 회로(1000)는 감소된 배선 길이 및 배선 혼잡도를 가질 수 있다.
- [0119] 도 11은 본 발명의 일 실시예에 따른 파워 게이팅 회로의 배선 길이 감소에 대한 실험 결과를 나타내는 도면이다.
- [0120] 도 11에는 회로 및 시스템에 대한 국제 심포지엄(international symposium on circuits and systems, ISCAS) 또는 국제 테스트 컨퍼런스(international test conference, ITC)의 벤치마크(benchmark) 회로에 대하여 종래의 파워 게이팅 회로와 본 발명의 일 실시예에 따른 파워 게이팅 회로를 적용할 때 배선 길이에 대한 실험 결과를 나타낸다.
- [0121] 도 11을 참조하면, 종래의 파워 게이팅 회로에 비하여 본 발명의 일 실시예에 따른 파워 게이팅 회로는 평균적으로 약 8.6% 감소된 배선 길이를 가지는 것을 알 수 있다.
- [0122] 이와 같이, 본 발명의 일 실시예에 따른 파워 게이팅 회로 및 집적 회로는 가상 전원 전압을 모드 제어 신호로 활용함으로써, 상기 모드 제어 신호를 위한 버퍼가 불필요하고, 상기 모드 제어 신호에 대한 배선 길이를 감소시킬 수 있다. 또한, 본 발명의 실시예들에 따른 파워 게이팅 회로 및 집적 회로는 누설 전류 및 전력 소모를 효율적으로 감소시킬 수 있다.

**산업이용 가능성**

- [0123] 본 발명은 저전력 소모를 요구하는 임의의 집적 회로 또는 반도체 장치에 유용하게 이용될 수 있다.
- [0124] 상기에서는 본 발명이 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

**도면의 간단한 설명**

- [0125] 도 1은 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.
- [0126] 도 2는 도 1의 파워 게이팅 회로에 포함된 리텐션 플립-플롭을 나타내는 블록도이다.
- [0127] 도 3은 도 2의 리텐션 플립-플롭의 일 예를 나타내는 회로도이다.
- [0128] 도 4는 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.
- [0129] 도 5는 도 4의 파워 게이팅 회로에 포함된 전압 레벨 천이 회로를 나타내는 회로도이다.
- [0130] 도 6은 가상 전원 레일에 대한 커패시턴스를 계산하기 위하여 본 발명의 일 실시예에 따른 파워 게이팅 회로를 모델링한 회로를 나타내는 도면이다.
- [0131] 도 7은 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.



[0132] 도 8은 도 7의 파워 게이팅 회로에 포함된 출력 분리 회로를 나타내는 회로도이다.

[0133] 도 9는 본 발명의 일 실시예에 따른 집적 회로를 나타내는 블록도이다.

[0134] 도 10은 본 발명의 일 실시예에 따른 파워 게이팅 회로를 나타내는 블록도이다.

[0135] 도 11은 본 발명의 일 실시예에 따른 파워 게이팅 회로의 배선 길이 감소에 대한 실험 결과를 나타내는 도면이다.

[0136] <도면의 주요부분에 대한 부호의 설명>

[0137] 100, 400, 700, 930, 950, 960, 1000: 파워 게이팅 회로

[0138] 110, 410, 710, 931, 952, 961, 1010: 로직 회로

[0139] 120, 420, 720, 921, 922, 923, 1020: 스위칭 소자

[0140] 130, 200, 300, 430, 730, 932, 953, 962, 1030: 리텐션 플립-플롭

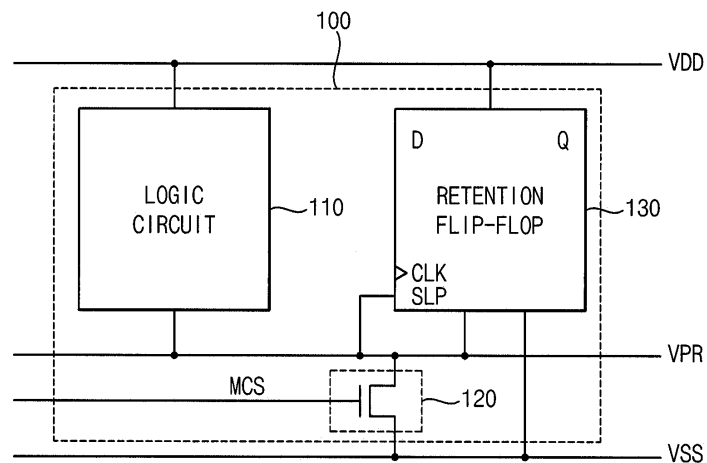
[0141] 440, 500, 951: 전압 레벨 천이 회로

[0142] 750, 800, 963: 출력 분리 회로

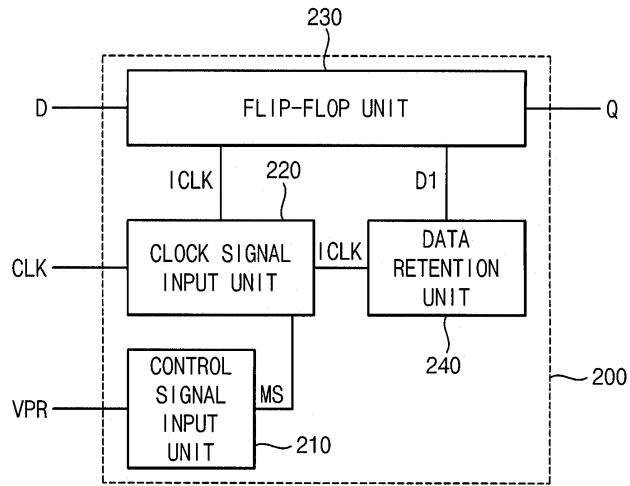
[0143] 940: 일반 회로

**도면**

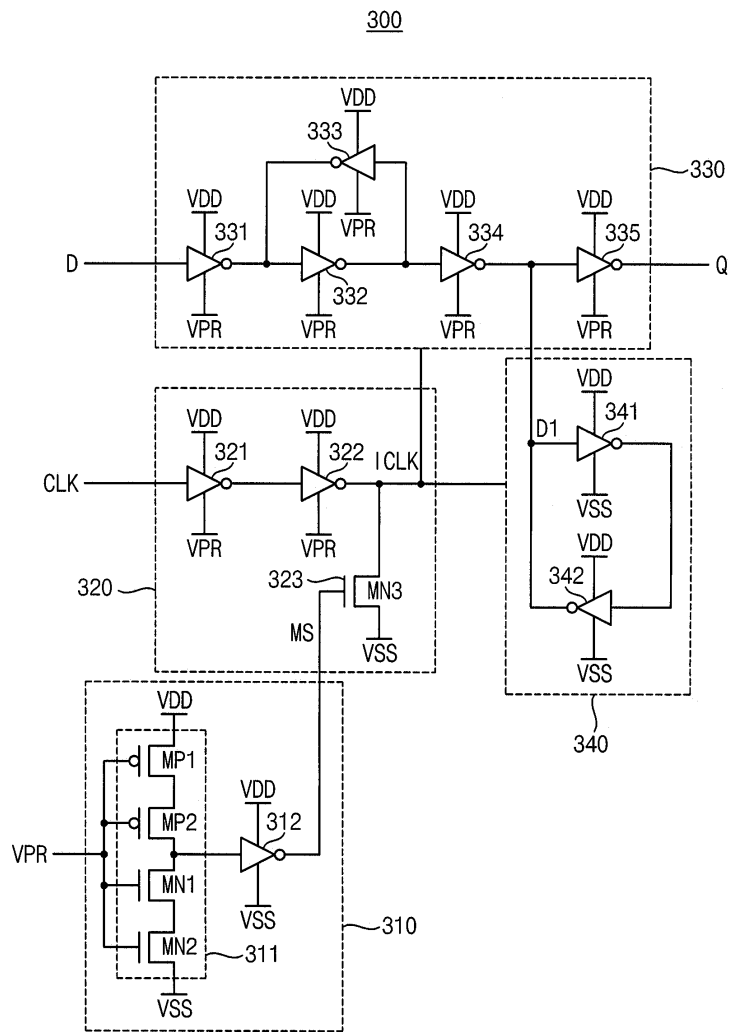
**도면1**



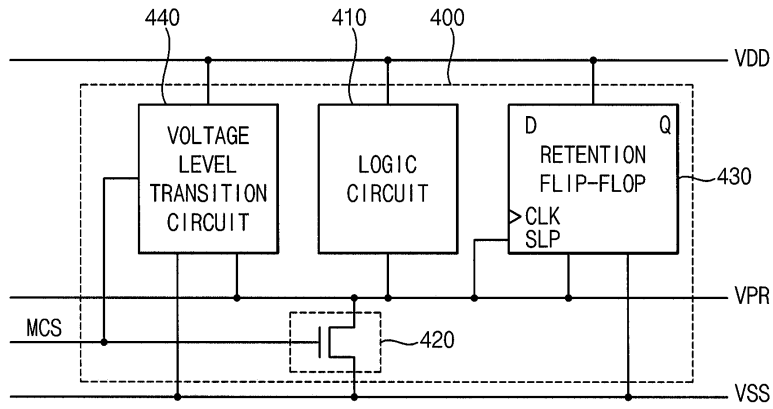
도면2



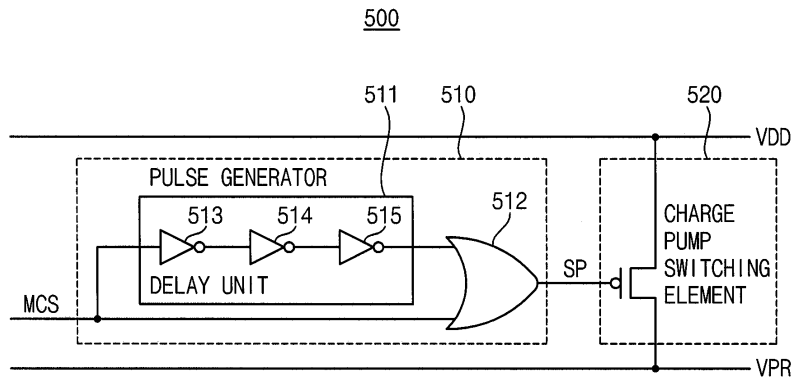
도면3



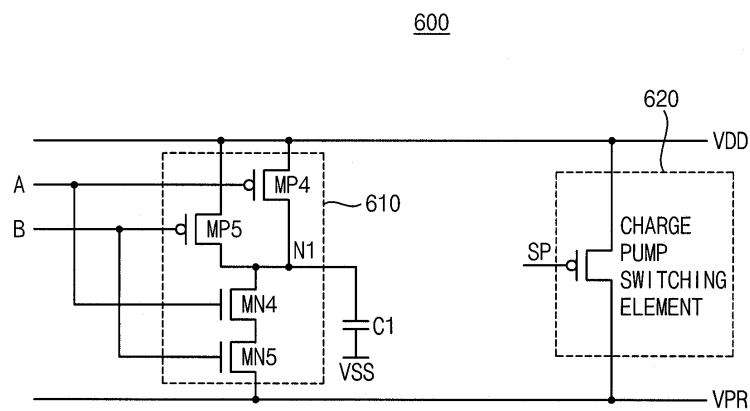
도면4



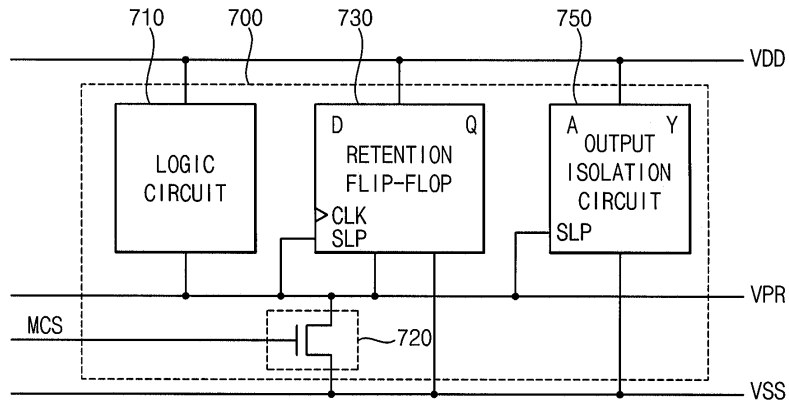
도면5



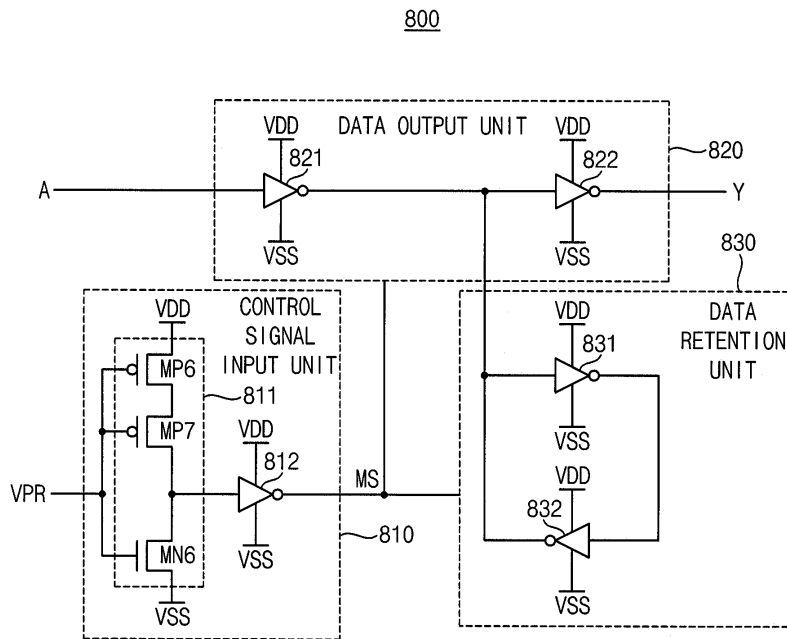
도면6



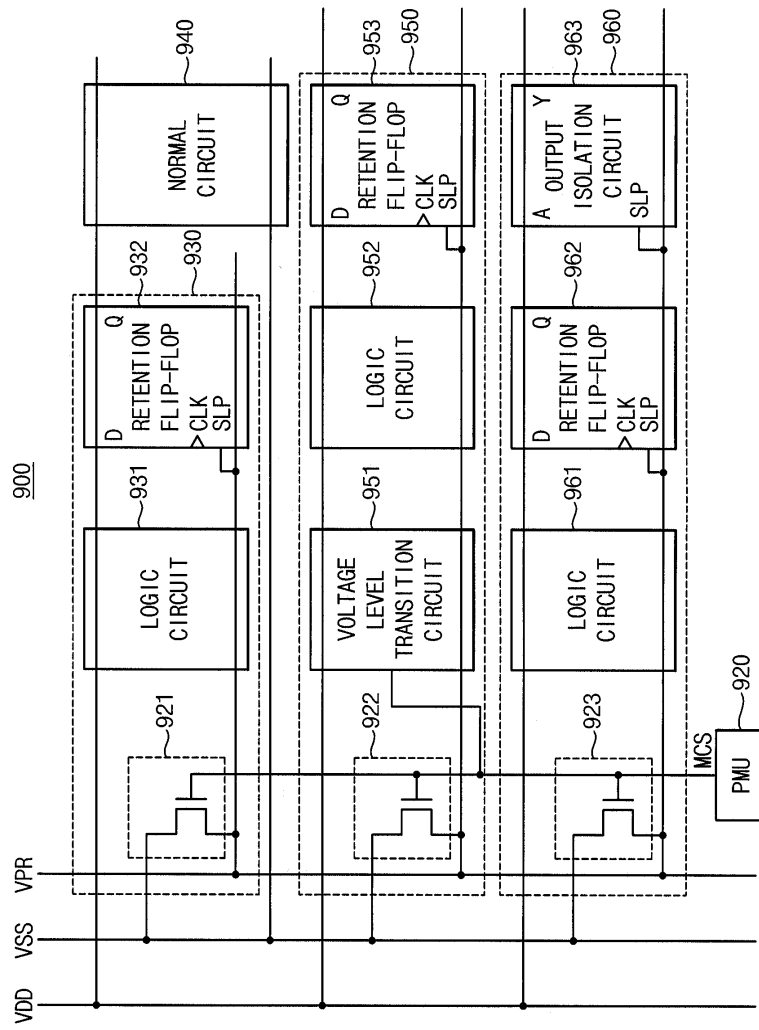
도면7



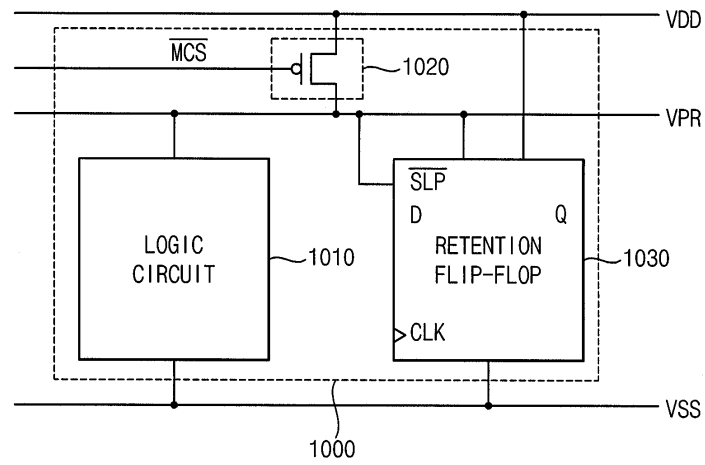
도면8



도면9



도면10



도면11

	WIRE LENGTH		
	CONVENTIONAL (mm)	PRESENT (mm)	REDUCTION RATE (%)
S35932	155	147.1	5.1
S38417	126.7	116	8.5
S38584	153.5	146	4.9
B12	13.1	11.4	12.7
B13	3.8	3.3	13.6
AES1	26.8	24.9	7.3
IRDA1	3	2.8	6.4
IRDA2	10.9	10.1	7.6
IRDA3	2.3	2	12.5
I2C1	5	4.2	15.4
MC1	2.6	2.3	10.5
MC2	7.5	7.1	5.6
RAM1	97.7	93	4.8
RNG	6.7	5.9	11.2
WB1	46.7	45.1	3.3
AVERAGE	-	-	8.6