



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년07월11일
 (11) 등록번호 10-1164787
 (24) 등록일자 2012년07월05일

(51) 국제특허분류(Int. Cl.)
 H01L 21/027 (2006.01) G03F 7/20 (2006.01)
 (21) 출원번호 10-2010-0113142
 (22) 출원일자 2010년11월15일
 심사청구일자 2010년11월15일
 (65) 공개번호 10-2012-0051832
 (43) 공개일자 2012년05월23일
 (56) 선행기술조사문헌
 KR1020100090127 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
한국과학기술원
 대전 유성구 구성동 373-1
 (72) 발명자
신영수
 대전광역시 유성구 대학로 291, 한국과학기술원 나노SoC 빌딩 S-204호 (구성동)
백든규
 대전광역시 유성구 대학로 291, 한국과학기술원 전기및전자공학과 (구성동)
 (뒷면에 계속)
 (74) 대리인
박영우

전체 청구항 수 : 총 9 항

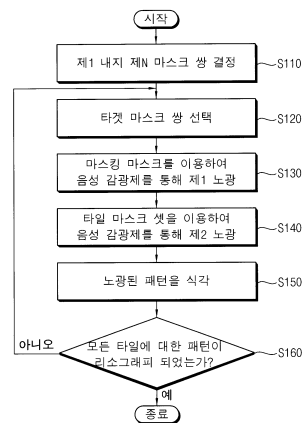
심사관 : 계원호

(54) 발명의 명칭 **스트럭처드 주문형 반도체의 레이어 리소그래피 방법, 설계 방법 및 이에 사용되는 타일 마스크 셋**

(57) 요약

선택적으로 패터닝되는 타일 마스크 셋 및 마스크 마스크를 이용하는 스트럭처드 ASIC의 레이어 리소그래피 방법이 개시된다. 스트럭처드 ASIC의 레이어를 리소그래피하기 위하여, N개의 마스크 쌍들을 결정하며, 상기 N개의 마스크 쌍 중 타겟 마스크 쌍을 선택한다. 상기 타겟 마스크 쌍의 마스크 마스크를 통해 1차 노광하고, 상기 타겟 마스크 쌍의 타일 마스크 셋을 통해 2차 노광한다. 상기 1차 노광 및 2차 노광된 웨이퍼를 식각하여 레이어를 선택적으로 리소그래피한다. 따라서, 디자인의 특성에 맞게 복수의 타일들을 적절히 배치하여 종래의 스트럭처드 ASIC의 비용 절감 효과를 유지하면서 성능을 향상시킬 수 있다.

대표도 - 도1



(72) 발명자

신인섭

대전광역시 유성구 대학로 291, 한국과학기술원
전기및전자공학과 (구성동)

백승훈

대전광역시 유성구 대학로 291, 한국과학기술원
전기및전자공학과 (구성동)

이 발명을 지원한 국가연구개발사업

과제고유번호 2010-0013439

부처명 한국연구재단

연구사업명 일반연구자지원사업

연구과제명 선택적 부분 패터닝을 이용한 마스크 제작 없는 집적회로 제조 및 설계 (Maskless IC
Manufacturing and Design Using Selective Patterning)

주관기관 KAIST

연구기간 2010.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

N 개의 마스크잉 마스크들과, 상기 N 개의 마스크잉 마스크들 각각과 대응하는 M 개의 타일 마스크 셋 중의 제1 내지 제N 타일 마스크 셋을 제1 내지 제N 마스크 쌍들로 결정하는 단계(M은 2 이상의 자연수, N은 M이하의 2 이상의 자연수);

상기 제1 내지 제N 마스크 쌍들 중 타겟 마스크 쌍을 선택하는 단계;

상기 타겟 마스크 쌍의 마스크잉 마스크를 사용하여 음성 감광제를 통해 웨이퍼의 제1 타일부와 제2 타일부 중 상기 제2 타일부를 선택적으로 제1 노광하는 단계;

상기 타겟 마스크 쌍의 타일 마스크 셋을 사용하여 상기 음성 감광제를 통해 상기 웨이퍼를 제2 노광하는 단계; 및

상기 제2 노광된 제1 타일부를 식각하는 단계를 포함하는 스트럭처드 ASIC(application specific integrated circuit)의 레이어를 리소그래피하는 방법에 있어서,

상기 제1 타일부는 상기 제2 노광에 의하여 패터닝되는 타일들을 포함하고, 상기 제2 타일부는 상기 패터닝되지 않는 타일들을 포함하는 스트럭처드 ASIC의 레이어를 리소그래피하는 방법.

청구항 2

제1 항에 있어서, 상기 마스크잉 마스크는,

$x = \frac{d}{2} + a$ 및 $y = \frac{d}{2}$ 의 관계를 만족하며, 상기 x 는 상기 타겟 마스크 쌍의 상기 제1 타일부에 존재하는 패턴에서부터 상기 제1 타일부의 타일 경계까지의 최소거리이고, 상기 y는 상기 마스크잉 마스크의 노광 영역에서부터 상기 제1 타일부의 타일 경계까지의 최소거리이며, 상기 d는 주어진 리소그래피 장비에서 상기 마스크잉 마스크와 상기 웨이퍼 사이의 거리에 따른 빛의 회절 범위이며, 상기 a는 상기 마스크잉 마스크와 상기 웨이퍼 사이의 정렬 오차인 것을 특징으로 하는 스트럭처드 ASIC의 레이어를 리소그래피하는 방법.

청구항 3

스트럭처드 ASIC의 레이어를 웨이퍼에 리소그래피 하는 데 사용하는 복수 그룹의 타일 마스크 셋에 있어서,

상기 각 그룹의 상기 타일 마스크 셋 각각은 상기 스트럭처드 ASIC의 내부 소자를 형성하는 웨이퍼 타일들을 패터닝하기 위하여 일정한 크기를 가지면서 규칙적으로 배열되는 복수의 마스크 타일들을 포함하고, 상기 타일 마스크 셋은 상기 복수의 마스크 타일들의 배열을 구현하기 위한 각각 적어도 하나 이상의 액티브 마스크, 폴리 실리콘 마스크 및 메탈 마스크를 포함하고,

상기 복수 그룹의 타일 마스크 셋들 중 조합 회로를 구현하기 위한 타일 마스크 셋에 포함되는 상기 복수의 마스크 타일들 각각은 제1 방향과 상기 제1 방향의 제1 길이와 상기 제1 방향과 직각인 제2 방향의 제2 길이로 정의되는 크기를 가지고, 상기 복수 그룹의 타일 마스크 셋들 중 순차 회로를 구현하기 위한 타일 마스크 셋에 포함되는 상기 복수의 마스크 타일들 각각은 상기 제1 방향의 제3 길이와 상기 제2 방향의 제4 길이로 정의되는 크기를 가지며, 상기 제3 길이는 상기 제1 길이의 두 배이고, 상기 제4 길이는 상기 제2 길이와 동일한 것을 특징으로 하는 타일 마스크 셋.

청구항 4

삭제

청구항 5

제3 항에 있어서,

상기 웨이퍼 타일들 각각은 상기 제1 방향의 제5 길이와 상기 제2 방향의 제6 길이로 정의되는 크기를

가지며, 상기 제1 길이는 상기 제5 길이와 동일하고 상기 제2 길이는 상기 제6 길이와 동일한 것을 특징으로 하는 타일 마스크 셋.

청구항 6

서로 다른 M(M은 2 이상의 자연수)개의 타일 마스크 셋에서, 타일 마스크 셋들의 타일 레이아웃들에 기초한 게이트 라이브러리에서 상기 타일 마스크 셋들로 구현되는 각 논리 게이트의 정보를 출력하는 단계;

상기 논리 게이트의 정보를 기초로, 상기 각 논리 게이트 사이를 연결하는 정보가 포함된 논리 넷 리스트를 생성하는 단계;

상기 논리 넷 리스트를 기초로 타일 넷 리스트를 생성하는 단계;

상기 타일 넷 리스트를 기초로 타일의 배치를 결정하는 단계; 및

상기 결정된 타일의 배치에 따라 상기 타일들을 연결하는 배선 구조를 결정하는 단계를 포함하는 스트럭처드 ASIC을 설계하는 방법.

청구항 7

제6 항에 있어서,

상기 논리 넷 리스트를 기초로 상기 타일 넷 리스트를 생성하는 단계는,

상기 논리 넷 리스트의 상기 논리 게이트들을 구현하기 위한 N (N은 M 이하 2 이상의 자연수) 개의 타일 마스크 셋들을 결정하는 단계;

상기 논리 넷 리스트의 상기 논리 게이트들이 하나의 타일 영역을 점유하도록 제1 마스크 셋부터 제N 마스크 셋의 상기 논리 게이트들을 순차적으로 상기 타일 영역 상의 제1 타일 영역들부터 제N 타일 영역들에 배치하는 단계; 및

상기 제N 타일 영역들부터 상기 제1 타일 영역들을 순차적으로 패키징하는 단계를 포함하는 것을 특징으로 하는 스트럭처드 ASIC의 설계 방법.

청구항 8

제7 항에 있어서,

상기 제N 타일 영역들부터 상기 제1 타일 영역들을 순차적으로 패키징하는 단계는,

상기 제N 내지 제1 타일 마스크 셋 각각에 대하여, 상기 제N 내지 제1 타일 마스크 셋 각각이 포함하는 상기 논리 게이트 숫자에 상응하는 개수의 상기 타일 영역을 포함하는 패키징 패턴들을 생성하여 상기 각 패키징 패턴들의 우선 순위를 정하는 단계; 및

상기 제N 내지 제1 타일 마스크 셋들의 상기 패키징 패턴들의 우선 순위에 따라 인접한 상기 타일 영역을 상기 하나의 타일 단위로 병합하는 단계를 포함하는 것을 특징으로 하는 스트럭처드 ASIC을 설계하는 방법.

청구항 9

제6 항에 있어서,

상기 배선 구조를 결정하는 단계는,

상기 타일들 내부의 배선을 위하여, 제1 방향으로 배치되는 제1 배선 메탈들 및 상기 제1 방향과 직각인 제2 방향으로 배치되는 제2 배선 메탈들을 상기 타일들에 배열하는 단계;

상기 타일들 사이의 배선을 위하여, 상기 제1 방향으로 배치되어 상기 제1 배선 메탈들을 연결하는 제1 메탈 세그먼트들 및 상기 제2 방향으로 배치되어 상기 제2 배선 메탈들을 연결하는 제2 메탈 세그먼트들을 배열하는 단계;

상기 제1 배선 메탈들, 제2 배선 메탈들, 제1 메탈 세그먼트들 및 제2 메탈 세그먼트들 상에서 상기 제1 방향 또는 제2 방향의 경로로 나타나는 제1 배선 구조를 결정하는 단계;

상기 제1 배선 구조를 기초로 상기 제1 배선 메탈들, 제2 배선 메탈들, 제1 메탈 세그먼트들 및 제2 메탈 세

그먼트들을 결정하여 제2 배선 구조를 결정하는 단계; 및

상기 제2 배선 구조를 기초로 상기 제1 배선 메탈들, 제2 배선 메탈들, 제1 메탈 세그먼트들 및 제2 메탈 세그먼트들 사이의 필요한 위치에 삽입되는 비아(via)를 결정하는 단계를 포함하는 것을 특징으로 하는 스트럭처드 ASIC을 설계하는 방법.

청구항 10

제6 항에 있어서,

상기 배선 구조를 결정하는 단계는,

상위 K(K는 1 이상의 정수)개의 긴 지연시간을 갖는 경로의 배선을 우선적으로 결정하는 것을 특징으로 하는 스트럭처드 ASIC을 설계하는 방법.

명세서

기술분야

[0001] 본 발명은 스트럭처드(structured) 주문형 반도체(application specific integrated circuit; ASIC)의 레이어 리소그래피(layer lithography) 및 설계 방법에 관한 것으로, 보다 상세하게는 선택적으로 패터닝된 마스크 셋과 마스크잉 마스크(selectively patterned masks; SPM)를 이용한 스트럭처드 ASIC의 레이어 리소그래피 및 설계 방법에 관한 것이다.

배경기술

[0002] 주문형 반도체(application specific integrated circuit; ASIC)의 설계에 있어서, 일반적인 ASIC 설계 방식을 사용하는 경우 하나의 새로운 칩을 제조할 때 칩마다 서로 다른 레이아웃을 구현하기 위하여 전체 마스크 셋을 새로 제조하여야 한다. 이 경우 N-웰(N-well), 폴리(poly), 액티브(active), 콘택(contact), 메탈(metal), 비아(via) 등 30~40여 개의 주문 제작한(customized) 마스크가 필요하다. 하나의 칩을 만드는데 필요한 모든 마스크를 통틀어 마스크 셋이라고 하는데 공정이 미세해질수록 상기 마스크 셋의 크기는 점점 커지고 있으며, 각 마스크의 가격 또한 미세공정의 어려움과 마스크 불량의 증가로 인해 상승하고 있다. 따라서 전체 마스크 셋의 비용은 급격하게 증가하고 있다.

[0003] 스트럭처드 ASIC은 상기와 같은 ASIC의 제조 시에 증가하는 마스크 비용을 줄이기 위해 제안된 방법으로 콘택, 비아 등 몇 개의 프로그래밍 마스크를 제외하고는 모두 미리 만들어져 있는 마스크를 사용하고, 새로운 칩을 제작할 때마다 상기 프로그래밍 마스크만을 새롭게 제작하여 사용하는 방법이다. 그러나 상기 종래의 스트럭처드 ASIC은 저렴한 비용에도 불구하고 상기 ASIC에 비해 동작 속도가 느리고 상대적으로 넓은 면적을 필요로 하는 단점이 있다 이는 상기 종래의 스트럭처드 ASIC이 마스크 비용을 줄이는 것을 목표로 하여 단일 종류의 타일을 모든 디자인에 적용하려 하였고, 디자인 각각의 특성을 타일 구조가 적절히 대응하지 못하였기 때문이다. 상기 종래의 스트럭처드 ASIC은 상기 종래의 ASIC에 비해 속도는 1.5배 내지 4배 느리고, 면적은 4배 내지 6배 더 큰 것으로 알려져 있다.

발명의 내용

해결하려는 과제

[0004] 상기와 같은 문제점을 해결하기 위한 본 발명의 일 목적은 선택적으로 패터닝된 타일 마스크 셋과 마스크잉 마스크를 이용하여 성능이 향상된 스트럭처드 ASIC의 레이어 리소그래피 방법을 제공하는 데 있다.

[0005] 본 발명의 다른 목적은 스트럭처드 ASIC의 레이어를 리소그래피 하는데 사용하는 타일 마스크 셋을 제공하는 데 있다.

[0006] 본 발명의 또다른 목적은 선택적으로 패터닝된 타일 마스크 셋과 마스크잉 마스크를 이용하여 성능이 향상된 스트럭처드 ASIC의 설계 방법을 제공하는 데 있다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 레이어 리소그

래피 방법에서는 N 개의 마스크잉 마스크들과, 상기 N 개의 마스크잉 마스크들 각각과 대응하는 M 개(M은 2 이상의 자연수, N은 M이하의 2 이상의 자연수)의 타일 마스크 셋 중의 제1 내지 제N 타일 마스크 셋을 제1 내지 제N 마스크 쌍들로 결정한다. 상기 제1 내지 제N 마스크 쌍들 중 타겟 마스크 쌍을 선택한다. 상기 타겟 마스크 쌍의 마스크잉 마스크를 사용하여 음성 감광제를 통해 웨이퍼의 제1 타일부와 제2 타일부 중 상기 제2 타일부를 선택적으로 제1 노광한다. 상기 타겟 마스크 쌍의 타일 마스크 셋을 사용하여 상기 음성 감광제를 통해 상기 웨이퍼를 제2 노광한다. 상기 제2 노광된 제1 타일부를 식각한다. 상기 제1 타일부는 상기 제2 노광에 의하여 패터닝되는 타일들을 포함하고, 상기 제2 타일부는 상기 패터닝되지 않는 타일들을 포함한다.

[0008] 실시예에 있어서, 상기 마스크잉 마스크는, $x = d / 2 + a$ 의 관계 및 $y = d / 2$ 의 관계를 만족할 수 있다. 상기 x 는 상기 타겟 마스크 쌍의 상기 제1 타일부에 존재하는 패턴에서부터 상기 제1 타일부의 타일 경계까지의 최소거리일 수 있고, 상기 y는 상기 마스크잉 마스크의 노광 영역에서부터 상기 제1 타일부의 타일 경계까지의 최소거리일 수 있으며, 상기 d는 주어진 리소그래피 장비에서 상기 마스크잉 마스크와 상기 웨이퍼 사이의 거리에 따른 빛의 회절 범위를 일 수 있고, 상기 a는 상기 마스크잉 마스크와 상기 웨이퍼 사이의 정렬 오차일 수 있다.

[0009] 상기 다른 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 타일 마스크 셋 각각은 상기 스트럭처드 ASIC의 내부 소자를 형성하는 웨이퍼 타일들을 패터닝하기 위하여 일정한 크기를 가지면서 규칙적으로 배열되는 복수의 마스크 타일들을 포함하고, 상기 타일 마스크 셋은 상기 복수의 마스크 타일들의 배열을 구현하기 위한 각각 적어도 하나 이상의 액티브 마스크, 폴리 실리콘 마스크 및 메탈 마스크를 포함한다. 웨이퍼 타일은 웨이퍼 상에서 타일 형태로 규칙적으로 배열되는 영역이다.

[0010] 실시예에 있어서, 상기 복수 그룹의 타일 마스크 셋들 중 조합 회로를 구현하기 위한 타일 마스크 셋에 포함되는 상기 복수의 마스크 타일들 각각은 제1 방향과 상기 제1 방향의 제1 길이와 상기 제1 방향과 직각인 제2 방향의 제2 길이로 정의되는 크기를 가질 수 있다. 웨이퍼 타일이 웨이퍼 상에서 타일 형태로 규칙적으로 배열되는 영역인 데 비하여, 마스크 타일은 상기 웨이퍼를 선택적으로 리소그래피하기 위해 사용되는 타일 마스크 상에서 타일 형태로 규칙적으로 배열되는 영역이다. 상기 복수 그룹의 타일 마스크 셋들 중 순차 회로를 구현하기 위한 타일 마스크 셋에 포함되는 상기 복수의 마스크 타일들 각각은 상기 제1 방향의 제3 길이와 상기 제2 방향의 제4 길이로 정의되는 크기를 가질 수 있다. 상기 제3 길이는 상기 제1 길이의 두 배이고, 상기 제4 길이는 상기 제2 길이와 동일할 수 있다.

[0011] 실시예에 있어서, 상기 웨이퍼 타일들 각각은 상기 제1 방향의 제5 길이와 상기 제2 방향의 제6 길이로 정의되는 크기를 가질 수 있다. 상기 제1 길이는 상기 제5 길이와 동일할 수 있으며, 상기 제2 길이는 상기 제6 길이와 동일할 수 있다. 다른 실시예에서, 리소그래피 장비가 마스크와 웨이퍼 사이에 빛을 투사하는 프로젝션 렌즈를 사용하는 경우, 상기 제1 길이 및 제2 길이는 상기 제5 길이 및 제6 길이와 각각 같이 않을 수 있고, 이 경우 상기 프로젝션 렌즈의 배율에 따라 상기 제1 길이 및 제2 길이가 결정될 수 있다.

[0012] 상기 또다른 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 설계 방법에서는 서로 다른 M(M은 2 이상의 자연수)개의 타일 마스크 셋에서, 타일 마스크 셋들의 타일 레이아웃들에 기초한 게이트 라이브러리에서 상기 타일 마스크 셋들로 구현되는 각 논리 게이트의 정보를 출력한다. 상기 논리 게이트의 정보를 기초로, 상기 각 논리 게이트 사이를 연결하는 정보가 포함된 논리 넷 리스트를 생성한다. 상기 논리 넷 리스트를 기초로 타일 넷 리스트를 생성한다. 상기 타일 넷 리스트를 기초로 타일의 배치를 결정한다. 상기 결정된 타일의 배치에 따라 상기 타일들을 연결하는 배선 구조를 결정한다.

[0013] 실시예에 있어서, 상기 논리 넷 리스트를 기초로 상기 타일 넷 리스트를 생성하는 단계는, 상기 논리 넷 리스트의 상기 논리 게이트들을 구현하기 위한 N (N은 M 이하 2 이상의 자연수) 개의 타일 마스크 셋들을 결정하는 단계, 상기 논리 넷 리스트의 상기 논리 게이트들이 하나의 타일 영역을 점유하도록 제1 마스크 셋부터 제N 마스크 셋의 상기 논리 게이트들을 순차적으로 상기 타일 영역 상의 제1 타일 영역들부터 제N 타일 영역들에 배치하는 단계 및 상기 제N 타일 영역들부터 상기 제1 타일 영역들을 순차적으로 패킹하는 단계를 포함할 수 있다.

[0014] 상기 제N 타일 영역들부터 상기 제1 타일 영역들을 순차적으로 패킹하는 단계는, 상기 제N 내지 제1 타일 마스크 셋 각각에 대하여, 상기 제N 내지 제1 타일 마스크 셋 각각이 포함하는 상기 논리 게이트 숫자에 상응하는 개수의 상기 타일 영역을 포함하는 패킹 패턴들을 생성하여 상기 각 패킹 패턴들의 우선 순위를 정하는 단계, 및 상기 제N 내지 제1 타일 마스크 셋들의 상기 패킹 패턴들의 우선 순위에 따라 인접한 상기 타일 영역을 상기 하나의 타일 단위로 병합하는 단계를 포함할 수 있다.

[0015] 실시예에 있어서, 상기 배선 구조를 결정하는 단계는, 상기 타일들 내부의 배선을 위하여, 제1 방향으로 배치되는 제1 배선 메탈들 및 상기 제1 방향과 직각인 제2 방향으로 배치되는 제2 배선 메탈들을 상기 타일들에 배열하는 단계, 상기 타일들 사이의 배선을 위하여, 상기 제1 방향으로 배치되어 상기 제1 배선 메탈들을 연결하는 제1 메탈 세그먼트들 및 상기 제2 방향으로 배치되어 상기 제2 배선 메탈들을 연결하는 제2 메탈 세그먼트들을 배열하는 단계, 상기 제1 배선 메탈들, 제2 배선 메탈들, 제1 메탈 세그먼트들 및 제2 메탈 세그먼트들 상에서 상기 제1 방향 및/또는 제2 방향의 경로로 나타나는 제1 배선 구조를 결정하는 단계, 상기 제1 배선 구조를 기초로 상기 제1 배선 메탈들, 제2 배선 메탈들, 제1 메탈 세그먼트들 및 제2 메탈 세그먼트들을 결정하여 제2 배선 구조를 결정하는 단계, 및 상기 제2 배선 구조를 기초로 상기 제1 배선 메탈들, 제2 배선 메탈들, 제1 메탈 세그먼트들 및 제2 메탈 세그먼트들 사이의 필요한 위치에 삽입되는 비아(via)를 결정하는 단계를 포함할 수 있다.

[0016] 실시예에 있어서, 상기 배선 구조를 결정하는 단계는, 상위 K(K는 1 이상의 정수)개의 긴 지연시간을 갖는 경로의 배선을 우선적으로 결정할 수 있다.

발명의 효과

[0017] 본 발명에 따르면, 선택적으로 패터닝된 마스크 셋과 마스크잉 마스크(selectively patterned mask; SPM)를 이용하여 디자인의 특성에 맞게 복수의 타일들을 적절히 선택 및 배치하는 것을 가능하게 함으로써 종래의 스트럭처드 ASIC의 비용 절감 효과를 유지하면서 종래의 ASIC의 성능에 근접하게 칩을 설계 및 제작할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 리소그래피 방법을 나타내는 순서도이다.
- 도 2a 내지 도 2f는 도 1의 방법에 의해 스트럭처드 ASIC의 제1 패턴을 리소그래피하는 과정을 나타내는 단면도들이다.
- 도 3a 내지 도 3f는 도 1의 방법에 의해 스트럭처드 ASIC의 제2 패턴을 리소그래피하는 과정을 나타내는 단면도들이다.
- 도 4a 내지 도 4c는 도 1의 방법에서 마스크잉 마스크의 일 예를 나타내는 단면도들이다.
- 도 5는 본 발명의 다른 실시예에 따른 스트럭처드 ASIC의 설계 방법을 나타내는 순서도이다.
- 도 6a 내지 도 6g는 도 5의 방법에 의해 타일 영역들을 패키징하는 과정의 일 예를 설명하기 위한 도면들이다.
- 도 7a 내지 도 7e는 도 5의 방법에 따른 메탈 배열을 나타내는 도면들이다.
- 도 8a 내지 도 8b는 도 5의 방법에 의해 배선 구조를 결정하는 과정을 설명하기 위한 도면들이다.
- 도 9는 본 발명의 다른 실시예에 따른 타일 마스크 셋의 구조를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0020] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0021] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제 1 구성요소는 제 2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제 1 구성요소로 명명될 수 있다.

[0022] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다

고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0023] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0024] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0025] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0026] 도 1은 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 리소그래피 방법을 나타내는 순서도이다.

[0027] 도 1을 참조하면, 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 리소그래피 방법은, 제1 내지 제N 마스크 쌍을 결정하는 단계(S110), 타겟 마스크 쌍을 선택하는 단계(S120), 마스크링 마스크를 이용하여 음성 감광제를 통해 제1 노광하는 단계(S130), 타일 마스크 셋을 이용하여 음성 감광제를 통해 제2 노광하는 단계(S140) 및 상기 노광된 패턴을 식각하는 단계(S150)를 포함한다. 또한 상기 스트럭처드 ASIC의 리소그래피 방법은 모든 타일에 대해 리소그래피 되었는지 판단(S160)하는 단계를 더 포함할 수 있다. 여기서 M은 2 이상의 자연수이고, N은 M 이하이며 2 이상인 자연수이다.

[0028] 상기 제1 내지 제N 마스크 쌍을 결정하는 단계(S110)는, 미리 제공되는 M 개의 타일 마스크 쌍 중에서, 상기 스트럭처드 ASIC의 설계를 통하여 상기 ASIC의 구현을 위해 필요한 N 개의 타일 마스크 셋들을 선택하고, 각 타일 마스크 셋에 대해 패터닝된 타일들을 선택적으로 리소그래피하기 위한 마스크링 마스크를 제공하는 방법으로 수행될 수 있다. 즉, N개의 마스크링 마스크들과, 상기 N 개의 마스크링 마스크들 각각과 대응하는 M 개의 타일 마스크 셋 중의 제1 내지 제N 타일 마스크 셋을 제1 내지 제N 마스크 쌍으로 결정한다.

[0029] 상기 타겟 마스크 쌍을 선택하는 단계(S120)는, 상기 스트럭처드 ASIC의 각 레이어에 대응하는 타겟 마스크 쌍을 선택하는 방법으로 수행될 수 있다. 전술한 바와 같이, 상기 마스크 쌍은 해당 레이어를 선택적으로 리소그래피 하기 위한 상기 하나의 마스크링 마스크와, 상기 선택적으로 리소그래피 하려는 패턴을 위한 상기 적어도 하나 이상의 타일 마스크를 포함하는 타일 마스크 셋으로 구성될 수 있다. 즉, 상기 타겟 마스크 쌍에 의하여 해당 레이어의 패턴이 타일 영역마다 선택적으로 리소그래피된다.

[0030] 상기 마스크링 마스크를 이용하여 음성 감광제를 통해 제1 노광하는 단계(S130)는, 상기 타일 마스크 셋을 통해 패터닝하기 이전에 패터닝할 타일을 선택하기 위하여 수행된다. 즉, 상기 음성 감광제를 웨이퍼 전체에 증착하고, 상기 마스크링 마스크를 이용하여 패터닝되지 않는 타일 영역을 제1 노광한다. 상기 음성 감광제는 노광된 영역이 변형되는 특성을 가진다. 따라서 상기 제1 노광 과정을 통해 상기 각 타일 영역을 선택적으로 서로 다른 패턴으로 패터닝할 수 있다.

[0031] 상기 타일 마스크 셋을 이용하여 음성 감광제를 통해 제2 노광하는 단계(S140)는, 상기 마스크링 마스크에 의해 가려지는 영역을 패터닝하기 위하여 수행된다.

[0032] 노광된 패턴을 식각하는 단계(S150)는, 습식 화학 식각 혹은 반응 이온 식각 등에 의해 수행될 수 있다. 이 경우 음성 감광제 중 제1 노광 및 제2 노광에 의해 노광된 부분은 변형되어 남아 있고, 상대적으로 연약한 부분인 노광되지 않은 부분은 용해되어 식각된다.

[0033] 상기와 같은 과정을 웨이퍼 상의 모든 타일에 대한 리소그래피가 완료될 때까지 반복한다.

[0034] 도 2a 내지 도 2f는 도 1의 방법에 의해 스트럭처드 ASIC의 제1 패턴을 리소그래피하는 과정을 나타낸다.

[0035] 도 2a를 참조하면, 웨이퍼(110) 상부에 산화 실리콘 박막층(130) 및 폴리 실리콘층(150)이 순서대로

형성되며, 포토레지스트(Photoresist; PR)라고도 불리는 감광층(170)이 차례로 형성될 수 있다. 웨이퍼(110), 산화 실리콘 박막층(130), 폴리 실리콘층(150) 및 감광층(170)은 레이어(180)를 형성할 수 있다. 도 2a는 노광 과정이 있기 전의 레이어(180)를 도시한 것이다. 레이어(180)에 제1 노광 및 제2 노광을 수행하고 식각 과정을 거쳐 선택적으로 패터닝된 레이어(180)가 형성될 수 있다.

[0036] 도 2b를 참조하면, 레이어(180) 상에 제1 마스크 마스크(210)를 웨이퍼(110)와 정렬하여 제1 노광을 수행할 수 있다. 제1 마스크 마스크(210)는 선택적으로 패터닝할 제1 패턴 영역, 즉 웨이퍼(110)의 제1 영역(A1)을 가리는 제1 광차단부(213) 및 빛을 통과시키는 제1 광통과부(215)를 포함할 수 있다. 도 2b에 도시된 바와 같이, 제1 마스크 마스크(210)의 제1 광통과부(215)를 통해 빛이 통과하여 감광층(170)을 선택적으로 변형시킬 수 있다. 변형된 감광층(175)은 해칭된 영역으로 표시하였다. 후술하는 바와 같이, 제1 노광을 통해 변형된 감광층(175)은 제1 타일 마스크에 의하여 노광되어도 변형된 채로 그 특성을 유지하므로 패터닝하지 않을 제2 패턴 영역, 즉 웨이퍼(110)의 제2 영역(A2)이 제1 타일 마스크에 의해 패터닝 되는 것을 방지할 수 있다.

[0037] 도 2c를 참조하면, 제1 노광이 수행된 후에 제1 타일 마스크(230)를 웨이퍼(110)와 정렬하여 제2 노광을 수행할 수 있다. 제1 타일 마스크(230)에는 각 타일마다 동일한 패턴들이 나타나 있다. 도 2c에 도시된 제1 타일 마스크(230)에는 제1 영역(A1)으로 통과하는 빛과 제2 영역(A2)으로 통과하는 빛이 도시되어 있다. 상기 제1 영역(A1)에는 제1 타일 마스크(230)의 패턴이 패터닝되고, 상기 제2 영역(A2)에는 제2 타일 마스크의 패턴이 패터닝된다. 상기 제2 영역(A2)에 상기 제2 타일 마스크의 패턴이 패터닝되는 과정은 도 3a 내지 도 3f를 참조하여 후술한다. 제2 영역(A2)으로 통과하는 빛은 제1 타일에 대한 패터닝에 필요 없는 빛이다. 도 2b를 참조하여 설명한 바와 같이 상기 패터닝하지 않을 부분, 즉 제2 영역(A2)에 대하여는 제1 마스크 마스크(210)를 통한 노광으로 이미 감광층(170)이 변형되어 있으므로, 변형된 감광층(175)에 빛이 입사하더라도 제1 타일 마스크(230)의 패턴들이 패터닝되지 않는다. 반면 제1 영역(A1)에 대하여는 제1 마스크 마스크(210)가 상기 영역에 빛이 입사하는 것을 차단하였으므로, 변형되지 않은 감광층(170)에 제1 타일 마스크(230)의 패턴들이 패터닝될 수 있다. 이 때, 음성(negative)의 감광층(170)을 사용하므로 제1 타일 마스크(230)의 패턴은 반전된 패턴이 나타난다.

[0038] 도 2d를 참조하면, 제2 노광이 수행된 후에 레이어(180)의 제1 영역(A1)에는 제1 타일 마스크(230)의 패턴들이 패터닝되어 있고, 제2 영역(A2)은 패터닝이 나타나지 않음이 도시되어 있다. 음성의 감광층(170)의 경우, 노광된 부분인 변형된 감광층(175)보다 변형되지 않은 감광층(170) 부분이 상대적으로 연약하기 때문에, 상기 변형되지 않은 감광층(170)은 화학적으로 제거될 수 있으며 그 패턴이 웨이퍼(110)상에 나타나게 된다. 상기 기법은 매우 세밀한 패턴을 웨이퍼(110) 상에 정확히 재현해 준다.

[0039] 도 2e를 참조하면, 변형된 감광층(175)을 제외한 부분은 식각 과정을 통해 패턴의 형상대로 식각됨을 나타낸다. 변형된 감광층(175)은 습식 화학 식각 혹은 반응 이온 식각으로부터 변형된 감광층(175) 하부를 보호하기 위한 효과적인 마스크 층으로 작용할 수 있다. 상기 식각 과정에 의하여 제1 영역(A1)이 변형된 감광층(175)의 패턴대로 식각된다. 반면, 제2 영역(A2)은 패터닝 없이 전체가 변형된 감광층(175)이 덮고 있으므로 식각되지 않는다.

[0040] 도 2f를 참조하면, 상기 식각 과정 이후에 남아 있는 변형된 감광층(175)을 제거하여 제1 타일 마스크(230)의 선택적인 패터닝이 제1 영역(A1)에 대하여 완료된다.

[0041] 도 2a 내지 도 2f에는 제1 타일 마스크(230)의 패턴을 선택적으로 일부 타일 영역에 패터닝하기 위해, 먼저 제1 마스크 마스크(210)를 통해 제1 노광하고, 그 뒤에 제1 타일 마스크(230)를 통해 제2 노광하는 방법이 도시되어 있다. 그러나 상기 이중 노광 과정에 있어서, 음성 감광제를 사용하기 때문에 먼저 제1 타일 마스크(230)를 통해 패턴을 노광하고, 그 뒤에 제1 마스크 마스크(210)를 통해 패터닝하지 않을 타일 영역을 노광하여도 동일한 결과가 나타남을 알 수 있을 것이다.

[0042] 도 3a 내지 도 3f는 도 1의 방법에 의해 스트럭처드 ASIC의 제2 패턴을 리소그래피하는 과정을 나타내는 단면도들이다.

[0043] 도 3a를 참조하면, 도 2a 내지 도 2f의 과정을 통해 제1 영역(A1)이 패터닝된 상태에서 레이어(180) 상부에 감광층(170)이 증착된 결과가 도시되어 있다. 도 2a 내지 도 2f를 통해 설명한 바와 마찬가지로, 상기 감광층(170)을 이루는 물질은 음성 감광제이다. 도 3a는 노광 과정이 있기 전의 레이어(180)를 도시한 것이다. 레이어(180)에 제1 노광 및 제2 노광을 수행하고 식각 과정을 거쳐 선택적으로 패터닝된 레이어(180)가 형성될 수 있다.

- [0044] 도 3b를 참조하면, 레이어(180) 상에 제2 마스크 마스크(250)를 웨이퍼(110)와 정렬하여 제1 노광을 수행할 수 있다. 제2 마스크 마스크(250)는 선택적으로 패터닝할 제2 영역(A2)을 가리는 제2 광차단부(253) 및 빛을 통과시키는 제2 광통과부(255)를 포함할 수 있다. 도 3b에 도시된 바와 같이, 제2 마스크 마스크(250)의 제2 광통과부(255)를 통해 빛이 통과하여 감광층(170)을 선택적으로 변형시킬 수 있다. 도 2a 내지 도 2f에서 도시한 바와 마찬가지로, 변형된 감광층(175)은 해칭된 영역으로 표시하였다. 제1 노광을 통해 변형된 감광층(175)은 제2 타일 마스크에 의하여 노광되어도 변형된 채로 그 특성을 유지하므로 패터닝하지 않을 제1 영역(A1)이 제2 타일 마스크에 의해 패터닝 되는 것을 방지할 수 있다.
- [0045] 도 3c를 참조하면, 제1 노광이 수행된 후에 제2 타일 마스크(270)를 웨이퍼(110)와 정렬하여 제2 노광을 수행할 수 있다. 제2 타일 마스크(270)에는 각 타일마다 동일한 패턴들이 나타나 있다. 도 3c에 도시된 제2 타일 마스크(270)에는 제1 영역(A1)으로 통과하는 빛과 제2 영역(A2)으로 통과하는 빛이 도시되어 있다. 상기 제1 영역(A1)에는 제1 타일 마스크(230)의 패턴이 패터닝되고, 상기 제2 영역(A2)에는 제2 타일 마스크(270)의 패턴이 패터닝된다. 상기 제1 영역(A1)에 상기 제1 타일 마스크의 패턴이 패터닝되는 과정은 도 2a 내지 도 2f를 참조하여 전술하였다. 제2 타일 마스크(270)의 제1 영역(A1)으로 통과하는 빛은 제2 타일의 패터닝에 필요 없는 빛이다. 도 3b를 참조하여 설명한 바와 같이 상기 패터닝하지 않을 부분, 즉 제1 영역(A1)에 대하여는 제2 마스크 마스크(250)를 통한 노광으로 이미 감광층(170)이 변형되어 있으므로, 변형된 감광층(175)에 빛이 입사하더라도 제2 타일 마스크(270)의 패턴들이 패터닝되지 않는다. 반면 제2 영역(A2)에 대하여는 제1 마스크 마스크(250)가 상기 영역에 빛이 입사하는 것을 차단하였으므로, 변형되지 않은 감광층(170)에 제2 타일 마스크(270)의 패턴들이 패터닝될 수 있다. 이 때, 음성(negative)의 감광층(170)을 사용하므로 제2 타일 마스크(270)의 패턴은 반전된 패턴이 나타난다.
- [0046] 도 3d를 참조하면, 제2 노광이 수행된 후에 레이어(180)의 제2 영역(A2)에는 제2 타일 마스크(270)의 패턴들이 패터닝되어 있고, 레이어(180)의 제1 영역(A1)은 제1 타일 마스크(230)에 의한 패턴이 변형된 감광층(175)에 의해 보호되고 있음이 도시되어 있다. 음성의 감광층(170)의 경우, 노광된 부분인 변형된 감광층(175)보다 변형되지 않은 감광층(170) 부분이 상대적으로 연약하기 때문에, 상기 변형되지 않은 감광층(170)은 화학적으로 제거될 수 있으며 그 패턴이 웨이퍼(110)상에 나타나게 된다. 상기 기법은 매우 세밀한 패턴을 웨이퍼(110) 상에 정확히 재현해 준다.
- [0047] 도 3e를 참조하면, 변형된 감광층(175)을 제외한 부분은 식각 과정을 통해 패턴의 형상대로 식각됨을 나타낸다. 전술한 바와 같이, 변형된 감광층(175)은 습식 화학 식각 혹은 반응 이온 식각으로부터 변형된 감광층(175) 하부를 보호하기 위한 효과적인 마스크 층으로 작용할 수 있다. 상기 식각 과정에 의하여 제2 영역(A2)이 변형된 감광층(175)의 패턴대로 식각된다. 반면, 제1 영역(A1)은 도 2a 내지 도 2f의 과정을 통해 제1 타일 마스크(230)에 의해 나타난 패턴을 변형된 감광층(175)이 덮고 있으므로 식각되지 않는다.
- [0048] 도 3f를 참조하면, 상기 식각 과정 이후에 남아 있는 변형된 감광층(175)을 제거하여 제2 타일 마스크(270)의 패턴이 완료된다. 따라서 최종적으로, 레이어(180)의 제1 영역(A1)에는 제1 패턴이 패터닝되고, 제2 영역(A2)에는 제2 패턴이 패터닝된다.
- [0049] 도 3a 내지 도 3f에는 제2 타일 마스크(270)의 패턴을 선택적으로 일부 타일 영역에 패터닝하기 위해, 먼저 제2 마스크 마스크(250)를 통해 제1 노광하고, 그 뒤에 제2 타일 마스크(270)를 통해 제2 노광하는 방법이 도시되어 있다. 그러나 상기 이중 노광 과정에 있어서, 음성 감광제를 사용하기 때문에 먼저 제2 타일 마스크(270)를 통해 제2 패턴 영역에 패턴을 노광하고, 그 뒤에 제2 마스크 마스크(250)를 통해 패터닝하지 않을 제1 패턴 영역을 노광하여도 동일한 결과가 나타남을 알 수 있을 것이다.
- [0050] 도 4a 내지 도 4c는 도 1의 방법에서 마스크 마스크의 일 예를 나타내는 단면도들이다.
- [0051] 도 4a는 오차 없이 정렬된 경우의 마스크 마스크(210)와 웨이퍼(180)를 나타내는 도면이다.
- [0052] 도 4a를 참조하면, 마스크 마스크(210)가 노광 과정에서 빛을 차단하는 범위는 빛의 회절 범위(d)를 고려하여 결정할 수 있다. 상기 빛의 회절 범위(d)는 리소그래피 장비마다 다를 수 있다. 도 4a에서 x는 제1 타일부, 즉 타일 마스크 셋에 의해 패터닝을 하고자 하는 타일 영역을 나타내는 제1 타일부의 패턴에서부터 타일 경계면까지의 최소거리를 나타낸다. 타일 경계면은 마스크 마스크(210)와 웨이퍼(180)를 동시에 관통하는 직선으로 도시되어 있다. y는 마스크 마스크(210)의 노광 영역에서 타일 경계면까지의 최소 거리를 나타낸다. 빛의 회절 현상이 없는 경우, 상기 y는 0의 값을 가질 수 있다. 직진하는 빛에 의한 영향이 인접하는 타일로 미치지 않는 경우 y는 0의 값을 갖더라도 양호한 선택적 리소그래피 결과를 얻을 수 있다. 그러나 실제로 빛은 마스크 마스크의 경계면에서 회절 현상에 의해 인접하는 타일에 영향을 미칠 수 있으므로 상기 회절 현상을 고

려하여야 한다. 도 4a에서, 회절로 인해 빛이 인접한 타일로 영향을 미칠 수 있는 범위는 d로 표시되어 있다. 빛 L1은 회절된 빛이고, 타일 경계면을 넘어간다. 반면 빛 L2 및 L3는 직진하는 빛을 나타낸다. 상기 회절로 인해 빛이 인접한 타일로 영향을 미칠 수 있는 범위 d는 리소그래피 장비에 따라 달라질 수 있다. 즉, 상기 마스크 마스크와 웨이퍼 사이의 거리 및 리소그래피에 사용되는 빛의 파장 등에 의해 달라질 수 있다.

[0053] 도 4a에서, 마스크 마스크(210)와 웨이퍼(180)가 오차 없이 정렬된 경우이더라도 회절 현상을 고려할 때, 빛 L1이 인접한 타일의 패턴 영역까지 영향을 미치지 않으려면 다음 [수학식 1]의 조건을 만족하여야 한다.

[0054] [수학식 1]

$$x + y \geq d$$

[0055]

[0056] 또한, 상기 마스크 마스크(210)의 노광 영역을 충분히 확보하기 위하여, 즉 마스크 마스크가 패턴 영역을 가리지 않도록 하기 위하여는 다음 [수학식 2]의 조건을 만족하여야 한다.

[0057] [수학식 2]

$$x \geq y$$

[0058]

[0059] 도 4b는 마스크 마스크(210)와 웨이퍼(180)의 정렬시 제1 오차 방향(AD1)으로 a 만큼의 오차가 발생한 경우를 나타내는 도면이다. 이 경우 도 4a와 유사하게 회절에 의한 영향을 최소화하고 마스크 마스크(210)의 노광 영역을 충분히 확보하기 위하여는 다음 [수학식 3] 및 [수학식 4]의 조건을 만족하여야 한다.

[0060] [수학식 3]

$$x + y - a \geq d$$

[0061]

[0062] [수학식 4]

$$x \geq y - a$$

[0063]

[0064] 도 4c는 도 4b와 반대로, 마스크 마스크(210)와 웨이퍼(180)의 정렬시 제2 오차 방향(AD2)으로 a 만큼의 오차가 발생한 경우를 나타내는 도면이다. 이 경우, 도 4b와 유사하게 회절에 의한 영향을 최소화 하고 마스크 마스크(210)의 노광 영역을 충분히 확보하기 위하여는 다음 [수학식 5] 및 [수학식 6]의 조건을 만족하여야 한다.

[0065] [수학식 5]

$$x + y + a \geq d$$

[0066]

[0067] [수학식 6]

$$x \geq y + a$$

[0068]

[0069] 웨이퍼(180) 상에서 패턴 영역을 최대화 하기 위하여는 상기 x 및 y 값을 최소화 하여야 한다. 상기 [수학식 1] 내지 [수학식 6]을 종합하면, 다음 [수학식 7] 및 [수학식 8]과 같은 결과를 얻는다.

[0070] [수학식 7]

$$x \geq \frac{d}{2} + a$$

[0071]

[0072] [수학식 8]

$$y \geq \frac{d}{2}$$

[0073]

[0074] 따라서 상기 [수학식 7] 및 [수학식 8]의 범위 안에서 최소값을 갖는 x 및 y 값을 고려하면, 다음 [수학식 9] 및 [수학식 10]의 결과를 얻을 수 있다.

- [0075] [수학식 9]
- $$x = \frac{d}{2} + \alpha$$
- [0076]
- [0077] [수학식 10]
- $$y = \frac{d}{2}$$
- [0078]
- [0079] 상기 [수학식 9] 및 [수학식 10]의 조건에서 빛의 회절에 의한 영향을 최소화하면서 웨이퍼(180) 상에서의 패터닝 영역을 최대화할 수 있다.
- [0080] 도 5는 본 발명의 다른 실시예에 따른 스트럭처드 ASIC의 설계 방법을 나타내는 순서도이다.
- [0081] 도 5를 참조하면, 본 발명의 다른 실시예에 따른 스트럭처드 ASIC의 설계 방법은, 타일 레이아웃에 기초한 게이트 라이브러리에서 각 논리 게이트의 정보를 출력하는 단계(S510), 상기 각 논리 게이트 사이의 연결 정보가 포함된 논리 넷 리스트를 생성하는 단계(S520), 상기 논리 넷 리스트를 기초로 타일 넷 리스트를 생성하는 단계(S530), 상기 타일 넷 리스트를 기초로 타일 배치를 결정하는 단계(S540) 및 상기 타일 배치를 기초로 배선 구조를 결정하는 단계(S550)를 포함한다.
- [0082] 상기 논리 게이트는 타일 내부에서의 컨택(contact)의 삽입 위치에 따라 달리 구현되므로 상기 각 논리 게이트에 대한 정보, 즉 논리 게이트의 크기, 신호 지연 시간, 출력 천이 시간, 입력 천이 시간 및 핀 capacitance 등의 정보는 컨택이 구체적으로 삽입된 타일의 레이아웃으로부터 구해진다. 상기 논리 게이트에 대한 정보를 이용하여, 사용하는 상기 논리 게이트들과 그 사이를 연결하는 정보가 들어 있는 논리 넷 리스트를 생성할 수 있다. 예를 들어, 상기 논리 넷 리스트는 하드웨어 기술 언어(hardware description language; HDL) 코드를 합성(logic synthesis)하는 방식으로 생성할 수 있다.
- [0083] 상기 논리 넷 리스트를 기초로 타일 넷 리스트를 생성하는 단계(S530)는, 상기 논리 넷 리스트의 논리 게이트들을 타일 단위로 병합하는 방법으로 이루어진다. 상기 논리 게이트들이 타일의 일부분으로 구현되기 때문이다. 구체적으로, 타일 단위로 구분되어 있는 디자인 영역의 각 타일당 하나의 논리 게이트들을 배치한다. 그리고 상기 타일당 하나씩 배치된 논리 게이트들이 점유하고 있는 타일 영역을 하나의 타일 단위로 묶어 주는 패키징을 수행한다. 패키징 과정에 의해 하나의 타일 영역당 적어도 하나 이상의 논리 게이트들이 점유하게 되므로 상기 패키징 이후에는 디자인 영역이 축소된다.
- [0084] 상기 논리 넷 리스트를 기초로 타일 넷 리스트를 생성하는 단계(S530)는 도 6a 내지 도 6g를 참조하여 후술한다.
- [0085] 타일 넷 리스트를 생성한 후에 타일 배치를 결정한다(S540). 상기 타일 넷 리스트를 기초로, 상기 논리 게이트들을 포함한 타일들을 배치하게 된다.
- [0086] 타일 배치를 결정한 후에 배선 구조를 결정한다(S550). 모든 타일에 배선용 메탈들이 반복적으로 배치되며, 타일 경계면에도 타일과 타일 사이를 연결하기 위한 메탈들이 배치된다. 상기 배치된 메탈들 중 서로 다른 메탈들 사이에 비아가 형성되면 두 메탈이 연결된다. 배선에 있어서 경로가 갖는 지연 시간을 최소화 하기 위하여는 상기 배선 구조를 결정하는 단계(S550)에서 상위 K(K는 1 이상의 정수)개의 긴 지연시간을 갖는 경로의 배선을 우선적으로 결정할 수 있다. 스트럭처드 ASIC의 설계에서 하나의 칩을 구현하기 위해서는 게이트들을 연결하는 복수의 배선을 포함하게 되는데, 전체적인 칩의 속도는 상기 복수의 배선들 중 가장 긴 지연시간을 갖는 배선에 의해 결정될 수 있다. 즉, 전체 회로의 배선 지연 시간은 상기 복수의 배선들 중 가장 긴 지연시간을 갖는 배선의 특성에 의존적일 수 있다. 따라서 상위 K 개의 가장 긴 지연 시간을 갖는 경로의 배선을 우선적으로 결정하면 상기 K 개의 경로의 지연 시간을 우선적으로 단축하여 전체적인 칩의 속도를 향상시킬 수 있다.
- [0087] 상기 배선 구조를 결정하는 단계(S550)는 도 8a 및 도 8b를 참조하여 후술한다.
- [0088] 도 6a 내지 도 6g는 도 5의 방법에 의해 타일 영역들을 패키징하는 과정의 일 예를 설명하기 위한 도면들이다. 도 6a 내지 도 6g에서는 두 개의 타일 마스크 셋만을 이용하여 스트럭처드 ASIC을 설계하는 방법을 도시하고 있다. 즉, 세 개의 논리 게이트를 포함하는 제1 타일 및 두 개의 논리 게이트를 포함하는 제2 타일을 이용하여 스트럭처드 ASIC을 설계한다. 상기 제1 타일이 포함하는 세 개의 논리 게이트들은 인버터(inverter), 2단

자 낸드 게이트(NAND gate), 또는 앤드-오어-인버터(And-Or-Inverter; AOI)일 수 있다. 구체적으로 구현되는 게이트는 제1 타일 안에서의 컨택(contact)의 삽입 위치에 따라 결정된다. 또한 상기 제2 타일이 포함하는 두 개의 논리 게이트들은 3단자 노어(NOR) 게이트 또는 5단자 앤드-오어-인버터(AOI221)일 수 있다.

[0089] 도 6a를 참조하면, 3개의 논리 게이트를 포함하는 제1 타일에 대한 타일 패턴들(610, 620, 630, 640, 650, 660)의 우선 순위가 예시적으로 도시되어 있다. 즉, 상기 타일 패턴들은 제1 순위 패턴(610), 제2 순위 패턴(620), 제3 순위 패턴(630), 제4 순위 패턴(640), 제5 순위 패턴(650) 및 제6 순위 패턴(660)을 포함한다. 각 패턴은 세 개의 제1 타일 영역(301)을 포함한다. 각 패턴에는 비교 시작점(601)이 위치하고, 비교 시작점(601)을 기준으로 타일 패키징을 위한 비교를 수행할 비교 방향(602)이 화살표로 도시되어 있다. 세 개의 타일 간 거리가 짧을수록 상기 우선 순위가 높아지며, 거리가 길수록 우선 순위가 낮아진다. 세 개의 타일 간 거리가 짧을수록 높은 우선 순위를 배정하는 까닭은 짧은 거리에 있는 타일들을 우선적으로 패키징하기 위함이다.

[0090] 도 5를 참조하여 전술한 바와 같이, 본 발명에 따른 스트럭처드 ASIC의 설계 방법에서, 논리 넷 리스트를 생성한 후 타일 넷 리스트를 생성하게 된다. 구체적으로, 타일 단위로 구분되어 있는 디자인 영역의 각 타일당 하나의 논리 게이트들을 배치한다. 그리고 상기 타일당 하나씩 배치된 논리 게이트들이 점유하고 있는 타일 영역을 하나의 타일 단위로 묶어 주는 패키징을 수행한다.

[0091] 도 6b를 참조하면, 패키징을 수행할 디자인 영역(300)이 나타나 있다. 상기 디자인 영역은 제1 타일 영역(301)과, 제2 헤칭(H2)으로 표시한 제2 타일 영역(302)으로 나타나 있다. 디자인 영역(300)에 먼저 제1 타일의 패턴으로 구현 가능한 모든 논리 게이트들을 하나의 타일 영역을 점유하도록 배치하고 제1 타일 영역(301)으로 배정한다. 그리고 제1 타일로 구현할 수 없는 논리 게이트들 중 제2 타일로 구현할 수 있는 논리 게이트들을 배치하고 제2 타일 영역(302)으로 배정한다. 따라서, 제1 타일로도 구현 가능하고 제2 타일로도 구현할 수 있는 논리 게이트의 경우, 제1 타일 영역(301)으로 배정되므로, 상대적으로 제2 타일 영역(302)의 면적이 제1 타일 영역(301)의 면적보다 적게 나타난다.

[0092] 논리 게이트들을 디자인 영역(300)에 배치한 후에, 제2 타일 에 대한 패키징을 실시한 후 제1 타일에 대한 패키징을 실시한다. 제2 타일에 대한 패키징은 하나의 제2 타일 영역(302)에 대하여, 상기 제2 타일 영역(302) 및 인접한 제1 타일 영역(301)을 하나의 제2 타일 영역으로 병합하여 수행된다. 타일 영역에 대한 패키징을 상기 논리 게이트들을 하나의 타일 영역을 점유하도록 배치하는 순서와 역순으로, 즉 제2 타일에 대한 패키징 후 제1 타일에 대한 패키징을 하는 순서로 수행하는 까닭은, 상기 예에서 제1 타일 영역(301)에는 제1 타일로만 구현 가능한 논리 게이트 뿐만 아니라 제2 타일로 구현 가능한 논리 게이트 중 제1 타일로도 구현 가능한 논리 게이트에 대하여도 제1 타일 영역(301)으로 배정하였기 때문이다. 다시 말하면, 제2 타일 영역(302)에 배정된 논리 게이트들은 제1 타일로는 구현할 수 없지만, 제1 타일 영역(301)에 배정된 논리 게이트들은 경우에 따라 제2 타일로도 구현할 수 있다. 따라서 패키징 과정에서 제2 타일에 대한 패키징부터 수행하면 제1 타일에 대한 패키징부터 수행하는 경우와 비교하여 더욱 효율적으로 패키징을 할 수 있다. 제2 타일에 대한 패키징부터 수행하는 경우, 초기 상태에서 상기 제2 타일 영역(302)을 주위 인접한 제1 타일 영역(301)과 비교하여, 인접한 제1 타일 영역(301) 중 제2 타일로도 구현할 수 있는 논리 게이트가 존재한다면 상기 논리 게이트가 존재하는 제1 타일 영역(301)을 제2 타일 영역(302)으로 변경하여 배정한다. 그 후에 남아있는 제1 타일 영역(301)들에 대한 패키징을 수행함으로써 논리 게이트 들을 제1 타일 및 제2 타일에 최적화하여 배치할 수 있다. 만약 제1 타일에 대한 패키징부터 시작한다면, 제2 타일의 패키징을 하는 경우에 주위의 인접한 제1 타일 영역(301)들이 모두 이미 제1 타일들로 패키징되어, 제2 타일은 비효율적으로 패키징되는 가능성이 높아진다. 즉, 상기의 경우에 제2 타일은 패키징 과정을 거치고 나더라도 하나의 타일에 단지 하나의 논리 게이트만 배정될 가능성이 높아진다. 이 경우 웨이퍼 상에서 낭비되는 면적이 넓어질 수 있다.

[0093] 도 6b는 제2 타일에 대한 패키징이 완료된 상태를 나타낸다. 제2 타일에 대한 패키징 후 제1 타일에 대한 패키징을 시작하므로, 도 6b의 상태에서 제1 타일에 대한 패키징이 시작된다. 도 6b 내지 도 6g에서, 이미 패키징이 완료된 제2 타일 영역(302)은 제2 헤칭(H2)으로 도시하였다. 일 실시예에서, 제1 타일에 대한 패키징은 디자인 영역(300)의 패키징 시작 위치(PS)에서부터 시작할 수 있다. 도 6c 내지 도 6f는 디자인 영역(300)의 패키징 시작 위치(PS)에서부터 제1 방향(D1)으로 수행되는 패키징을 나타낸다. 명료한 설명을 위하여, 디자인 영역(300)의 패키징 시작 위치(PS)를 포함하는 행(row)을 제1 행이라 하고, 상기 제1 행에서 제2 방향(D2)으로 한 타일 거리만큼 이동한 타일 위치를 제2 행이라고 부르기로 한다. 마찬가지로, 디자인 영역(300)의 패키징 시작 위치(PS)를 포함하는 열(column)을 제1 열이라고 하고, 상기 제1 열에서 제1 방향(D1)으로 한 타일 거리 이동한 타일 위치를 제2 열이라고 부르기로 한다. 즉, 도 6b 내지 도 6g의 예에서, 디자인 영역(300)은 9행 7열의 크기를 가지고, 패키징 시작 위치(PS)는 1행 1열이 된다. 한 행에 대한 패키징이 끝나면 패키징 시작 위치(PS)에서부터 제2

방향(D2)으로 한 타일 거리 이동하여, 즉 제2 행 제1 열부터 제1 방향(D1)으로 다시 패킹을 시작한다. 자세한 패킹 과정은 도 6c 내지 도 6f에 도시되어 있다.

[0094] 도 6c를 참조하면, 제1 타일에 대한 첫 번째 패킹 과정이 나타나 있다. 비교 시작점(620)이 디자인 영역(300)의 제1 행 및 제1 열, 즉 패킹 시작 위치(PS)에 자리잡고 있다. 비교 시작점(620)을 기준으로, 배치 가능한 제1 타일의 타일 패턴들(610, 620, 630, 640, 650, 660)을 순차적으로 고려한다. 도 6a 및 도 6c를 참조하면, 첫번째 비교 시작점(620)에서 비교 방향(602)을 따라 제1 순위 패턴(610)을 배정할 수 없다. 따라서 다음 우선 순위인 제2 순위 패턴(620)을 고려하면, 제2 순위 패턴(620)은 비교 방향(602)을 따라 배정 가능하므로 나머지 패턴들(630, 640, 650, 660)은 고려할 필요 없이 제2 순위 패턴(620)을 배정한다. 하나의 타일 패턴이 배정된 경우, 상기 타일 패턴이 차지하는 제1 타일 영역(301)들은 제1 해칭(H1)으로 표시하였다. 상기 배정된 제2 순위 패턴(620)이 포함하고 있는 제1 타일 영역(301)들은 패킹이 완료된 후에 하나의 제1 타일로 병합된다.

[0095] 도 6d를 참조하면, 첫 번째 패킹 이후 두 번째 패킹을 수행하는 과정이 도시되어 있다. 첫 번째 패킹으로 인해 패킹된 제1 타일 영역(301)은 두 번째 패킹 과정에 포함되지 않는다. 즉, 제1 행 제2 열은 이미 제1 타일 영역(301)에 대한 패킹이 완료된 타일 영역이므로 다시 제1 방향(D1)으로 이동하여 제1 행 제3 열에서 패킹을 시작한다. 상기 제1행 제3 열에 비교 시작점이 위치한 상태에서 타일 패턴들(610, 620, 630, 640, 650, 660)의 우선 순위를 고려하면, 제1 순위 패턴(610)이 배정 가능하므로 제1 순위 패턴(610)이 배정되었다.

[0096] 도 6e를 참조하면, 두 번째 패킹 이후에 세 번째 패킹 및 네 번째 패킹을 수행하는 과정이 도시되어 있다. 첫 번째 패킹 및 두 번째 패킹과 마찬가지로 우선 순위를 고려하면 제2 순위 패턴(620)이 반복하여 배정되게 된다. 네 번째 패킹을 수행하면 디자인 영역(300)의 제1 행에 대한 패킹이 완료되므로, 패킹 시작 위치(PS)에서 제2 방향(D2)으로 타일 영역을 이동하여 제2 행 제1 열부터 다시 패킹을 시작한다.

[0097] 도 6f를 참조하면, 다섯 번째 패킹을 수행하는 과정이 도시되어 있다. 네 번째 패킹이 완료된 후에, 디자인 영역(300)의 제2 행 제1 열의 위치에서부터 패킹을 시작하게 된다. 그런데 상기 도 6b 내지 도 6g의 예시에서, 상기 제2 행 제1 열의 타일은 이미 첫 번째 패킹 과정에서 패킹이 완료되었으므로, 비교 시작점(601)을 제1 방향(D1)으로 한 타일 거리만큼 이동하여 제2행 제2 열의 위치에서부터 패킹을 시작한다. 이 경우 상기 이동한 위치의 타일은 또한 이미 두 번째 패킹 과정에서 패킹이 완료되었다. 따라서 이미 제1 타일에 대한 패킹 또는 제2 타일에 대한 패킹이 완료된 해칭된 영역(H1, H2), 즉 제2 행 제1 열에서부터 제2 행 제6 열의 타일에서는 패킹을 수행하지 않고 제1 방향(D1)으로 반복하여 비교 시작점을 이동하게 된다. 결과적으로, 비교 시작점(601)은 제2 행 제7열의 타일 영역에 위치하게 된다. 상기 제2 행 제7 열의 타일 영역에 비교 시작점(601)을 위치시킨 후 도 6a의 우선 순위를 고려하면, 제5 순위 패턴(650)이 배치 가능함을 알 수 있다. 따라서 상기 제2 행 제7 열의 위치에 제5 순위 패턴(650)을 배치하여 다섯 번째 패킹을 완료하고, 동시에 제2 행에 대한 패킹도 완료하게 된다. 상기 첫 번째 내지 다섯 번째 패킹 과정과 동일한 방법으로 다시 제3 행 제1 열부터 제1 방향(D1)으로 순차적으로 패킹을 수행한다.

[0098] 도 6g를 참조하면, 모든 타일 영역에 대한 패킹이 완료된 상태가 도시되어 있다. 제1 타일 영역(301)은 제1 해칭(H1)으로, 제2 타일 영역(302)은 제2 해칭(H2)으로 도시하였다. 도 6g에는 제1 타일에 대한 타일 패턴들(610, 620, 630, 640, 650, 660)만이 구체적으로 도시되어 있고, 제2 타일에 대하여는 제2 타일 영역(302)만 제2 해칭(H2)으로 도시하였고 구체적인 타일 패턴들은 생략하였다. 그러나 제1 타일에 대한 경우와 마찬가지로 제2 타일에 대하여도 제2 타일이 포함하고 있는 논리 게이트의 숫자에 따라 상기 논리 게이트의 숫자에 상응하는 개수의 타일 영역을 포함하는 타일 패턴들을 생성하여 제1 타일의 패킹과 동일한 방법으로 제2 타일을 패킹할 수 있음을 알 수 있을 것이다. 상기 패킹된 디자인 영역(300)에 대한 정보를 기초로 제1 타일 영역(301)들에 대하여는 세 개의 타일을 하나의 타일로 병합하고, 제2 타일 영역(302)들에 대하여는 두 개의 타일을 하나의 타일로 병합한다. 상기의 과정을 거쳐 논리 넷 리스트로부터 타일 넷 리스트를 생성할 수 있다.

[0099] 도 6a 내지 도 6g에는 디자인 영역(300)의 패킹 시작 위치(PS)에서부터 제1 방향(D1)으로 행(row)마다 패킹을 수행하는 방법이 도시되어 있으나, 이는 패킹을 수행하는 방법을 예시적으로 설명하는 것일 뿐 패킹 방법을 한정하는 것은 아니며, 실시예에 따라 다양한 방향으로 패킹을 수행할 수 있음을 알 수 있을 것이다. 예를 들면, 일 실시예에서, 상기 패킹은 디자인 영역(300)의 패킹 시작 위치(PS)에서부터 제2 방향(D2)으로 열(column)마다 수행할 수도 있다.

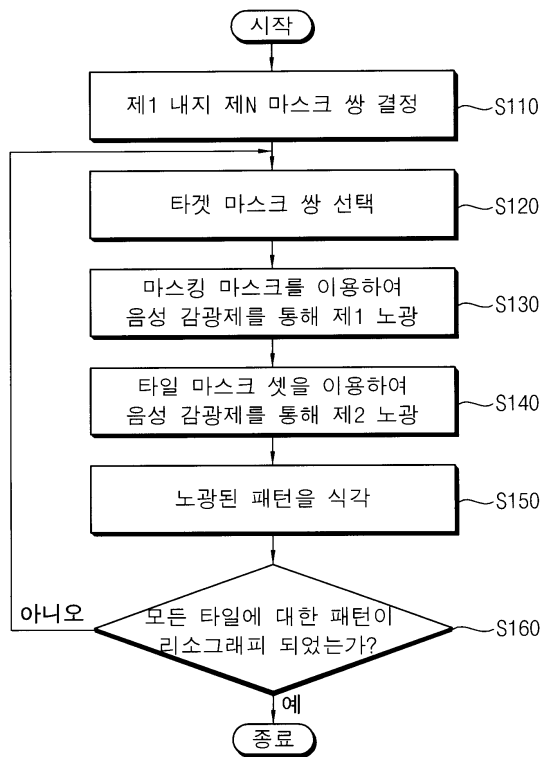
[0100] 도 7a 내지 도 7e는 도 5의 방법에 따른 메탈 배열을 나타내는 도면들이다. 도 5의 방법에서, 타일 배치를 결정(S540)한 후에, 상기 타일 배치를 기초로 논리 게이트 사이를 연결하는 배선 구조를 결정(S550)한다.

- [0101] 도 7a를 참조하면 제1 메탈 배치 구조(710)에 제1 방향(D1)을 갖는 제1 배선 메탈(715)들이 배열되어 있다. 또한 도 7b를 참조하면 제2 메탈 배치 구조(720)에 제2 방향(D2)을 갖는 제2 배선 메탈(725)들이 배열되어 있다. 도 7c를 참조하면, 상기 제1 구조(710) 및 제2 구조(720)를 동시에 배치하여 조합 회로의 메탈 배치 구조(730)를 구성할 수 있음을 알 수 있다. 상기 조합 회로의 메탈 배치 구조(730)는 타일 내부에 있어서의 배선 구조를 구현하기 위함이다. 상기 제1 배선 메탈(715)들 및 제2 배선 메탈(725)들의 교차점에는 선택적으로 비아(via)가 형성되어 목표로 하는 타일 내부의 배선 구조를 실현할 수 있다. 상기 제1 배선 메탈(715)들 및 제2 배선 메탈들(725)은 타일 내부의 배선을 위한 메탈들이고, 도 7e를 참조하여 후술하는 바와 같이 제1 방향 및 제2 방향으로 배치되는 메탈 세그먼트들을 통하여 타일 및 타일 사이의 배선을 구현할 수 있다.
- [0102] 도 7d를 참조하면, 순차 회로의 메탈 배치 구조가 도시되어 있다.
- [0103] 본 발명의 일 실시예에 따른 타일 마스크 셋은 조합 회로를 구현하기 위한 타일 마스크 셋 및/또는 순차 회로를 구현하기 위한 타일 마스크 셋을 포함할 수 있다. 예를 들어 상기 조합 회로를 구현하기 위한 타일 마스크 셋은 인버터, 앤드 게이트(AND gate), 오어 게이트(OR gate), 낸드 게이트(NAND gate), 노어 게이트(NOR gate) 및/또는 앤드-오어-인버터(And-Or-Inverter; AOI)를 적어도 하나 이상 구현하는 타일 마스크 셋을 포함할 수 있다. 예를 들어 상기 순차 회로를 구현하기 위한 타일 마스크 셋은 플립 플롭(flip-flop)을 구현하는 타일 마스크 셋을 포함할 수 있다. 즉, 조합 회로에 포함되는 논리 게이트에 비해 보다 넓은 면적을 필요로 하는 논리 회로가 상기 순차 회로에 포함될 수 있다. 이 경우, 상기 순차 회로를 구현하기 위한 타일 마스크 셋의 단일 타일 면적은 상기 조합 회로를 구현하기 위한 타일 마스크 셋의 단일 타일 면적의 2배일 수 있다. 따라서 순차 회로의 메탈 배치 구조(740)의 제1 방향(D1) 길이는 조합 회로의 메탈 배치 구조(730)의 제1 방향(D1) 길이의 두 배일 수 있다.
- [0104] 도 7e를 참조하면, 두 개의 조합 회로의 메탈 배치 구조(730a, 730b) 및 하나의 순차 회로의 메탈 배치 구조(740)를 포함하는 예시적인 회로(750)의 배선 구조가 도시되어 있다. 진술한 바와 같이, 조합 회로의 메탈 배치 구조(730)는 타일 내부의 배선을 가능하게 하므로, 타일과 타일 사이의 배선 연결을 위하여 제1 방향으로 배치되는 제1 메탈 세그먼트(716)들 및 제2 방향으로 배치되는 제2 메탈 세그먼트(726)들이 사용될 수 있다. 제1 메탈 세그먼트(716)들은 제1 배선 메탈(715)들 사이를 연결할 수 있고, 제2 메탈 세그먼트(726)들은 제2 배선 메탈(725)들 사이를 연결할 수 있다. 구체적인 연결은 제1 메탈 세그먼트(716)와 제1 배선 메탈(715) 사이, 그리고 제2 메탈 세그먼트(726)와 제2 배선 메탈(725) 사이에 선택적으로 삽입될 수 있는 비아(via)에 의하여 이루어진다. 상기 비아들은 상기 서로 직교하는 제1 및 제2 배선 메탈들(715, 725) 사이의 교차점에 삽입될 수 있으며, 제1 및 제2 배선 메탈들(715, 725)과 제1 및 제2 메탈 세그먼트들(716, 726) 사이에 삽입될 수도 있다. 7d에 도시된 바와 같이, 순차 회로의 메탈 배치 구조(740)에는 조합 회로의 메탈 배치 구조(730)와 동일한 형태의 메탈 배치를 이용할 수 있고, 이 경우 조합 회로의 메탈 배치 구조(730)를 두 번 배치하게 된다. 따라서, 상기 두 번 배치된 조합 회로의 메탈 배치 구조(730) 사이를 연결하기 위하여서도 제1 메탈 세그먼트(716)들이 필요하다. 상기 제1 메탈 세그먼트(716)들이 타일과 타일 사이가 아닌 조합 회로의 타일 내부에 존재하는 경우에는 제1 메탈 세그먼트(716)들은 타일 내부의 배선을 위해 사용될 수 있다.
- [0105] 따라서, 상기 격자 무늬 형태로 배치된 제1 배선 메탈(715)들, 제2 배선 메탈(725)들, 제1 메탈 세그먼트(716)들, 제2 메탈 세그먼트들(726) 및 상기 배선 메탈들과 메탈 세그먼트들 사이에 선택적으로 삽입될 수 있는 비아(via)들에 의해 구체적인 배선을 구현할 수 있다.
- [0106] 도 8a 내지 도 8b는 도 5의 방법에 의해 배선 구조를 결정하는 과정을 설명하기 위한 도면들이다.
- [0107] 도 8a를 참조하면, 제1 조합 회로의 메탈 배치 구조(730a) 상의 제1 핀(731)과 순차 회로의 메탈 배치 구조(740) 상의 제2 핀(751)을 연결하기 위한 경로인 제1 배선 구조가 도시되어 있다. 상기 제1 배선 구조는 구체적인 배선 구조를 채용하여 제1 핀(731) 및 제2 핀(751)을 연결한 것이 아니라, 서로 직교하는 제1 방향(D1) 및 제2 방향(D2)을 따라 제1 핀(731) 및 제2 핀(751)을 직접적으로 연결한 레이아웃에 상응한다. 구체적인 배선 구조를 통한 연결, 즉 제2 배선 구조는 도 8b에 도시되어 있다. 상기 제1 핀(731)과 제2 핀(751)의 연결을 구현하기 위해, 먼저 제1 방향(D1) 및 제2 방향(D2)으로 연결되는 경로를 결정한다. 구체적으로, 제1 핀(731)은 제2 방향(D2)으로 배치되어 있으므로, 제1 방향(D1)으로 배치되는 제1 경로(712)와 연결된다. 제1 경로(712)는 제1 조합 회로의 메탈 배치 구조(730a)와 제2 조합 회로의 메탈 배치 구조(730b)에 걸쳐서 존재한다. 다음으로 제2 방향으로 배치되는 제2 경로(713)를 결정한다. 제2 경로(713)는 제2 조합 회로의 메탈 배치 구조(730b)와 순차 회로의 메탈 배치 구조(740)에 걸쳐서 존재한다. 마지막으로, 제2 경로(713)와 제2 핀(751)을 연결하는 제3 경로(714)를 결정한다. 제2 경로(713) 및 제2 핀(751)이 제2 방향(D2)으로 배치되므로 제3 경로(714)는 제1 방향(D1)으로 배치된다. 제1 핀(731), 제1 경로(712), 제2 경로(713), 제3 경로(714) 및 제2

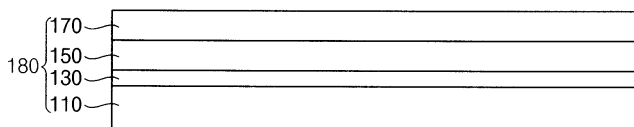
- 620: 제2 순위 패턴 630: 제3 순위 패턴
- 640: 제4 순위 패턴 650: 제5 순위 패턴
- 660: 제6 순위 패턴 710: 제1 메탈 배치 구조
- 712: 제1 경로 713: 제2 경로
- 714: 제3 경로 715: 제1 배선 메탈
- 716: 제1 메탈 세그먼트 720: 제2 메탈 배치 구조
- 725: 제2 배선 메탈 726: 제2 메탈 세그먼트
- 730: 조합회로의 메탈 배치 구조
- 731: 제1 핀 740: 순차회로의 메탈 배치 구조
- 750: 회로 751: 제2 핀
- 761, 762, 763, 764, 765, 766, 767, 768: 비아(via)

도면

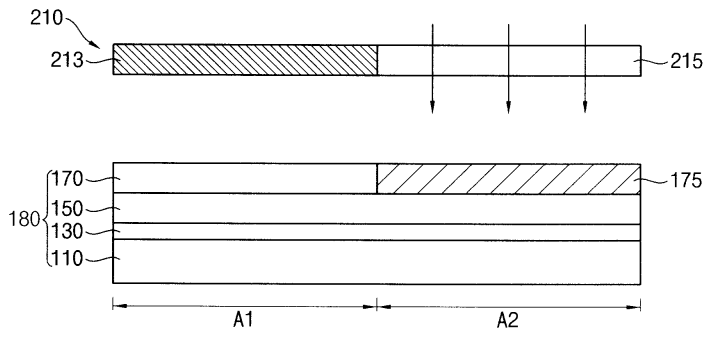
도면1



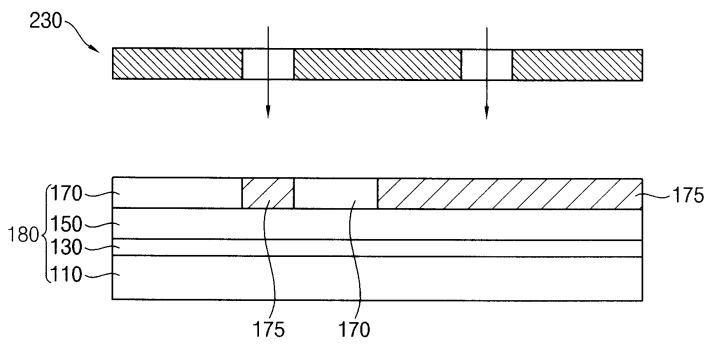
도면2a



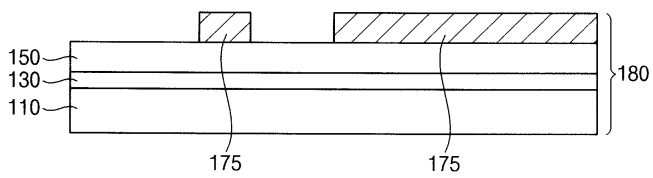
도면2b



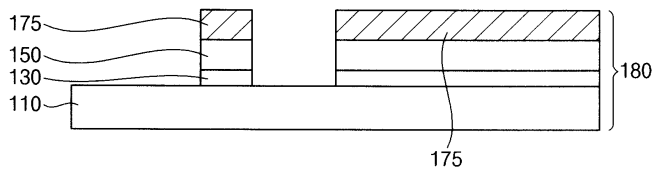
도면2c



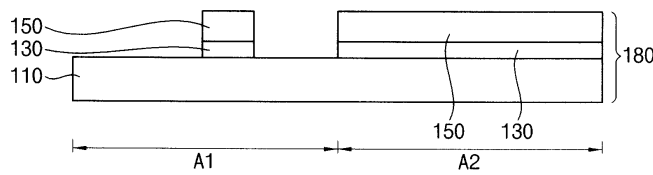
도면2d



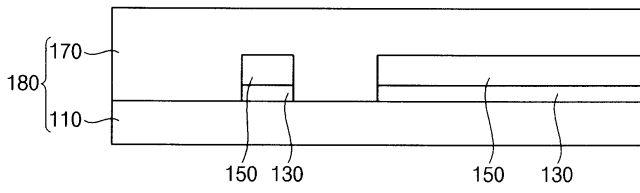
도면2e



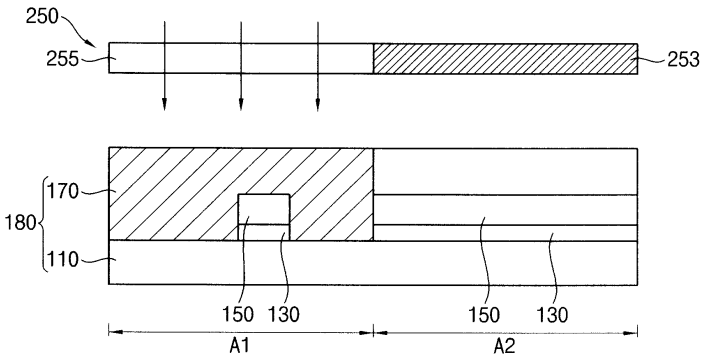
도면2f



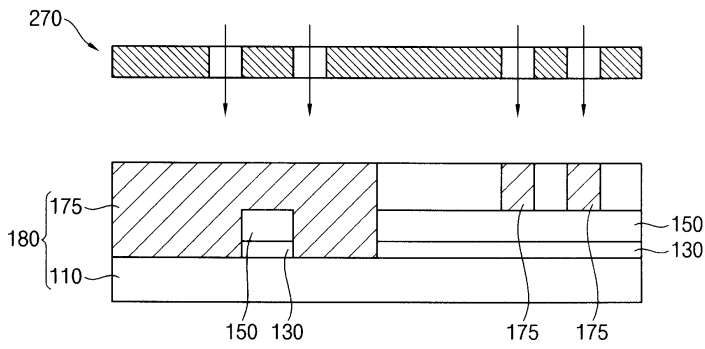
도면3a



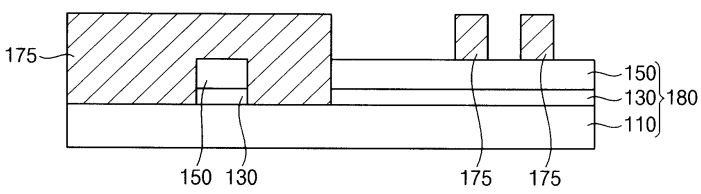
도면3b



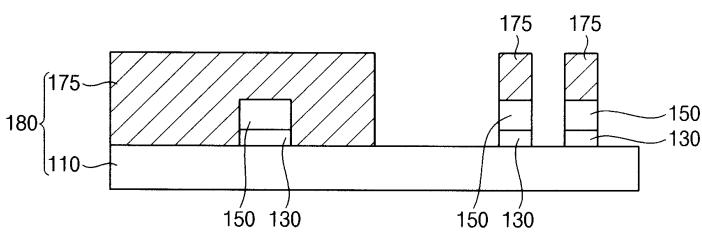
도면3c



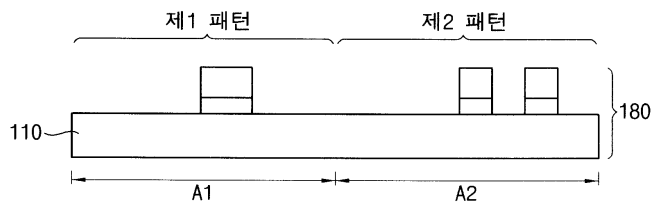
도면3d



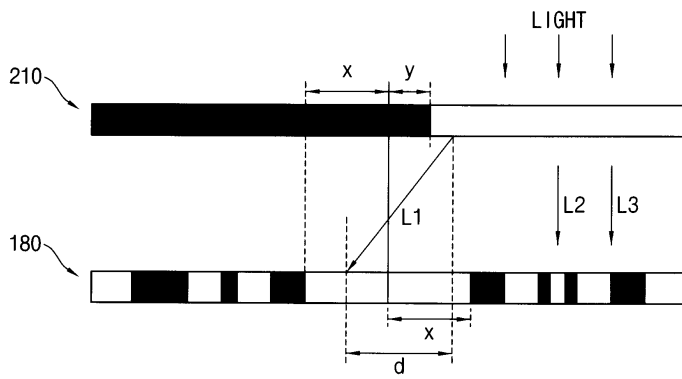
도면3e



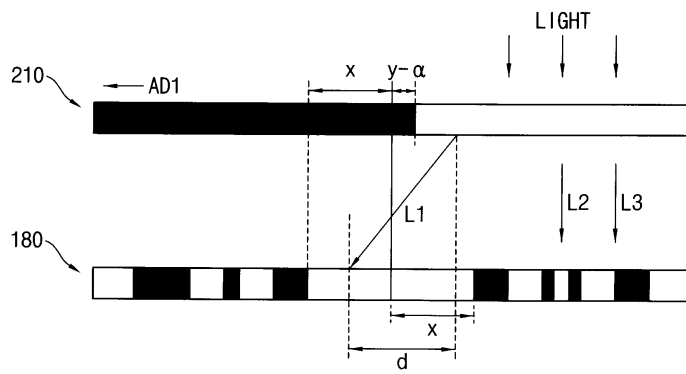
도면3f



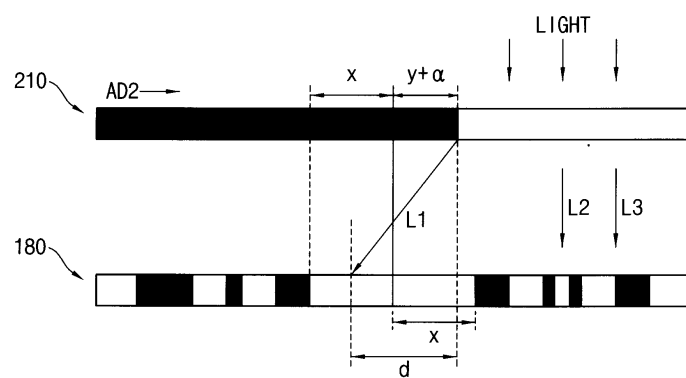
도면4a



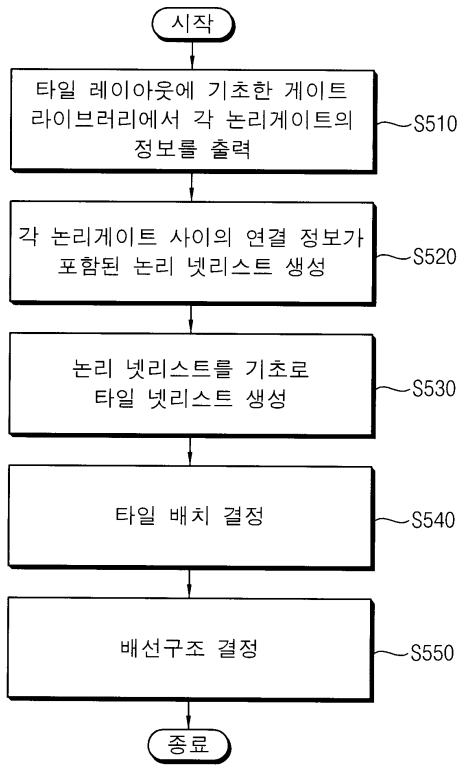
도면4b



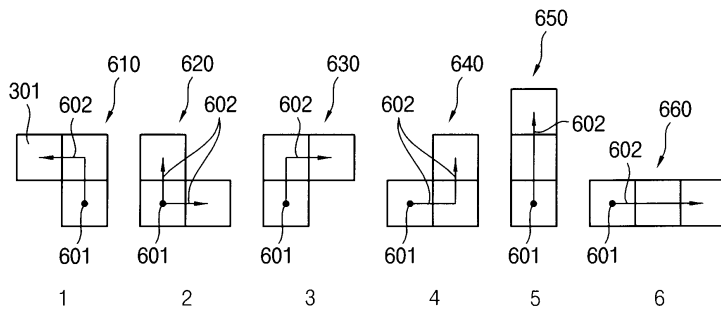
도면4c



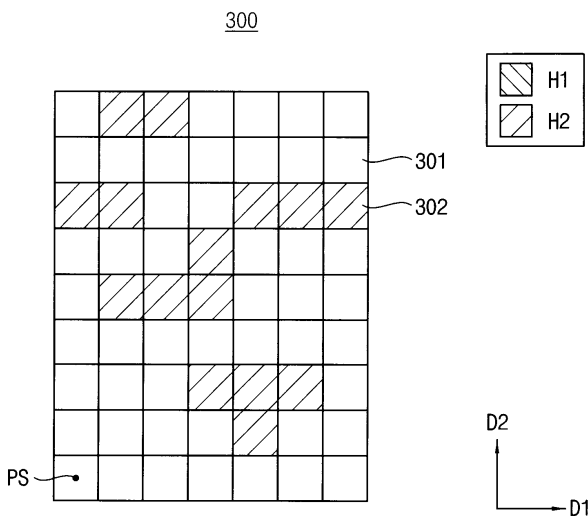
도면5



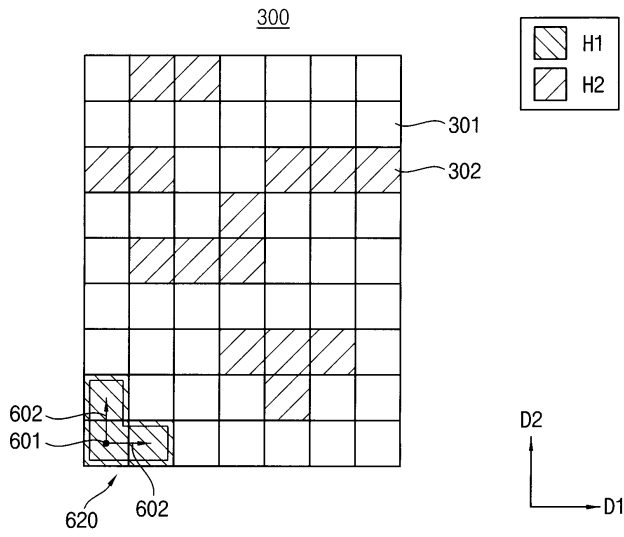
도면6a



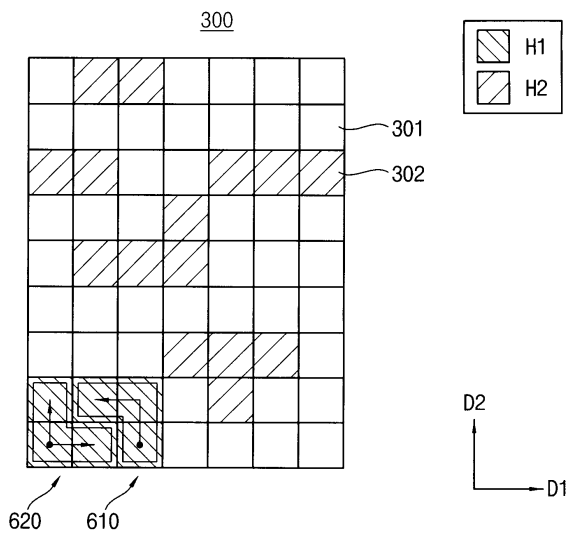
도면6b



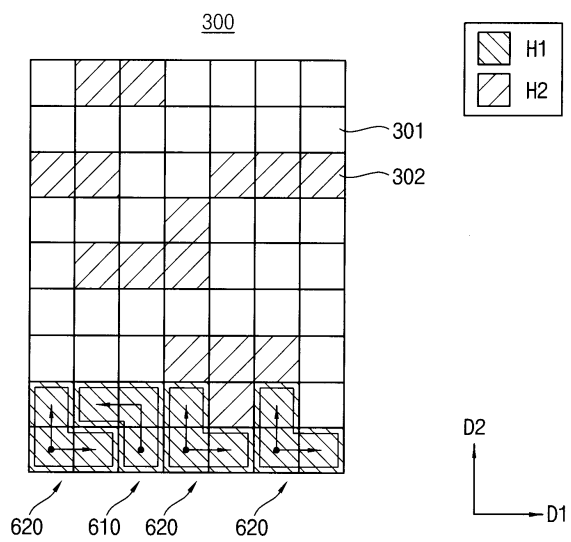
도면6c



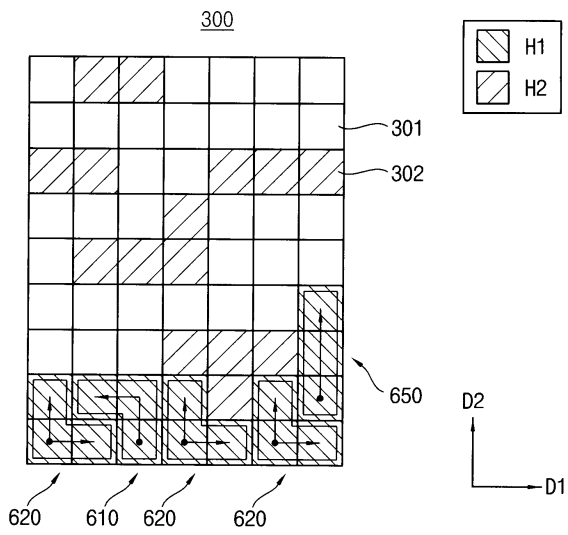
도면6d



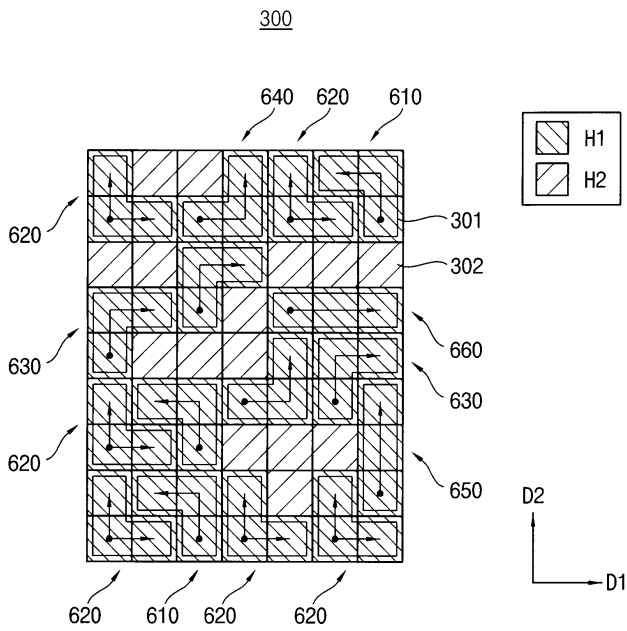
도면6e



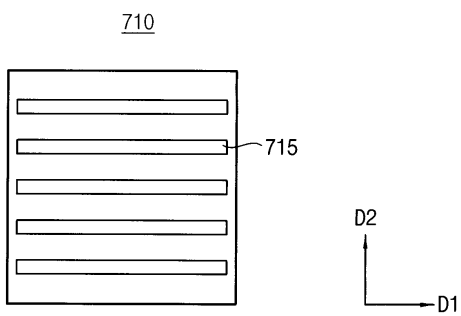
도면6f



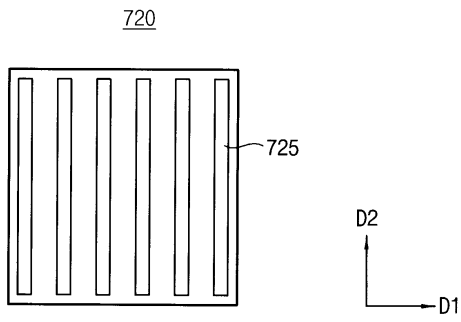
도면6g



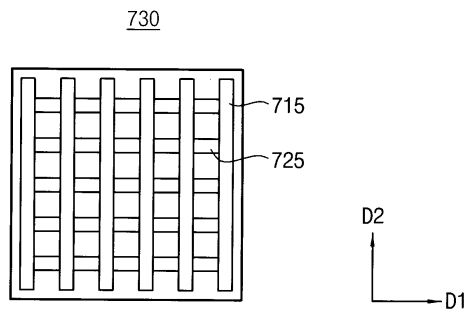
도면7a



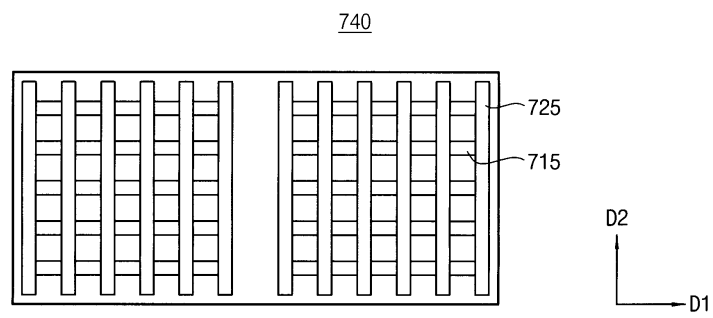
도면7b



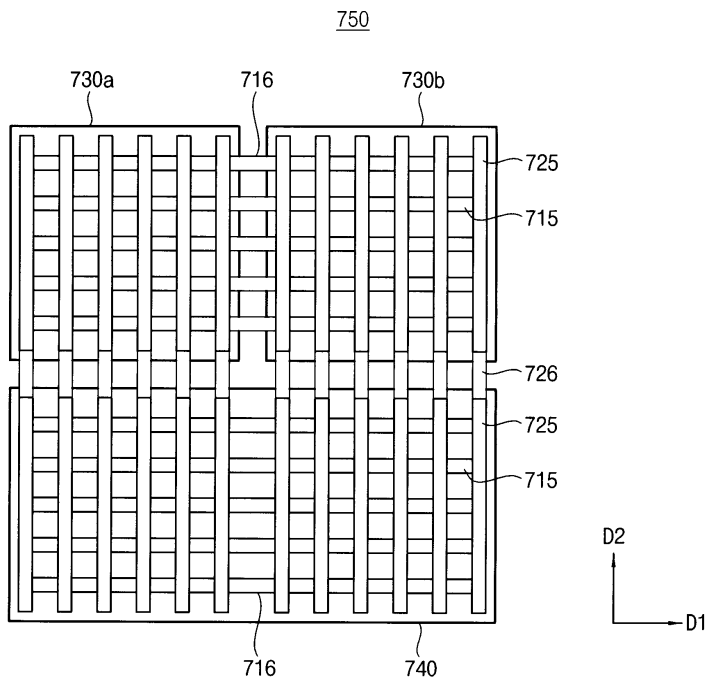
도면7c



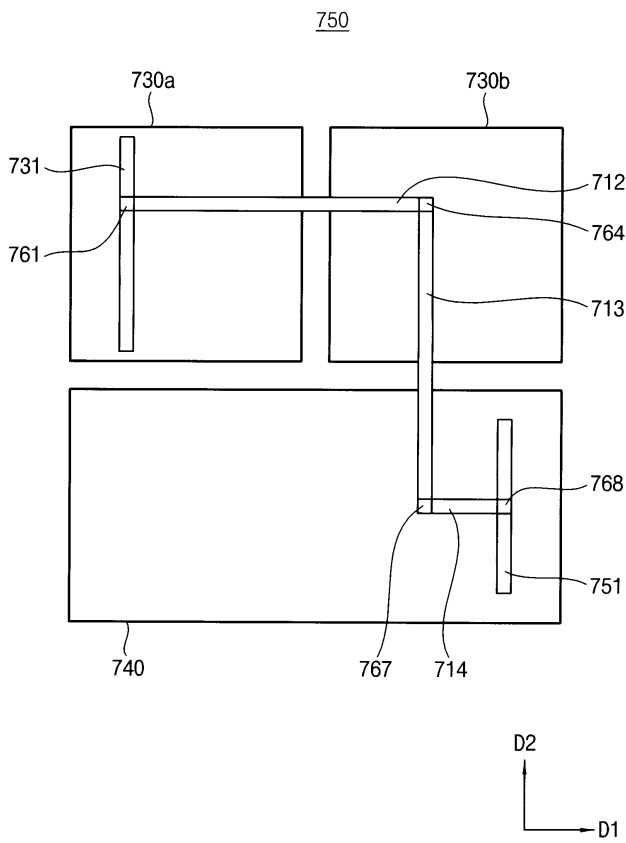
도면7d



도면7e



도면8a



도면8b

