



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년03월09일  
(11) 등록번호 10-1020745  
(24) 등록일자 2011년03월02일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2009-0009430  
(22) 출원일자 2009년02월05일  
심사청구일자 2009년02월05일  
(65) 공개번호 10-2010-0090127  
(43) 공개일자 2010년08월13일  
(56) 선행기술조사문헌  
JP2001517866 A  
JP2007189220 A

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

신영수

대전광역시 유성구 구성동 한국과학기술원 나노 SoC 빌딩 s204호

서문준

서울특별시 영등포구 신길3동 건영아파트 라동 801호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 10 항

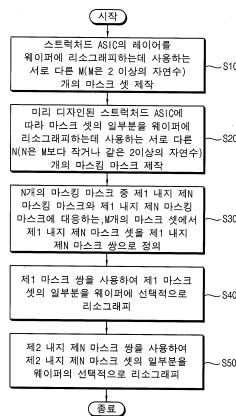
심사관 : 정성중

(54) 스트럭처드 주문형 반도체의 레이어 리소그래피 방법, 설계방법 및 선택적으로 패터닝된 마스크 셋과 마스크잉 마스크

(57) 요약

칩의 성능 향상을 위하여 선택적으로 패터닝된 마스크 셋과 마스크잉 마스크를 이용한 스트럭처드 ASIC의 레이어 리소그래피 방법이 개시된다. 스트럭처드 ASIC의 레이어를 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋을 제작한다. 미리 디자인된 스트럭처드 ASIC에 따라 마스크 셋들의 일부분을 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크잉 마스크를 제작한다. N 개의 마스크잉 마스크 중 제1 내지 제N 마스크잉 마스크와 제1 내지 제N 마스크잉 마스크에 대응하는, M 개의 마스크 셋에서 제1 내지 제N 마스크 셋을 제1 내지 제N 마스크 셋으로 하고, 제1 마스크 셋을 사용하여 제1 마스크 셋의 일부분을 웨이퍼에 선택적으로 리소그래피 한다. 제2 내지 제N 마스크 셋을 사용하여 제2 내지 제N 마스크 셋의 일부분을 웨이퍼에 선택적으로 리소그래피 한다.

대표도 - 도1



(72) 발명자

**백승훈**

충청남도 논산시 벌곡면 덕목리 195

**김재현**

서울특별시 강서구 등촌1동 634-3 삼성한사랑아파트 202동 403호

이 발명을 지원한 국가연구개발사업

과제고유번호 331-2008-1

부처명 한국학술진흥재단

연구관리전문기관

연구사업명 신진교수지원(기초과학분야)

연구과제명 Morphed Regular Architecture: 제로 NRE를 추구하는 저전력 고성능

기여율

주관기관 KAIST

연구기간 2008년 7월 1일 ~ 2009년 6월 30일

---

**특허청구의 범위**

**청구항 1**

스트럭처드(structured) 주문형 집적 회로(application specific integrated circuit: ASIC)의 레이어(layer)를 웨이퍼에 리소그래피(lithography)하는데 사용하는 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋(mask set)을 제작하는 단계;

미리 디자인된 상기 스트럭처드 ASIC에 따라 상기 마스크 셋들의 일부분을 상기 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크킹 마스크(masking mask)를 제작하는 단계;

상기 N 개의 마스크킹 마스크 중 제1 내지 제N 마스크킹 마스크와 상기 제1 내지 제N 마스크킹 마스크에 대응하는, 상기 M 개의 마스크 셋에서 제1 내지 제N 마스크 셋을 제1 내지 제N 마스크 쌍으로 하고, 상기 제1 마스크 쌍을 사용하여 상기 제1 마스크 셋의 일부분을 상기 웨이퍼에 선택적으로 리소그래피 하는 단계; 및

상기 제2 내지 제N 마스크 쌍을 사용하여 상기 제2 내지 제N 마스크 셋의 일부분을 상기 웨이퍼에 선택적으로 리소그래피 하는 단계를 포함하는 스트럭처드 ASIC의 레이어를 리소그래피 하는 방법.

**청구항 2**

제1항에 있어서, 상기 M 개의 마스크 셋 들 각각은,

배선 및 연결 방법에 따라 상기 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 배열을 구현하는 하나 이상의 N-웰(N-well) 마스크, 폴리(poly) 마스크, 액티브(active) 마스크를 포함하고,

상기 M 개의 마스크 셋 중 제1 내지 제M 마스크 셋에 포함된 타일은 각각 서로 다른 종류인 것을 특징으로 하는 스트럭처드 ASIC의 레이어를 리소그래피 하는 방법.

**청구항 3**

제2항에 있어서, 상기 N 개의 마스크킹 마스크는,

서로 배타적인 특성(즉, 상기 제1 내지 제N 마스크 쌍을 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일들이 배열되도록 디자인됨)을 가지는 것을 특징으로 하는 스트럭처드 ASIC의 레이어를 리소그래피 하는 방법.

**청구항 4**

제3항에 있어서, 상기 M 개의 마스크 셋은

장변 및 단변을 구비하는 직사각형 모양의 타일들을 구비하고, 상기 각 타일의 장변으로부터 상기 장변 길이의 1 내지 10 퍼센트에 해당하는 영역 및 상기 각 타일의 단변으로부터 상기 단변 길이의 2 내지 20 퍼센트에 해당하는 영역이 동일한 패턴을 가지도록 디자인된 것을 특징으로 하는 스트럭처드 ASIC의 레이어를 리소그래피 하는 방법.

**청구항 5**

제3항에 있어서, 상기 N개의 마스크킹 마스크는,

동일한 종류의 타일들이 인접하여 리소그래피 되도록 디자인된 것을 특징으로 하는 스트럭처드 ASIC의 레이어를 리소그래피 하는 방법.

**청구항 6**

스트럭처드 ASIC의 레이어를 웨이퍼에 리소그래피 하는데 사용하는 마스크 셋에 있어서,

상기 마스크 셋은 배선 및 연결 방법에 따라 상기 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 배열을 구현하는 하나 이상의 N-웰 마스크, 폴리 마스크,

액티브 마스크를 포함하고,

상기 타일은 장변 및 단변을 구비하는 직사각형의 형태이고, 상기 각 타일의 장변으로부터 상기 장변 길이의 1 내지 10 퍼센트에 해당하는 영역 및 상기 각 타일의 단변으로부터 상기 단변 길이의 2 내지 20 퍼센트에 해당하는 영역이 동일한 패턴을 가지도록 디자인된 것을 특징으로 하는 마스크 셋.

**청구항 7**

미리 디자인된 스트럭처드 ASIC에 따라 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 마스크 셋들의 일부분을 리소그래피 하는데 사용하는 서로 다른 N개의 마스크킹 마스크에 있어서,

상기 마스크 셋은 배선 및 연결 방법에 따라 상기 스트럭처드 ASIC 내부의 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고,

상기 N개의 마스크킹 마스크는 같은 종류의 타일들이 인접하여 리소그래피 되도록 디자인되고, 서로 배타적인 특성(즉, 상기 N개의 마스크킹 마스크 중 제1 내지 제N 마스크킹 마스크를 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일들이 배열되도록 디자인됨)을 가지는 것을 특징으로 하는 서로 다른 N개의 마스크킹 마스크.

**청구항 8**

입력에 따라 목표한 논리 구조를 표현하는 단계;

상기 목표한 논리 구조를 표현할 수 있도록 미리 제작된 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋에서 타일의 배치를 선택하는 단계; 및

상기 선택된 타일의 배치에 따라 상기 M 개의 마스크 셋의 타일을 선택적으로 웨이퍼에 리소그래피 하는데 사용되는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크킹 마스크를 설계하는 단계를 포함하고,

상기 M 개의 마스크 셋 각각은 배선 및 연결 방법에 따라 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 배열을 구현하는 하나 이상의 N-웰 마스크, 폴리 마스크, 액티브 마스크를 포함하며, 상기 M 개의 마스크 셋 중 제1 내지 제M 마스크 셋에 포함된 타일은 각각 서로 다른 종류인 것을 특징으로 하는 스트럭처드 ASIC을 설계하는 방법.

**청구항 9**

제8항에 있어서, 상기 M 개의 마스크 셋은,

논리 동작을 실행하는 하나 이상의 기능 셀(functional cell)을 포함하는 타일들을 구비하고, 복수개의 기능 셀을 동시에 사용하는 것을 특징으로 하는 스트럭처드 ASIC을 설계하는 방법.

**청구항 10**

제8항에 있어서, 상기 N 개의 마스크킹 마스크는,

같은 종류의 타일들이 인접하여 리소그래피 되도록 디자인되고, 서로 배타적인 특성(즉, 상기 N개의 마스크킹 마스크 중 제1 내지 제N 마스크킹 마스크를 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일들이 배열되도록 디자인됨)을 가지는 것을 특징으로 하는 스트럭처드 ASIC을 설계하는 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

본 발명은 스트럭처드(structured) 주문형 반도체(application specific integrated circuit: ASIC)의 레이어 리소그래피 및 설계 방법에 관한 것으로, 보다 상세하게는 선택적으로 패터닝된 마스크 셋과 마스크킹 마스크(selectively patterned masks: SPM)를 이용한 스트럭처드 ASIC의 레이어 리소그래피 및 설계 방법에 관한 것이다.

[0001]

**배경 기술**

- [0002] 주문형 반도체(application specific integrated circuit: ASIC)의 설계에서는 하나의 새로운 칩을 제조하기 위하여 그때마다 N-웰(N-well), 폴리(poly), 액티브(active), 컨택(contact), 메탈(metal), 비아(via) 등 30~40여 개의 주문 제작한(customized) 마스크가 필요하다. 하나의 칩을 만드는데 필요한 모든 마스크를 통틀어 마스크 셋이라고 하는데 공정이 미세해질수록 상기 마스크 셋의 크기는 점점 커지고 있으며, 각 마스크의 가격 또한 미세공정의 어려움과 마스크 불량률의 증가로 인해 상승하고 있다. 따라서 전체 마스크 셋의 비용은 급격하게 증가하고 있다.
- [0003] 스트럭처드(structured) ASIC은 상기와 같은 ASIC의 제조 시에 증가하는 마스크 비용을 줄이기 위해 제안된 방법으로 컨택, 비아 등 몇 개의 프로그래밍 마스크를 제외하고는 모두 미리 만들어져 있는 마스크를 사용하고, 새로운 칩을 제작할 때마다 상기 프로그래밍 마스크만을 새롭게 제작하여 사용하는 방법이다. 그러나 상기 종래의 스트럭처드 ASIC은 저렴한 비용에도 불구하고 상기 ASIC에 비해 느린 동작속도, 큰 면적 때문에 크게 각광받지 못하고 있다. 이는 상기 종래의 스트럭처드 ASIC이 마스크 비용을 줄이는 것을 목표로 하여 단일 종류의 타일을 모든 디자인에 적용하려 하였고, 디자인 각각의 특성을 타일 구조가 적절히 대응하지 못하였기 때문이다. 상기 종래의 스트럭처드 ASIC은 상기 종래의 ASIC에 비해 속도는 1.5배 내지 4배 느리고, 면적은 4배 내지 6배 더 큰 것으로 알려져 있다.

**발명의 내용**

**해결 하고자하는 과제**

- [0004] 이에 따라, 본 발명의 목적은 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용하여 성능이 향상된 스트럭처드 ASIC의 레이어 리소그래피 방법과 설계 방법을 제공하는 데 있다.
- [0005] 또한 본 발명의 일 목적은 스트럭처드 ASIC의 레이어를 리소그래피 하는데 사용하는 마스크 셋과 마스크링 마스크를 제공하는 데 있다.

**과제 해결수단**

- [0006] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 레이어 리소그래피 방법에서는 스트럭처드 ASIC의 레이어를 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋을 제작한다. 미리 디자인된 상기 스트럭처드 ASIC에 따라 상기 마스크 셋들의 일부분을 상기 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크링 마스크를 제작한다. 상기 N 개의 마스크링 마스크 중 제1 내지 제N 마스크링 마스크와 상기 제1 내지 제N 마스크링 마스크에 대응하는, 상기 M 개의 마스크 셋에서 제1 내지 제N 마스크 셋을 제1 내지 제N 마스크 셋으로 하고, 상기 제1 마스크 셋을 사용하여 상기 제1 마스크 셋의 일부분을 상기 웨이퍼에 선택적으로 리소그래피 한다. 상기 제2 내지 제N 마스크 셋을 사용하여 상기 제2 내지 제N 마스크 셋의 일부분을 상기 웨이퍼에 선택적으로 리소그래피 한다.
- [0007] 실시예에 있어서, 상기 M 개의 마스크 셋 들 각각은, 배선 및 연결 방법에 따라 상기 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열될 수 있고, 상기 배열을 구현하는 하나 이상의 N-웰 마스크, 폴리 마스크, 액티브 마스크를 포함할 수 있고, 상기 M 개의 마스크 셋 중 제1 내지 제M 마스크 셋에 포함된 타일은 각각 서로 다른 종류일 수 있다.
- [0008] 실시예에 있어서, 상기 N 개의 마스크링 마스크는 서로 배타적인 특성(즉, 상기 제1 내지 제N 마스크 셋을 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일들이 배열되도록 디자인됨)을 가질 수 있다. 상기 M 개의 마스크 셋은 장변 및 단변을 구비하는 직사각형 모양의 타일들을 구비하고, 상기 각 타일의 장변으로부터 상기 장변 길이의 1 내지 10 퍼센트에 해당하는 영역 및 상기 각 타일의 단변으로부터 상기 단변 길이의 2 내지 20 퍼센트에 해당하는 영역이 동일한 패턴을 가지도록 디자인될 수 있다. 상기 N개의 마스크링 마스크는 상기 동일한 종류의 타일들이 최대한 인접하여 리소그래피 되도록 디자인될 수 있다.
- [0009] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 레이어를 웨이퍼에 리소그래피 하는데 사용하는 마스크 셋은 배선 및 연결 방법에 따라 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 배열을 구현하는 하나 이상의 N-웰 마스크, 폴리 마스크, 액티브 마스크를 포함하고, 상기 타일은 장변 및 단변을 구비하는 직사각형의 형태이고,

상기 각 타일의 장변으로부터 상기 장변 길이의 1 내지 10 퍼센트에 해당하는 영역 및 상기 각 타일의 단변으로부터 상기 단변 길이의 2 내지 20 퍼센트에 해당하는 영역이 동일한 패턴을 가지도록 디자인된다.

[0010] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 미리 디자인된 스트럭처드 ASIC에 따라 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 마스크 셋들의 일부분을 리소그래피 하는데 사용하는 서로 다른 N개의 마스크링 마스크는 상기 마스크 셋은 배선 및 연결 방법에 따라 스트럭처드 ASIC 내부의 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 N개의 마스크링 마스크는 같은 종류의 타일들이 최대한 인접하여 리소그래피 되도록 디자인되고, 서로 배타적인 특성(즉, 상기 제1 내지 제N 마스크링 마스크를 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일들이 배열되도록 디자인됨)을 가진다.

[0011] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 스트럭처드 ASIC을 설계하는 방법에서는 입력에 따라 목표한 논리 구조를 표현한다. 최소의 타일을 사용하여 상기 목표한 논리 구조를 표현할 수 있도록 미리 제작된 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋에서 상기 타일의 배치를 선택한다. 상기 선택된 타일의 배치에 따라 상기 M 개의 마스크 셋의 타일을 선택적으로 웨이퍼에 리소그래피 하는데 사용되는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크링 마스크를 설계한다. 상기 M 개의 마스크 셋 각각은 배선 및 연결 방법에 따라 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 배열을 구현하는 하나 이상의 N-웰 마스크, 폴리 마스크, 액티브 마스크를 포함하며, 상기 M 개의 마스크 셋 중 제1 내지 제M 마스크 셋에 포함된 타일은 각각 서로 다른 종류이다.

[0012] 실시예에 따라서, 상기 M 개의 마스크 셋은 논리 동작을 실행하는 하나 이상의 기능 셀(functional cell)을 포함하는 타일들을 구비하고, 복수개의 기능 셀을 동시에 사용할 수 있다.

[0013] 실시예에 따라서, 상기 N 개의 마스크링 마스크는 같은 종류의 타일들이 최대한 인접하여 리소그래피 되도록 디자인될 수 있고, 서로 배타적인 특성(즉, 상기 제1 내지 제N 마스크링 마스크를 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일들이 배열되도록 디자인됨)을 가질 수 있다.

**효 과**

[0014] 본 발명에 따르면, 선택적으로 패터닝된 마스크 셋과 마스크링 마스크(selectively patterned mask: SPM)를 이용하여 디자인의 특성에 맞게 복수의 타일을 적절히 선택, 배치하는 것을 가능하게 함으로써 종래의 스트럭처드 ASIC의 비용 절감 효과를 유지하면서 종래의 ASIC의 성능에 근접하게 칩을 설계, 제작할 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0015] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들에 따른 반도체 장치의 제조 방법에 대하여 상세하게 설명하지만, 본 발명이 하기의 실시예들에 제한되는 것은 아니며, 해당 분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 본 발명을 다양한 다른 형태로 구현할 수 있을 것이다.

[0016] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0017] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다. 각 도면에 제시된 동일한 참조부호는 동일한 구성요소를 나타낸다.

**실시 예**



- [0018] 상기한 바대로 종래의 스트럭처드(structured) 주문형 반도체(application specific integrated circuit: ASIC)는 종래의 ASIC과 비교하였을 때 제작비용이 감소하는 대신 성능이 좋지 않다. 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크잉 마스크(selectively patterned mask: SPM)를 이용한 스트럭처드 ASIC의 레이어 리소그래피 방법 및 설계 방법은 디자인의 특성에 맞게 복수의 타일을 적절히 선택, 배치하는 것을 가능하게 함으로써 종래의 스트럭처드 ASIC의 비용 절감 효과를 유지하면서 ASIC의 성능에 근접하게 칩을 설계, 제작할 수 있다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 스트럭처드 ASIC의 리소그래피 방법을 순차적으로 나타낸 흐름도이다.
- [0020] 도 1을 참조하면, 단계(S10)에서, 스트럭처드 ASIC의 레이어를 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋(mask set)을 제작한다. 이 경우 M 개의 마스크 셋 들 각각은 배선 및 연결 방법에 따라 상기 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열될 수 있고, 상기 M 개의 마스크 셋 중 제1 내지 제M 마스크 셋에 포함된 타일은 각각 서로 다른 종류일 수 있으며, 상기 배열을 구현하는 하나 이상의 N-웰(N-well) 마스크, 폴리(poly) 마스크, 액티브(active) 마스크를 포함할 수 있다. 실시예에 따라서 스트럭처드 ASIC의 레이어가 늘어나는 경우 M 개의 마스크 셋 들 각각은 딥 임플란트(deep implants) 마스크, 드레인/소스 임플란트(drain/source implants) 마스크 등을 더 포함할 수 있다.
- [0021] 단계(S20)에서, 미리 디자인된 상기 스트럭처드 ASIC에 따라 상기 마스크 셋들의 일부분을 상기 웨이퍼에 리소그래피 하는데 사용하는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크잉 마스크(masking mask)를 제작한다. 이 경우 상기 N 개의 마스크잉 마스크는 서로 배타적인 특성을 가질 수 있다. 배타적인 특성이란 하기의 단계(S30)에서 정의할 제1 내지 제N 마스크 쌍을 사용하여 상기 웨이퍼에 리소그래피 된 경우 상기 웨이퍼의 모든 위치에 타일이 배열되도록 디자인된 것을 말한다.
- [0022] 단계(S30)에서, 상기 N 개의 마스크잉 마스크 중 제1 내지 제N 마스크잉 마스크와 상기 제1 내지 제N 마스크잉 마스크에 대응하는, 상기 M 개의 마스크 셋에서 제1 내지 제N 마스크 셋을 제1 내지 제N 마스크 쌍으로 정의한다. 이는 상기 제1 내지 제N 마스크 쌍을 사용하여 리소그래피 하는 경우 상기 제1 내지 제N 마스크 셋에 포함된 각각의 마스크들과 그에 대응하는 상기 제1 내지 제N 마스크잉 마스크를 동시에 사용하기 때문이다.
- [0023] 단계(S40)에서, 상기 제1 마스크 쌍을 사용하여 상기 제1 마스크 셋의 일부분을 상기 웨이퍼에 선택적으로 리소그래피 한다. 이 경우 제1 마스크 셋에 포함된 마스크들 중 하나와 제1 마스크잉 마스크를 겹쳐서 사용할 수 있다. 상기와 같이 두 개의 마스크를 겹쳐서 사용하는 경우 제1 마스크 셋에 포함된 마스크가 상단에 위치할 수도 있고, 제1 마스크잉 마스크가 상단에 위치할 수도 있다.
- [0024] 단계(S50)에서, 상기 제2 내지 제N 마스크 쌍을 사용하여 상기 제2 내지 제N 마스크 셋의 일부분을 상기 웨이퍼에 선택적으로 리소그래피 한다. 상기 N 개의 마스크잉 마스크가 서로 배타적인 특성을 가지는 경우 상기 웨이퍼의 모든 위치에 타일이 배열될 수 있다.
- [0025] 본 실시예에 따르면, 필요한 마스크 셋을 미리 준비해 놓고 이를 선택적으로 이용하기 때문에 면적 낭비를 크게 줄일 수 있다.
- [0026] 도 2는 본 발명의 일 실시예에 따른 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋들을 나타내는 평면도이다. 특히 M이 3인 경우를 도시하였다.
- [0027] 도 2를 참조하면, 서로 다른 3개의 마스크 셋(100)은 제1 마스크 셋(110), 제2 마스크 셋(120) 및 제3 마스크 셋(130)을 포함하여 구성된다.
- [0028] 제1 내지 제3 마스크 셋(110, 120, 130) 각각은 배선 및 연결 방법에 따라 상기 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 제1 내지 제3 마스크 셋(110, 120, 130)에 포함된 타일은 각각 서로 다른 종류이다. 도 2에서는 상기 타일이 직사각형의 형태로 표현되었지만, 그 밖의 다양한 형태로 표현 가능하며 배선 및 접속 방식에 따라 트랜지스터 등의 소자를 형성하는 복잡한 패턴의 형태로 표현될 수 있다. 또한 도시하지는 않았지만, 실시예에 따라서 상기 타일들은 하나 이상의 기능 셀(functional cell)을 포함하고, 복수개의 기능 셀이 동시에 사용될 수도 있다. 기능 셀이란, 논리 동작을 실행하기 위해 소정의 방식으로 배선되고 접속된 한 개 이상의 트랜지스터 및 한 개 이상의 수동소자를 포함하는 것을 말한다.
- [0029] 제1 내지 제3 마스크 셋(110, 120, 130)은 상기 타일들의 배열을 구현하기 위해 각각 하나의 N-웰 마스크(112,

122, 132), 하나의 폴리 마스크(114, 124, 134) 및 하나의 액티브 마스크(116, 126, 136)를 포함하여 구성된다. 실시예에 따라서 상기 제1 내지 제3 마스크 셋(110, 120, 130)에 포함된 N-웰 마스크(112, 122, 132), 폴리 마스크(114, 124, 134) 및 액티브 마스크(116, 126, 136)들은 한 개 이상일 수 있다. 또한 도시하지는 않았지만, 실시예에 따라서 스트럭처드 ASIC의 레이어가 늘어나는 경우 상기 제1 내지 제3 마스크 셋(110, 120, 130)은 딥 임플란트(deep implants) 마스크, 드레인/소스 임플란트(drain/source implants) 마스크 등을 더 포함할 수 있다.

[0030] 도 3은 본 발명의 일 실시예에 따른 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크킹 마스크를 나타내는 평면도이다. 특히 N이 3인 경우를 도시하였다.

[0031] 도 3을 참조하면, 서로 다른 3개의 마스크킹 마스크(200)는 제1 마스크킹 마스크(210), 제2 마스크킹 마스크(220) 및 제3 마스크킹 마스크(230)를 포함하여 구성된다.

[0032] 제1 마스크킹 마스크(210)는 제1 마스크 셋(110)에 포함된 타일 중 필요한 타일만을 상기 웨이퍼에 인쇄할 수 있도록 선택된 타일에 해당하는 영역을 제외하고는 빛이 통과할 수 없도록 제조된다. 제2 마스크킹 마스크(220) 및 제3 마스크킹 마스크(230)는 제2 마스크 셋(120) 및 제3 마스크 셋(130)에 포함된 타일 중 필요한 타일만을 상기 웨이퍼에 인쇄할 수 있도록 선택된 타일에 해당하는 영역을 제외하고는 빛이 통과할 수 없도록 제조된다. 도 3에서는 빛이 통과할 수 없는 영역을 빗금으로 표현하였다.

[0033] 제1 내지 제3 마스크킹 마스크(210, 220, 230)는 제1 내지 제3 마스크 셋(110, 120, 130)과 제1 내지 제3 마스크 쌍을 형성한다. 상기 마스크 쌍들에 포함된 마스크 셋과 마스크킹 마스크 각각은 리소그래피 공정에서 함께 사용된다. 실시예에 따라서, 마스크킹 마스크의 개수인 N이 마스크 셋의 개수인 M보다 작은 경우 마스크 쌍을 형성하지 못하는 마스크 셋이 있을 수 있다. 이 경우 상기 마스크 쌍을 형성하지 못하는 마스크 셋은 상기 스트럭처드 ASIC의 제조에는 사용되지 않는다. 또한 다른 실시예에 따라서, 상기 서로 다른 N 개의 마스크킹 마스크는 서로 배타적인 특성을 가질 수 있다. 이 경우 상기 제1 내지 제N 마스크킹 마스크는 상기 웨이퍼의 동일한 위치에 중복하여 서로 다른 종류의 타일들을 리소그래피 하지 않고, 상기 제1 내지 제N 마스크 쌍을 사용하여 상기 웨이퍼에 리소그래피 한 경우 상기 웨이퍼의 모든 위치에 상기 타일들이 배열된다.

[0034] 도 4는 본 발명의 일 실시예에 따른 마스크 셋과 마스크킹 마스크를 사용하여 웨이퍼에 리소그래피 하는 장치를 나타낸다.

[0035] 도 4를 참조하면, 리소그래피 장치는 광원(250), 콘덴서 렌즈(260), 프로젝션 렌즈(270), 웨이퍼(310), 제1 마스크킹 마스크(210) 및 제1 N-웰 마스크(112)를 포함하여 구성된다.

[0036] 광원(250)은 리소그래피 하기 위한 광을 발생한다. 콘덴서 렌즈(260)는 광원(250)에서 발생된 상기 광을 집광한다. 프로젝션 렌즈(270)는 콘덴서 렌즈(260)의 하부에서 웨이퍼(310)로 상기 광을 집광한다. 웨이퍼(310)는 상기 광을 통해 리소그래피 되어 제1 N-웰 마스크(112)의 패턴이 형성된다.

[0037] 제1 마스크킹 마스크(210) 및 제1 N-웰 마스크(112)는 콘덴서 렌즈(260)와 프로젝션 렌즈(270) 사이에서 패터닝을 수행한다. 두 마스크의 얼라인(align)을 맞추어 원하는 타일을 선택적으로 패터닝한다. 이 경우 제1 마스크킹 마스크(210)가 제1 N-웰 마스크(112)보다 상단에 위치할 수도 있고, 제1 N-웰 마스크(112)가 제1 마스크킹 마스크(210)보다 상단에 위치할 수도 있다.

[0038] 도 4에 도시된 바와 같이, 제1 마스크킹 마스크(210)와 제1 N-웰 마스크(112)만이 도시되어 있으나, 실제로는 각 마스크 셋에 포함된 모든 마스크에 대해 리소그래피를 수행한다. 예를 들어, 도 2 및 도 3과 같이 M과 N이 모두 3인 경우 N-웰 레이어를 형성하기 위해 제1 마스크킹 마스크(210)와 제1 N-웰 마스크(112), 제2 마스크킹 마스크(220)와 제2 N-웰 마스크(122) 및 제3 마스크킹 마스크(230)와 제3 N-웰 마스크(132)를 각각 사용하여 리소그래피를 수행하고, 폴리 레이어를 형성하기 위해 제1 마스크킹 마스크(210)와 제1 폴리 마스크(114), 제2 마스크킹 마스크(220)와 제2 폴리 마스크(124) 및 제3 마스크킹 마스크(230)와 제3 폴리 마스크(134)를 각각 사용하여 리소그래피를 수행하며, 액티브 레이어를 형성하기 위해 제1 마스크킹 마스크(210)와 제1 액티브 마스크(116), 제2 마스크킹 마스크(220)와 제2 액티브 마스크(126) 및 제3 마스크킹 마스크(230)와 제3 액티브 마스크(136)를 각각 사용하여 리소그래피를 수행한다. 실시예에 따라서, 딥 임플란트 레이어 및 드레인/소스 임플란트 레이어 등을 더 포함하는 경우 제1 내지 제3 마스크 셋(110, 120, 130)에는 딥 임플란트 마스크 및 드레인 소스 임플란트 마스크가 더 포함될 수 있으며, 상기 딥 임플란트 레이어 및 드레인/소스 임플란트 레이어에 대해 상기 딥 임플란트 마스크 및 드레인 소스 임플란트 마스크를 사용하여 동일한 리소그래피 과정을 수행한다.

[0039] 도 5a는 본 발명의 일 실시예에 따른 마스크 셋과 마스크킹 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나



타내는 평면도이고, 도 5b 및 도 5c는 본 발명의 일 실시예에 따른 마스크 셋과 마스크잉 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 단면도(도 5a의 I-I' 면을 따라서 절단)이다.

- [0040] 도 5a를 참조하면, 웨이퍼(310a)에 서로 다른 종류의 타일들(320)이 리소그래피 되어있다. 타일들(320)은 상기 제1 내지 제3 마스크 쌍을 사용하여 제1 내지 제3 마스크 셋(110, 120, 130)의 일부분이 각각 웨이퍼(310a)에 리소그래피 된 것이다. 또한 도시한 바와 같이, 제1 내지 제3 마스크잉 마스크(210, 220, 230)가 서로 배타적인 특성을 가지는 경우 웨이퍼(310a)의 모든 위치에 타일이 배열될 수 있다.
- [0041] 도 5b를 참조하면, 웨이퍼(310a)에 리소그래피 된 타일(320a)은 N-웰 레이어(322), 폴리 레이어(324) 및 액티브 레이어(326)를 포함하여 구성된다. 예를 들어, 상기 타일(320a)이 제1 마스크 셋(110)에 포함된 타일인 경우 상기 타일은 제1 마스크잉 마스크(210)와 제1 N-웰 마스크(112), 제1 폴리 마스크(114) 및 제1 액티브 마스크(116)를 사용하여 리소그래피 하여 각각의 레이어를 형성할 수 있다. 도시하지는 않았지만, 실시예에 따라서 각 타일의 N-웰 레이어(322), 폴리 레이어(324) 및 액티브 레이어(326)는 하나 이상일 수 있다. 또한 본 발명의 다른 실시예에 따르면, 각 타일은 딥 임플란트 레이어 및 드레인/소스 임플란트 레이어 등을 더 포함할 수 있다.
- [0042] 도시된 바에 의하면, 하나의 타일(320a)이 도시되어 있으나, X축 방향 및 Y축 방향을 따라 다수의 타일들이 배열될 수 있으며, 각각의 타일은 Y축 방향으로 연장될 수 있다.
- [0043] 도 5c를 참조하면, 웨이퍼(310a)에 리소그래피 된 타일(320a)은 N-웰 레이어(322), 폴리 레이어(324) 및 액티브 레이어(326)를 포함하여 구성되고, 상기 타일(320a)의 상단에 타일들(320a) 간에 배선 및 전기적 연결을 하는 콘택 레이어(328), 비아 레이어(330) 및 메탈 레이어 (332)가 차례대로 리소그래피 된다.
- [0044] 도시하지는 않았지만, 상기 콘택 레이어를 리소그래피 하는 하나 이상의 콘택 마스크, 상기 비아 레이어를 리소그래피 하는 하나 이상의 비아 마스크 및 상기 메탈 레이어의 상기 메탈 라인들을 리소그래피 하는 하나 이상의 메탈 마스크가 존재한다. 상기 콘택 마스크 및 상기 비아 마스크들을 프로그래밍 마스크라 하고, 상기 프로그래밍 마스크의 디자인에 따라 상기 타일들의 논리 동작이 결정되므로 상기 프로그래밍 마스크는 새로운 스트럭처드 ASIC을 제작할 때마다 새롭게 제작된다. 상기 메탈 마스크들은 스트럭처드 ASIC의 매 디자인마다 새롭게 제작하지 않고 미리 제작되어 있다. 상기 콘택 레이어, 상기 메탈 레이어 및 상기 비아 레이어를 사용하여 타일들(320a)간의 배선 및 전기적 연결을 하는 방식은 종래의 스트럭처드 ASIC의 제작에서 사용하는 방법과 동일하다.
- [0045] 예를 들어, 상기 타일(320a)이 제1 마스크 셋(110)에 포함된 타일인 경우 상기 타일은 제1 마스크잉 마스크(210)와 제1 N-웰 마스크(112), 제1 폴리 마스크(114) 및 제1 액티브 마스크(116)를 사용하여 리소그래피 하여 각각의 레이어를 형성할 수 있고, 그 상단에 상기 콘택 마스크, 상기 메탈 마스크, 상기 비아 마스크를 사용하여 리소그래피 하여 타일(320a) 간에 배선 및 전기적 연결을 수행한다.
- [0046] 도시하지는 않았지만, 실시예에 따라서 각 타일의 N-웰 레이어(322), 폴리 레이어(324) 및 액티브 레이어(326)와 콘택 레이어(328), 비아 레이어(330) 및 메탈 레이어(332)는 하나 이상일 수 있다. 또한 본 발명의 다른 실시예에 따르면, 각 타일(320a)은 딥 임플란트 레이어 및 드레인/소스 임플란트 레이어 등을 더 포함할 수 있다.
- [0047] 도시된 바에 의하면, 하나의 타일(320a)이 도시되어 있으나, X축 방향 및 Y축 방향을 따라 다수의 타일들이 배열될 수 있으며, 각각의 타일은 Y축 방향으로 연장될 수 있다.
- [0048] 도 6은 본 발명의 일 실시예에 따른 마스크 셋과 마스크잉 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 평면도이다.
- [0049] 도 6을 참조하면, 제1 및 제2 마스크 셋(미도시)과 제1 및 제2 마스크잉 마스크(미도시)를 사용하여 웨이퍼(310b)내에 제1 마스크 셋의 타일(402, 404, 406)과 제2 마스크 셋의 타일(408, 410, 412)을 리소그래피 하는 경우, 서로 다른 종류의 타일이 인접하는 타일들(402, 404, 406, 408, 410, 412)의 경계 부분이 흐릿하게 리소그래피 될 수 있다. 도 6에서는 상기 흐릿한 영역을 빗금으로 표현하였다. 상기와 같은 흐릿한 영역(blurring region)이 발생하는 이유는 두 장의 마스크를 겹쳐서 사용하므로 리소그래피 하는 과정에서 초점이 맞지 않기 때문이다. 즉, 상기 두 장의 마스크 전부에 대해 초점을 맞출 수 없고 마스크 셋의 마스크에 대해 초점을 맞추어 리소그래피 하기 때문에 마스크잉 마스크에 의해 가려지는 경계 부분에서는 초점이 불명확하여 상기 마스크 셋의 패턴이 정확하게 리소그래피 되지 않는 것이다.
- [0050] 도 7은 본 발명의 일 실시예에 따른 마스크 셋에 포함된 타일을 나타내는 평면도이다.
- [0051] 도 7을 참조하면, 타일(402a)은 장변 및 단변을 구비하는 직사각형의 형태이고, 타일(402a)의 장변으로부터 상기 장변 길이의 1 내지 10 퍼센트에 해당하는 영역 및 타일(402a)의 단변으로부터 상기 단변 길이의 2 내지 20

퍼센트에 해당하는 영역이 동일한 패턴을 가지도록 디자인된다. 상기 영역은 바람직하게는 상기 장변 길이의 3 내지 8 퍼센트 및 상기 각 타일의 단변으로부터 상기 단변 길이의 6 내지 16 퍼센트에 해당할 수 있고, 더욱 바람직하게는 상기 장변 길이의 4 내지 6 퍼센트 및 상기 각 타일의 단변으로부터 상기 단변 길이의 8 내지 12 퍼센트에 해당할 수 있다. 도 7에서는 상기 동일한 패턴을 가지는 영역을 빗금으로 표현하였다. 또한 상기 동일한 패턴은 어떠한 디자인으로 구성되어도 무방하나, 단순한 디자인을 가지는 것이 바람직하다.

- [0052] 도시된 바에 의하면, 상기 동일한 패턴을 가지는 영역을 포함하는 하나의 타일(402a)이 도시되어 있으나, X축 방향 및 Y축 방향을 따라 다수의 타일들이 배열될 수 있으며, 서로 다른 마스크 셋에 포함된 서로 다른 타일들 전부도 상기 동일한 패턴을 가지는 영역을 포함할 수 있다.
- [0053] 상기 동일한 패턴을 가지는 영역을 포함하도록 모든 타일을 디자인함으로써 타일(402a)의 주변에 어떠한 다른 종류의 타일이 배열되더라도 상기 흐릿하고 겹치는 영역이 모두 동일한 패턴을 가지게 되어 디자인 오류가 발생하지 않으면서 본 발명의 일 실시예에 따른 마스크 셋과 마스크킹 마스크를 사용한 스트럭처드 ASIC의 내부 소자를 형성하는데 실질적으로 필요한 타일의 중앙 부분은 상기 흐릿한 영역이 발생하지 않는다.
- [0054] 도 8은 본 발명의 일 실시예에 따른 마스크 셋과 마스크킹 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 평면도이다.
- [0055] 도 6의 평면도와는 다르게, 도 8의 평면도는 제1 및 제2 마스크킹 마스크(미도시)를 같은 종류의 타일들이 최대한 인접하도록 디자인하여 웨이퍼(310c)내에 제1 마스크 셋의 타일(402b, 404b, 406b)과 제2 마스크 셋의 타일(408b, 410b, 412b)을 리소그래피 하였다. 즉, 제1 마스크 셋에 포함된 타일(402b, 404b, 406b)은 제1 마스크 셋에 포함된 타일(402b, 404b, 406b)끼리, 제2 마스크 셋에 포함된 타일(408b, 410b, 412b)은 제2 마스크 셋에 포함된 타일(408b, 410b, 412b)끼리 모여 있다.
- [0056] 상기와 같은 흐릿한 영역이 발생하는 부분은 마스크킹 마스크의 경계 부분이므로 같은 종류의 타일들이 최대한 인접하여 마스크킹 마스크의 경계가 최소가 되도록 디자인되면 동일한 종류의 타일 경계에서는 흐릿함이 발생하지 않게 된다. 즉, 제1 마스크 셋의 타일들(402b, 404b, 406b)간에 인접하는 부분 및 제2 마스크 셋의 타일들(408b, 410b, 412b)간에 인접하는 부분에는 흐릿함이 발생하지 않는다. 도 8에서는 상기 흐릿한 영역을 빗금으로 표현하였다. 도 6과 비교하면, 상기 흐릿한 영역(빗금 부분)이 줄어들었음을 알 수 있다.
- [0057] 도 9는 본 발명의 다른 실시예에 따른 스트럭처드 ASIC의 설계 방법을 순차적으로 나타낸 흐름도이다.
- [0058] 도 9를 참조하면, 단계(S510)에서, 입력에 따라 목표한 논리 구조를 표현한다. 이 경우 종합적으로 다루어진(synthesized) 논리 구조의 그래프인 서브젝트 그래프(subject graph)로 표현할 수 있다. 상기 서브젝트 그래프는 시작 노드(node)부터 종료 노드까지로 표현되는 하나 이상의 계층적 구조(tree)로 분해될 수 있다. 상기 계층적 구조는 게이트 입력 통계(gate input statistics: GIS)로 매핑(mapping)될 수 있다.
- [0059] 단계(S520)에서, 상기 목표한 논리 구조를 표현할 수 있도록 미리 제작된 서로 다른 M(M은 2 이상의 자연수)개의 마스크 셋에서 타일의 배치를 선택한다. 이 경우 상기 서브젝트 그래프로부터 분해된 계층적 구조를 통해 상기 논리 구조의 표현이 가능한 타일의 조합을 선택할 수 있다.
- [0060] 상기 M 개의 마스크 셋 각각은 배선 및 연결 방법에 따라 상기 스트럭처드 ASIC의 내부 소자를 형성하는 단일 종류의 타일들이 일정한 크기를 가지고 규칙적으로 배열되고, 상기 배열을 구현하는 하나 이상의 N-웰 마스크, 폴리 마스크, 액티브 마스크를 포함하며, 상기 M 개의 마스크 셋 중 제1 내지 제M 마스크 셋에 포함된 타일은 각각 서로 다른 종류일 수 있다. 실시예에 따라서, 상기 스트럭처드 ASIC의 레이어가 늘어나는 경우 상기 제1 내지 제M 마스크 셋은 딥 임플란트 마스크, 드레인/소스 임플란트 마스크 등을 더 포함할 수 있다. 또한 다른 실시예에 따라서, 상기 타일들은 하나 이상의 기능 셀(functional cell)을 포함하고, 복수개의 기능 셀이 동시에 사용될 수도 있다.
- [0061] 단계(S530)에서, 단계(S520)에서 선택된 타일의 배치가 최소한의 타일을 사용하여 목표한 논리 구조를 표현하였는지 판단한다. 최소한의 타일을 사용한 경우 단계(S540)으로 진행하고, 최소한의 타일을 사용하지 못한 경우 단계(S520)으로 되돌아가서 상기 선택된 타일의 배치보다 더 적은 개수의 타일을 사용하여 목표한 논리 구조를 표현하는 경우를 찾는다.
- [0062] 도시하지는 않았지만, 단계(S530) 이후에 상기 선택된 타일에 대해 패킹(packaging), 배치(placement), 라우팅(routing) 단계를 더 거칠 수 있다. 이는 상기 스트럭처드 ASIC을 실제로 제작하기 전에 시뮬레이션을 통해 성능을 테스트하기 위함이다. 이 경우 상기 패킹 단계는 독립실행(stand-alone) 프로그램을 통해 수행될 수 있고,

배치 단계와 라우팅 단계는 상업적 배치기(commercial placer)를 통해 수행될 수 있다.

- [0063] 단계(S540)에서, 선택된 타일의 배치에 따라 상기 M 개의 마스크 셋의 타일을 선택적으로 웨이퍼에 리소그래피 하는데 사용되는 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크링 마스크를 설계한다. 이 경우 상기 N 개의 마스크링 마스크는 서로 배타적인 특성을 가질 수 있다. 이 경우 상기 N 개의 마스크링 마스크 중 상기 제1 내지 제N 마스크링 마스크는 상기 웨이퍼의 동일한 위치에 중복하여 서로 다른 종류의 타일들을 리소그래피 하지 않고, 상기 웨이퍼의 모든 위치에 상기 타일들이 배열된다. 또한 상기 N 개의 마스크링 마스크는 같은 종류의 타일들이 최대한 인접하여 리소그래피 되도록 디자인될 수 있다.
- [0064] 도 10은 종래의 ASIC, 종래의 스트럭처드 ASIC 및 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC의 제작에서 예상되는 전체 마스크의 비용을 나타내는 표이다.
- [0065] 도 10을 참조하면, 각각의 마스크에 대한 단가, 종래의 ASIC, 종래의 스트럭처드 ASIC 및 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC의 제작시 필요한 마스크의 개수 및 상기 마스크 단가와 상기 필요한 마스크의 개수를 곱한 전체 마스크의 비용이 나타나 있다. 도 10에서,  $N_0$ 는 총 제작되어야 하는 디자인의 개수,  $N_T$ 는 총 마스크 셋의 개수,  $N_U$ 는 총 마스크 셋 중 실제로 사용되는 마스크 셋의 개수를 나타내는 1이상의 자연수이다.
- [0066] 상기 ASIC의 경우 모든 마스크를 새롭게 제작해야 하므로 상기  $N_0$ 가 증가함에 따라 마스크 비용이 가장 급격하게 증가한다. 상기 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC의 경우 상기  $N_T$ 가 증가함에 따라 기본적인 비용이 증가하고, 상기  $N_U$ 가 증가함에 따라 상기 마스크링 마스크의 제작비용이 추가로 증가한다. 그러나 상기 마스크링 마스크는 미세 패턴을 사용하지 않아 최소 피치가 크기 때문에 적은 비용으로 제작 가능하고, 따라서 전체 마스크 제조비용에 크게 영향을 미치지 않는다. 예를 들어, 상기  $N_0$ 가 100, 상기  $N_T$ 가 5, 상기  $N_U$ 는 2라 한다면, 전체 마스크의 비용 절감은 상기 종래의 스트럭처드 ASIC의 경우 61%, 상기 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC의 경우 55%가 된다. 약간의 비용 절감의 감소는 성능의 향상과 설계의 유연성을 고려할 때 크게 문제되지 않는다.
- [0067] 도 11은 종래의 ASIC 및 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC의 성능을 비교한 표이다.
- [0068] 도 11을 참조하면, 종래의 ASIC과 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC에서 각각의 벤치마크(benchmark)에 대해 동일한 딜레이 조건을 가질 때의 면적 및 동일한 면적을 가질 때의 딜레이를 비교하였다. 상기 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC은 총 5개의 마스크 셋을 가지고 이 중 2개의 마스크 셋을 이용하는 경우를 예로 들었다.
- [0069] 상기 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크링 마스크를 이용한 스트럭처드 ASIC은 상기 종래의 ASIC에 비해 면적 면에서 평균 23% 증가하고 딜레이 면에서 평균 38% 증가한 것을 알 수 있다. 이는 상기 종래의 ASIC에 비해 면적은 4배 내지 6배 더 크고, 속도는 1.5배 내지 4배 느린 종래의 스트럭처드 ASIC의 성능과 비교하였을 때 매우 향상된 성능을 나타냄을 알 수 있다.

**산업이용 가능성**

- [0070] 본 발명의 실시예들에 따르면, 선택적으로 패터닝된 마스크 셋과 마스크링 마스크(selectively patterned mask: SPM)를 이용하여 디자인의 특성에 맞게 복수의 타일을 적절히 선택, 배치하는 것을 가능하게 함으로써 종래의 스트럭처드 ASIC의 비용 절감 효과를 유지하면서 종래의 ASIC의 성능에 근접하게 칩을 설계, 제작할 수 있으며, RAM, EPROM 등과 같은 다양한 반도체 회로에 응용할 수 있다.
- [0071] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

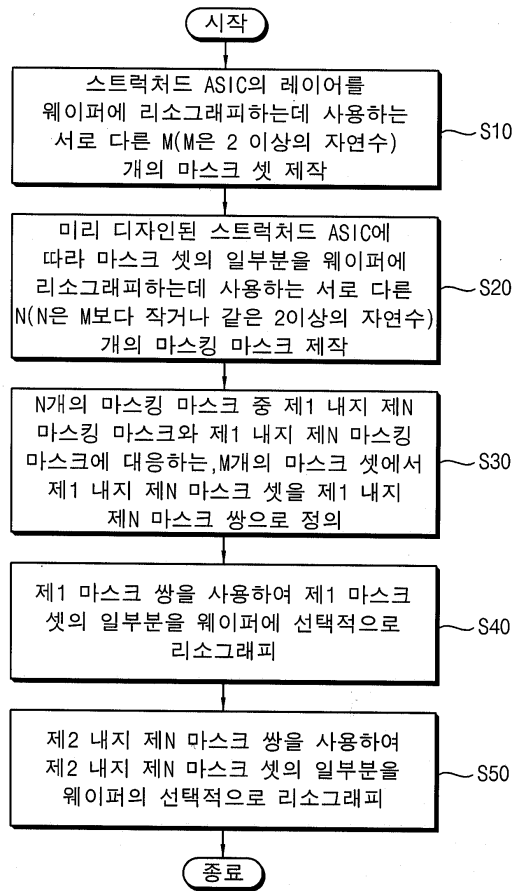
**도면의 간단한 설명**

- [0072] 도 1은 본 발명의 일 실시예에 따른 리소그래피 방법을 순차적으로 나타낸 흐름도이다.

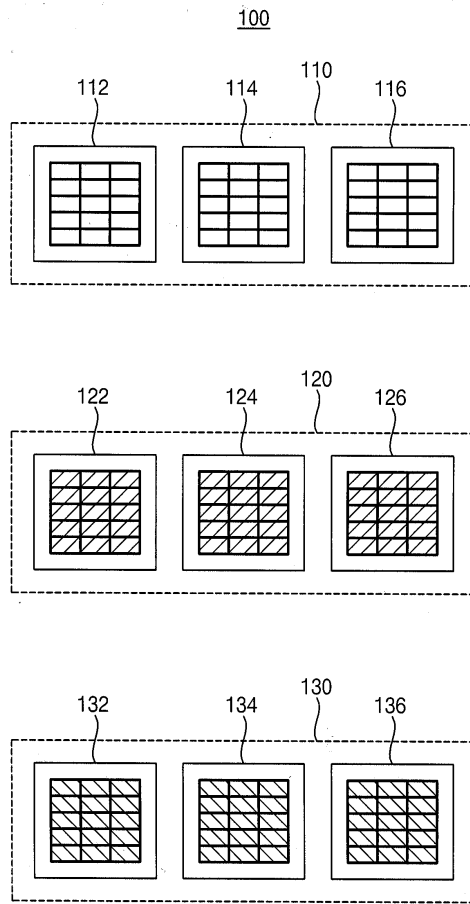
- [0073] 도 2는 본 발명의 일 실시예에 따른 서로 다른 M(M은 2 이상의 자연수) 개의 마스크 셋 들을 나타내는 평면도이다. 특히 M이 3인 경우를 도시하였다.
- [0074] 도 3은 본 발명의 일 실시예에 따른 서로 다른 N(N은 M보다 작거나 같은 2 이상의 자연수) 개의 마스크 셋을 나타내는 평면도이다. 특히 N이 3인 경우를 도시하였다.
- [0075] 도 4는 본 발명의 일 실시예에 따른 마스크 셋과 마스크를 사용하여 웨이퍼에 리소그래피 하는 장치를 나타낸다.
- [0076] 도 5a는 본 발명의 일 실시예에 따른 마스크 셋과 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 평면도이고, 도 5b 및 도 5c는 본 발명의 일 실시예에 따른 마스크 셋과 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 단면도(도 5a의 I-I'면을 따라서 절단)이다.
- [0077] 도 6은 본 발명의 일 실시예에 따른 마스크 셋과 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 평면도이다.
- [0078] 도 7은 본 발명의 일 실시예에 따른 마스크 셋에 포함된 타일을 나타내는 평면도이다.
- [0079] 도 8은 본 발명의 일 실시예에 따른 마스크 셋과 마스크를 사용하여 웨이퍼에 리소그래피 된 상태를 나타내는 평면도이다.
- [0080] 도 9는 본 발명의 다른 실시예에 따른 스트럭처드 ASIC의 설계 방법을 순차적으로 나타낸 흐름도이다.
- [0081] 도 10은 종래의 ASIC, 종래의 스트럭처드 ASIC 및 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크를 이용한 스트럭처드 ASIC의 제작에서 예상되는 전체 마스크의 비용을 나타내는 표이다.
- [0082] 도 11은 종래의 ASIC 및 본 발명의 일 실시예에 따른 선택적으로 패터닝된 마스크 셋과 마스크를 이용한 스트럭처드 ASIC의 성능을 비교한 표이다.

도면

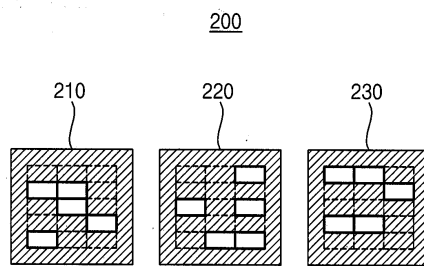
도면1



도면2

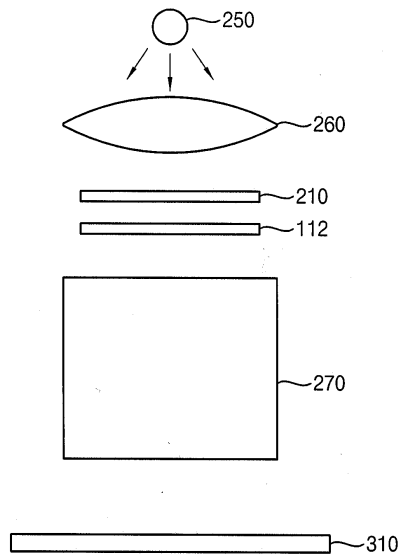


도면3

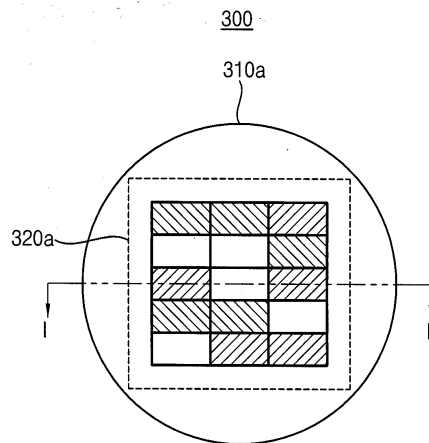




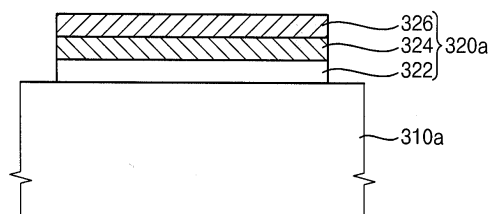
도면4



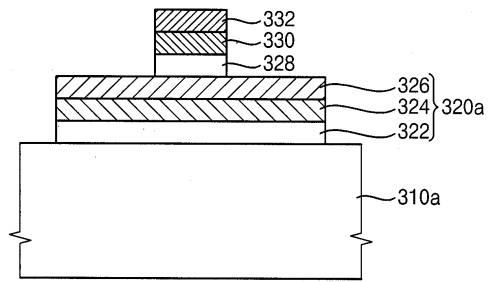
도면5a



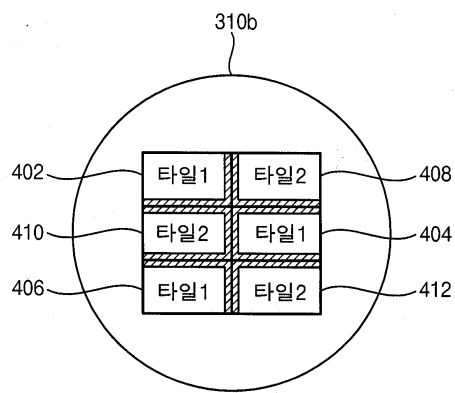
도면5b



도면5c

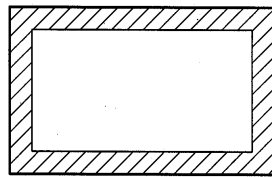


도면6

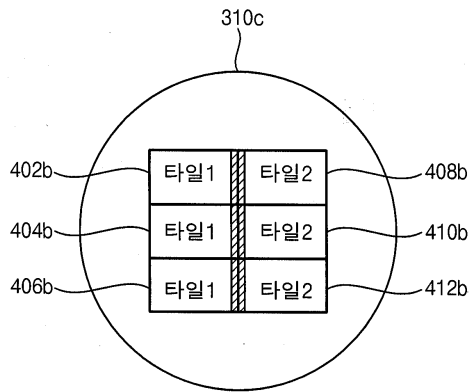


도면7

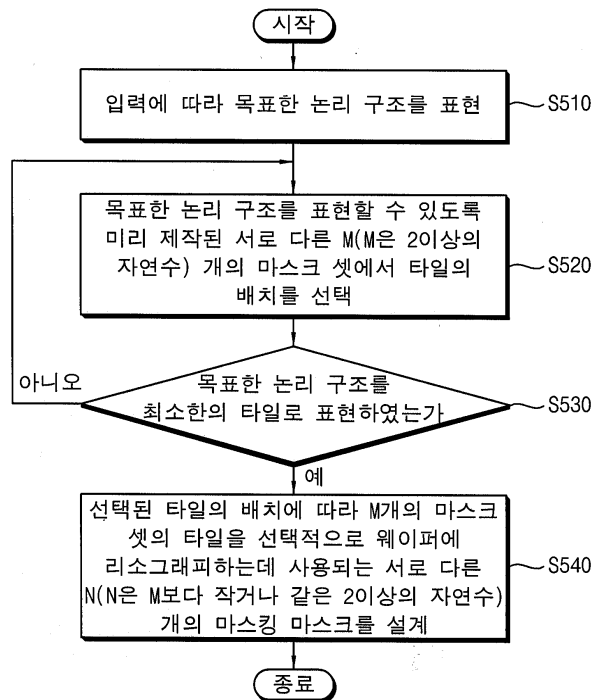
402a



도면8



도면9



도면10

마스크 이름	마스크 비용 [k\$]	ASIC		스트럭처드 ASIC			SPM을 이용한 스트럭처드 ASIC		
		마스크 개수	총 비용 [k\$]	마스크 개수		총 비용 [k\$]	마스크 개수		총 비용 [k\$]
				기본	추가		기본	추가	
폴리	40	$N_b$	$40N_b$	1	0	40	$N_T$	0	$40N_T$
액티브	40	$N_b$	$40N_b$	1	0	40	$N_T$	0	$40N_T$
딥 임플란트	8	$3N_b$	$24N_b$	3	0	24	$3N_T$	0	$24N_T$
소스/드레인 임플란트	25	$2N_b$	$50N_b$	2	0	50	$2N_T$	0	$50N_T$
제 1 컨택/비아	45	$2N_b$	$90N_b$	0	$2N_b$	$90N_b$	0	$2N_b$	$90N_b$
제 1 메탈	25	$N_b$	$25N_b$	1	0	25	$N_T$	0	$25N_T$
그 외 메탈	12	$4N_b$	$48N_b$	4	0	48	4	0	48
그 외 비아	25	$2N_b$	$50N_b$	0	$2N_b$	$50N_b$	0	$2N_b$	$50N_b$
마스킹 마스크	8	0	0	0	0	0	0	$N_bN_b$	$8N_bN_b$
계		$16N_b$	$367N_b$	12	$4N_b$	$227+140N_b$	$8N_T$	$(4+N_b)N_b$	$48+179N_T + 140N_b + 8N_bN_b$

도면11

벤치마크	면적 ( $\mu m^2$ ): 동일한 딜레이 조건			딜레이 (ps): 동일한 면적 조건		
	ASIC	SPM을 이용한 스트럭처드 ASIC	SPM/ASIC의 비율	ASIC	SPM을 이용한 스트럭처드 ASIC	SPM/ASIC의 비율
s838	4940	5854	1.19	1350	1465	1.09
s1196	5261	9635	1.23	2653	3388	1.28
s1423	9635	10511	1.09	5011	5028	1
s1488	5297	8049	1.52	961	2015	2.1
s1494	5382	8182	1.52	1003	2016	2.01
s5378	21997	25679	1.17	5163	5236	1.01
s9234	19373	22286	1.15	1267	1650	1.3
s13207	58820	64332	1.09	1604	2446	1.52
s15850	66796	74112	1.11	2057	2340	1.14
평균			1.23			1.38