



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월09일
 (11) 등록번호 10-0901321
 (24) 등록일자 2009년06월01일

(51) Int. Cl.

H03K 17/16 (2006.01)

(21) 출원번호 10-2007-0059282
 (22) 출원일자 2007년06월18일
 심사청구일자 2007년06월18일
 (65) 공개번호 10-2008-0111209
 (43) 공개일자 2008년12월23일

(56) 선행기술조사문헌
 Gupta, et al., "Gate-length biasing for runtime-leakage control", Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, Volume 25, Issue 8, Aug. 2006 Page(s):1475 - 1485
 JP2007158505 A
 JP11284493 A
 KR1020040040732 A

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

신영수

대전 유성구 도룡동 383-2 과기원 교수아파트 2동 501호

서문준

서울 영등포구 신길3동 건영아파트 라동 801호

(74) 대리인

박영우

전체 청구항 수 : 총 14 항

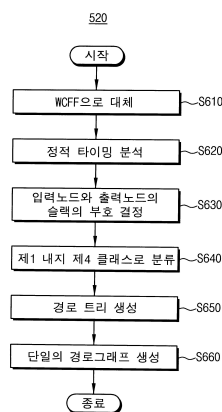
심사관 : 김자영

(54) 플립플롭 변환방법

(57) 요약

플립플롭 변환방법은 복수의 오리지널 플립플롭들 각각을 제1 내지 제4 비대칭 플립플롭들 중 확률적 누설에 기초하여 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체하는 단계, 대체된 비대칭 플립플롭들을 포함하는 순차회로에서 타이밍 조건을 위반하는 비대칭 플립플롭을 찾기 위하여 경로(path) 그래프를 생성하는 단계, 생성된 경로 그래프에 대하여 타이밍 분석을 수행하는 단계, 분석된 타이밍에 기초하여 타이밍 조건을 위반하는 지연 경로의 여부를 판단하는 단계, 지연 경로가 있는 경우 상기 지연 경로상에서 상기 타이밍 조건을 위반하도록 유발하는 후보 비대칭 플립플롭을 발견하는 단계 및 후보 비대칭 플립플롭의 타이밍 특성을 계산하여 후보 비대칭 플립플롭을 오리지널 플립플롭과 제1 내지 제4 비대칭 플립플롭들과 제1 내지 제2 플립플롭들 중 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 포함한다.

대표도 - 도12



특허청구의 범위

청구항 1

복수의 오리지널 플립플롭들을 포함하는 순차회로의 누설 전류를 줄이기 위한 플립플롭의 변환방법으로서,

상기 복수의 오리지널 플립플롭들 각각을 제1 내지 제4 비대칭 플립플롭들 중 확률적 누설에 기초하여 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체하는 단계;

상기 대체된 비대칭 플립플롭들을 포함하는 순차회로에서 타이밍 조건을 위반하는 비대칭 플립플롭을 찾기 위하여 경로(path) 그래프를 생성하는 단계;

상기 생성된 경로 그래프에 대하여 타이밍 분석을 수행하는 단계;

상기 분석된 타이밍에 기초하여 타이밍 조건을 위반하는 지연 경로의 여부를 판단하는 단계;

상기 지연 경로가 있는 경우 상기 지연 경로상에서 상기 타이밍 조건을 위반하도록 유발하는 후보 비대칭 플립플롭을 발견하는 단계; 및

상기 발견된 후보 비대칭 플립플롭의 타이밍 특성을 계산하여 상기 발견된 후보 비대칭 플립플롭을 상기 오리지널 플립플롭과 상기 제1 내지 제4 비대칭 플립플롭들과 제1 내지 제2 반비대칭 플립플롭들 중 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 포함하는 플립플롭 변환방법.

청구항 2

제1항에 있어서, 상기 복수의 오리지널 플립플롭들 각각은 외부 입력과 클럭 신호를 인가받고, 출력을 제공하며, 상기 외부 입력과 상기 출력에 대하여 일정한 길이의 게이트를 갖는 복수의 트랜지스터들로 구성되는 것을 특징으로 하는 플립플롭 변환방법.

청구항 3

제2항에 있어서, 상기 제1 내지 제4 비대칭 플립플롭들 각각은 상기 오리지널 플립플롭들 각각을 구성하는 복수의 트랜지스터들 중 상기 외부 입력과 출력의 값에 따라서 전류 누설이 발생하는 트랜지스터들이 선택적으로 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 플립플롭 변환방법.

청구항 4

제3항에 있어서, 상기 제1 반비대칭 플립플롭은 상기 오리지널 플립플롭들 각각을 구성하는 복수개의 트랜지스터들 중 상기 출력 값의 영향을 받는 트랜지스터들이 선택적으로 게이트 길이가 바이어스된 트랜지스터들이고, 상기 제2 반비대칭 플립플롭은 상기 오리지널 플립플롭들 각각을 구성하는 복수개의 트랜지스터들 중 상기 외부 입력 값의 영향을 받는 트랜지스터들이 선택적으로 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 플립플롭 변환방법.

청구항 5

제4항에 있어서, 상기 누설 특성은 상기 외부 입력과 상기 출력의 값에 대한 확률적 누설에 기초하여 계산되는 것을 특징으로 하는 플립플롭 변환방법.

청구항 6

제5항에 있어서, 상기 경로 그래프는 상기 후보 비대칭 플립플롭들 사이의 경로 지연에 대한 정보를 포함하고 있는 것을 특징으로 하는 플립플롭 변환방법.

청구항 7

제6항에 있어서, 상기 경로 그래프를 생성하는 단계는,

상기 오리지널 플립플롭들 각각을 위스트 케이스 플립플롭들로 대체하는 단계;

상기 위스트 케이스 플립플롭들로 대체된 상기 순차 회로에 대하여 정적 타이밍 분석을 수행하는 단계;

상기 정적 타이밍 분석에 의하여 상기 위스트 케이스 플립플롭들의 입력노드와 출력노드의 슬랙의 부호를 결정

하는 단계;

상기 슬랙의 부호에 따라 상기 워스트 케이스 플립플롭들을 제1 내지 제4 클래스로 분류하는 단계;

상기 제1 내지 제4 클래스에 포함되는 상기 워스트 케이스 플립플롭들에서 각각 두개의 플립플롭들 사이의 경로의 존재를 나타내는 복수의 경로 트리들을 생성하는 단계; 및

상기 복수의 경로 트리들을 병합하여 단일의 경로 그래프를 생성하는 단계를 포함하는 것을 특징으로 하는 플립플롭 변환방법.

청구항 8

제7항에 있어서, 상기 워스트 케이스 플립플롭은 상기 오리지널 플립플롭, 상기 제1내지 제4 비대칭 플립플롭들 및 상기 제1 내지 제2 반비대칭 플립플롭들 중 타이밍 특성이 가장 나쁜 가상의 플립플롭인 것을 특징으로 하는 플립플롭 변환 방법.

청구항 9

제8항에 있어서, 상기 입력 단자와 출력 단자의 슬랙의 부호가 모두 음이면 상기 제1 클래스에 속하는 것을 특징으로 하는 플립플롭 변환방법.

청구항 10

제8항에 있어서, 상기 입력 단자의 슬랙의 부호가 음이고, 상기 출력 단자의 슬랙의 부호가 양이면 상기 제2 클래스에 속하는 것을 특징으로 하는 플립플롭 변환방법.

청구항 11

제8항에 있어서, 상기 입력 단자의 슬랙의 부호가 양이고, 상기 출력 단자의 슬랙의 부호가 음이면 상기 제3 클래스에 속하는 것을 특징으로 하는 플립플롭 변환 방법.

청구항 12

제8항에 있어서, 상기 입력 단자와 출력 단자의 슬랙의 부호가 모두 양이면 상기 제4 클래스에 속하는 것을 특징으로 하는 플립플롭 변환 방법.

청구항 13

제1항에 있어서, 상기 타이밍 조건을 위반하는 지연 경로가 없을 때까지 상기 타이밍 분석을 수행하는 단계, 상기 지연 경로의 여부를 판단하는 단계, 상기 후보 비대칭 플립플롭을 발견하는 단계 및 상기 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 반복하는 것을 특징으로 하는 플립플롭 변환 방법.

청구항 14

컴퓨터에 복수의 오리지널 플립플롭들을 포함하는 순차회로의 누설 전류를 줄이기 위한 플립플롭의 변환방법으로서,

상기 복수의 오리지널 플립플롭들 각각을 제1 내지 제4 비대칭 플립플롭들 중 확률적 누설에 기초하여 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체하는 단계; 상기 대체된 비대칭 플립플롭들을 포함하는 순차회로에서 타이밍 조건을 위반하는 비대칭 플립플롭을 찾기 위하여 경로(path) 그래프를 생성하는 단계; 상기 생성된 경로 그래프에 대하여 타이밍 분석을 수행하는 단계; 상기 분석된 타이밍에 기초하여 타이밍 조건을 위반하는 지연 경로의 여부를 판단하는 단계; 상기 지연 경로가 있는 경우 상기 지연 경로상에서 상기 타이밍 조건을 위반하도록 유발하는 후보 비대칭 플립플롭을 발견하는 단계; 및 상기 발견된 후보 비대칭 플립플롭의 타이밍 특성을 계산하여 상기 발견된 후보 비대칭 플립플롭을 상기 오리지널 플립플롭과 상기 제1 내지 제4 비대칭 플립플롭들과 제1 내지 제2 반비대칭 플립플롭들 중 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 순차회로의 누설 전류를 줄이기 위한 방법에 관한 것으로, 보다 상세하게는 누설 전류를 감소시킬 수 있는 플립플롭 변환방법 관한 것이다.
- <19> 디지털 로직 시스템들은, 일반적으로, 조합 또는 순차회로들로 분류된다. 조합 회로는 로직 게이트들로 구성되며, 로직 게이트의 출력들은 현재의 입력 값들에 의하여 직접적으로 결정된다. 조합 회로는 일련의 불 표현들(Boolean expressions)에 의하여 논리적으로 특징지어지는 특정한 정보 처리 동작을 수행한다. 순차 회로들은 로직 게이트들에 추가로 플립플롭이라 불리는 저장 소자들을 사용한다. 저장 소자들의 출력들은 입력들 및 저장 소자들의 상태의 함수이다. 저장 소자들의 상태는 이전 입력들의 함수이다. 결과적으로, 순차 회로의 출력들은 입력들의 현재 값들 뿐만 아니라 과거의 입력들에 따르며, 순차 회로의 동작은 내부 상태들 및 입력들의 시간 순서(timing sequence)에 의해서 특징지어져야 한다.
- <20> VLSI 고정 기술의 발전과 함께 증가하는 누설 전류에 의한 소비는 회로가 동작할 때 필요한 전력 소비보다 더 커지고 있다. 누설 전류를 줄이기 위한 여러 기술들이 제안되고 있고, 그 중 Mixed Vt 기법은 회로가 동작 상태 일 경우나 휴식 상태일 경우 모두 누설 전류를 줄여주는 방법으로 실제 널리 사용되고 있다. 하지만 지금까지 Mixed Vt 기법은 회로의 조합 회로 부분에서 발생하는 누설 전류를 줄이는 데만 초점이 맞춰져 있으며 전체 누설 전류의 상당한 부분을 차지하는 플립플롭에서의 누설 전류를 줄이고자 하는 방법은 없었다.

발명이 이루고자 하는 기술적 과제

- <21> 상기 문제점을 해결하기 위한 본 발명의 목적은 복수개의 플립플롭을 포함하는 순차회로에서 누설 전류를 감소시키고 타이밍 조건을 만족시키는 플립플롭의 변환방법을 제공하는데 있다.

발명의 구성 및 작용

- <22> 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 복수의 오리지널 플립플롭들을 포함하는 순차회로의 누설 전류를 줄이기 위한 플립플롭의 변환방법은 상기 복수의 오리지널 플립플롭들 각각을 제1 내지 제4 비대칭 플립플롭들 중 확률적 누설에 기초하여 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체하는 단계, 상기 대체된 비대칭 플립플롭들을 포함하는 순차회로에서 타이밍 조건을 위반하는 비대칭 플립플롭을 찾기 위하여 경로(path) 그래프를 생성하는 단계, 상기 생성된 경로 그래프에 대하여 타이밍 분석을 수행하는 단계, 상기 분석된 타이밍에 기초하여 타이밍 조건을 위반하는 지연 경로의 여부를 판단하는 단계, 상기 지연 경로가 있는 경우 상기 지연 경로상에서 상기 타이밍 조건을 위반하도록 유발하는 후보 비대칭 플립플롭을 발견하는 단계 및 상기 후보 비대칭 플립플롭의 타이밍 특성을 계산하여 상기 후보 비대칭 플립플롭을 상기 오리지널 플립플롭과 상기 제1 내지 제4 비대칭 플립플롭들과 제1 내지 제2 플립플롭들 중 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 포함한다.
- <23> 실시예에 있어서, 상기 복수의 오리지널 플립플롭들 각각은 외부 입력과 클럭 신호를 인가받고, 출력을 제공하며, 상기 외부 입력과 상기 출력에 대하여 일정한 길이의 게이트를 갖는 복수의 트랜지스터들로 구성될 수 있다.
- <24> 실시예에 있어서, 상기 제1 내지 제4 비대칭 플립플롭들 각각은 상기 오리지널 플립플롭들 각각을 구성하는 복수의 트랜지스터들 중 상기 외부 입력과 출력의 값에 따라서 리키지(leakage) 소스(source)가 되는 트랜지스터들이 선택적으로 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <25> 실시예에 있어서, 상기 제1 반비대칭 플립플롭은 상기 오리지널 플립플롭들 각각을 구성하는 복수개의 트랜지스터들 중 상기 출력 값의 영향을 받는 트랜지스터들이 선택적으로 게이트 길이가 바이어스된 트랜지스터들이고, 상기 제2 반비대칭 플립플롭은 상기 오리지널 플립플롭들 각각을 구성하는 복수개의 트랜지스터들 중 상기 외부 입력 값의 영향을 받는 트랜지스터들이 선택적으로 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <26> 실시예에 있어서, 상기 누설 특성은 상기 외부 입력과 상기 출력의 값에 대한 확률적 누설에 기초하여 계산될 수 있다.

- <27> 실시예에 있어서, 상기 경로 그래프는 상기 후보 비대칭 플립플롭들 사이의 경로 지연에 대한 정보를 포함할 수 있다.
- <28> 실시예에 있어서, 상기 경로 그래프를 생성하는 단계는 상기 오리지널 플립플롭들 각각을 위스트 케이스 플립플롭들로 대체하는 단계, 상기 위스트 케이스 플립플롭들로 대체된 상기 순차 회로에 대하여 정적 타이밍 분석을 수행하는 단계, 상기 정적 타이밍 분석에 의하여 상기 플립플롭들의 입력노드와 출력노드의 슬랙의 부호를 결정하는 단계, 상기 슬랙의 부호에 따라 상기 플립플롭들을 제1 내지 제4 클래스로 분류하는 단계, 상기 제1 내지 제4 클래스에 포함되는 플립플롭들에서 각각 두개의 플립플롭들 사이의 경로의 존재를 나타내는 복수의 경로 트리들을 생성하는 단계 및 상기 복수의 경로 트리들을 병합하여 단일의 경로 그래프를 생성하는 단계를 포함할 수 있다.
- <29> 실시예에 있어서, 상기 위스트 케이스 플립플롭은 상기 오리지널 플립플롭, 상기 제1내지 제4 비대칭 플립플롭들 및 상기 제1 내지 제2 반비대칭 플립플롭들 중 타이밍 특성이 가장 나쁜 가상의 플립플롭일 수 있다.
- <30> 실시예에 있어서, 상기 입력 단자와 출력 단자의 슬랙의 부호가 모두 음이면 상기 제1 클래스에 속한다. 기 입력 단자의 슬랙의 부호가 음이고, 상기 출력 단자의 슬랙의 부호가 양이면 상기 제2 클래스에 속한다. 상기 입력 단자의 슬랙의 부호가 양이고, 상기 출력 단자의 슬랙의 부호가 음이면 상기 제3 클래스에 속한다. 상기 입력 단자와 출력 단자의 슬랙의 부호가 모두 양이면 상기 제4 클래스에 속한다.
- <31> 실시예에 있어서, 상기 타이밍 조건을 위반하는 지연 경로가 없을 때까지 상기 타이밍 분석을 수행하는 단계, 상기 지연 경로의 여부를 판단하는 단계, 상기 후보 비대칭 플립플롭을 발견하는 단계 및 상기 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 반복될 수 있다.
- <32> 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 컴퓨터로 읽을 수 있는 기록 매체는 복수의 오리지널 플립플롭들을 포함하는 순차회로의 누설 전류를 줄이기 위한 플립플롭의 변환방법으로서, 상기 복수의 오리지널 플립플롭들 각각을 제1 내지 제4 비대칭 플립플롭들 중 확률적 누설에 기초하여 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체하는 단계; 상기 대체된 비대칭 플립플롭들을 포함하는 순차회로에서 타이밍 조건을 위반하는 비대칭 플립플롭을 찾기 위하여 경로(path) 그래프를 생성하는 단계; 상기 생성된 경로 그래프에 대하여 타이밍 분석을 수행하는 단계; 상기 분석된 타이밍에 기초하여 타이밍 조건을 위반하는 지연 경로의 여부를 판단하는 단계; 상기 지연 경로가 있는 경우 상기 지연 경로상에서 상기 타이밍 조건을 위반하도록 유발하는 후보 비대칭 플립플롭을 발견하는 단계; 및 상기 후보 비대칭 플립플롭의 타이밍 특성을 계산하여 상기 후보 비대칭 플립플롭을 상기 오리지널 플립플롭과 상기 제1 내지 제4 비대칭 플립플롭들과 제1 내지 제2 플립플롭들 중 더 나은 타이밍 특성을 나타내는 플립플롭으로 대체하는 단계를 실행시키기 위한 프로그램을 기록한다.
- <33> 따라서 본 발명의 일 실시예에 따른 플립플롭은 누설 전류를 감소시키고, 타이밍 조건을 만족시킨다.
- <34> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- <35> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- <36> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <37> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <38> 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서

와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.

- <39> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 구성요소를 나타낸다.
- <40> 도 1은 일반적인 형태의 밀리 타입(Mwaly type)의 순차회로를 나타내는 블록도이다.
- <41> 도 1을 참조하면, 일반적인 형태의 순차회로(100)는 조합 하부 회로(110)와 조합 하부 회로(110)의 출력들을 다시 입력으로 피드백시키는 복수개의 플립플롭들(120, 130)로 구성된다.
- <42> 여기서 우리는 플립플롭의 아이들 상태 확률을 정의한다. 일반적으로 플립플롭의 상태확률은 플립플롭이 하이 레벨에 있을 확률을 말한다. D 플립플롭에서는 입력(D)과 출력(Q)의 확률은 같고, 상태 확률과 동일하다. 하지만 액티브 인터벌 사이의 아이들 인터벌 시퀀스를 고려하면, 입력과 출력의 확률은 서로 다르다.
- <43> 도 2는 도 1의 순차회로의 동작 조건을 나타낸다.
- <44> 도 2에서 아이들 인터벌에서는 클럭 신호가 플립플롭에 입력되지 않는다고 가정한다. 그러면 플립플롭(120)의 출력(Q)은 플립플롭(120)의 입력(D)으로부터 분리되고, 플립플롭(120)의 입력(D)은 출력(Q)의 이전 값의 전파에 의하여 새로운 값을 갖게 된다. 따라서 순차회로(100)가 아이들 인터벌에 들어갈 때의 값이 아이들 인터벌에서의 플립플롭의 상태 확률을 결정한다.
- <45> 도 2에서는 플립플롭(120)의 출력(Q) 값은 항상 1이고, 플립플롭(120)의 입력(D) 값은 항상 0이다. 이 경우에 플립플롭(120)의 아이들 상태 확률은 $p(DQ=10)$ 으로 나타나고 하기의 [수학식 1]과 같이 표현할 수 있다.

수학식 1

- <46> $p(DQ=10)=p(D)(1-p(Q))$
- <47> 여기서 $p(D)$ 는 입력(D)이 아이들 상태에 있을 신호 확률을 나타내고, $p(Q)$ 는 출력(Q)이 아이들 상태에 있을 신호 확률을 나타낸다. 따라서 다른 상태 확률들은 하기의 [수학식 2]와 같이 표현할 수 있다.

수학식 2

- <48> $p(DQ=00)=(1-p(D))(1-p(Q))$
- <49> $p(DQ=01)=(1-p(D))p(Q)$
- <50> $p(DQ=11)=p(D)p(Q)$
- <51> 입력 확률들과 현재의 상태 확률들은 조합 하부 회로(110)를 통하여 전파되고 입력(D)의 다음 상태의 확률 분포를 알 수 있게 된다.
- <52> 게이트 길이 바이어싱(gate-length biasing)은 디바이스들의 게이트 길이를 조금 증가시키는 것이다. 130nm 공정에서는, 게이트 길이를 8nm 증가시키면 누설 전류를 30% 줄일 수 있고, 최소 크기의 인버터의 딜레이가 5% 정도 증가한다고 보고 된다. 이렇게 딜레이가 조금 증가하지만 누설 전류를 상당히 줄일 수 있는 것은 짧은 채널 효과(short channel effect)에 기인한다. 짧은 채널 디바이스들에서는 채널 길이가 감소함에 따라서 문턱 전압(threshold voltage, V_{th})이 감소한다. 다시 말하면, 채널 길이가 증가되면 문턱 전압이 증가하게 된다. 서브쓰레스 홀드(subthreshold) 누설(leakage)은 문턱 전압의 증가에 따라 지수적으로 감소하고, 이 때 게이트 딜레이는 선형적으로 변화한다.
- <53> 도 3은 45nm 프리딕티브(predictive) 모델에서 게이트 길이가 변화할 때 최소 크기의 인버터의 누설 전류와 딜레이를 나타내는 그래프이다.
- <54> 도 3을 참조하면, 게이트 길이를 4nm 정도 증가시키면 누설 전류는 지수적으로 크게 감소하고 딜레이는 선형적으로 증가하는 것을 알 수 있다.
- <55> 도 4는 도 2의 순차회로의 플립플롭들(120, 130)의 구성을 나타내는 회로도이다. 도 4의 플립플롭을 오리지널 플립플롭이라 한다.
- <56> 도 4를 참조하면, 오리지널 플립플롭(200)은 마스터 단(210) 및 슬레이브 단(260)을 포함한다.

- <57> 마스터 단(210)은 클럭 신호(CK)가 하이 레벨에서 로우 레벨로 천이될 때 외부입력(D)을 래치한다. 슬레이브 단(260)은 클럭 신호(CK)가 로우 레벨에서 하이 레벨로 천이될 때, 마스터 단(210)에 래치된 외부입력(D)을 전달 받아 출력(Q)으로 제공한다.
- <58> 마스터 단(220)은 제1 삼상 인버터(220), 제1 인버터(230), 제2 삼상 인버터(240) 및 제3 삼상 인버터(250)를 포함한다.
- <59> 제1 삼상 인버터(220)의 입력 단자에는 외부 입력(D)이 인가된다. 제1 삼상 인버터(220)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M1, M2)과 두 개의 엔모스 트랜지스터들(M3, M4)을 포함한다. 트랜지스터들(M1, M4)의 게이트에는 외부 입력(D)이 인가된다. 트랜지스터(M2)의 게이트에는 클럭 신호(CK)와 동일한 위상을 갖는 제1 펄스 신호(c1k)가 인가되고, 트랜지스터(M3)의 게이트에는 클럭 신호(CK)와 반대 위상을 갖는 제2 펄스 신호(/c1k)가 인가된다.
- <60> 제1 인버터(230)의 입력 단자는 제1 삼상 인버터(220)의 출력 단자에 연결된다. 제1 인버터는 두개의 트랜지스터들(M5, M6)을 포함한다.
- <61> 제2 삼상 인버터(240)의 입력 단자는 제1 인버터(230)의 출력 단자에 연결되고, 제2 삼상 인버터(240)의 출력 단자는 제1 삼상 인버터(220)의 출력 단자와 제1 인버터(230)의 입력 단자에 연결된다. 제2 삼상 인버터(240)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M7, M8)과 두 개의 엔모스 트랜지스터들(M9, M10)을 포함한다. 트랜지스터들(M7, M8)의 게이트는 제1 인버터(230)의 출력과 연결된다. 트랜지스터(M8)의 게이트에는 제2 펄스 신호(/c1k)가 인가되고, 트랜지스터(M9)의 게이트에는 제1 펄스 신호(c1k)가 인가된다.
- <62> 제3 삼상 인버터(250)의 입력 단자는 제1 인버터(230)의 출력 단자와 제2 삼상 인버터(240)의 입력 단자에 연결된다. 제3 삼상 인버터(250)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M11, M12)과 두 개의 엔모스 트랜지스터들(M13, M14)을 포함한다. 트랜지스터들(M11, M14)의 게이트는 제1 인버터(230)의 출력과 연결된다. 트랜지스터(M12)의 게이트에는 제1 펄스 신호(c1k)가 인가되고, 트랜지스터(M13)의 게이트에는 제2 펄스 신호(/c1k)가 인가된다.
- <63> 슬레이브 단(260)은 제4 삼상 인버터(270), 제2 인버터(280) 및 제3 인버터(290)를 포함한다.
- <64> 제4 삼상 인버터(270)의 출력 단자는 제3 삼상 인버터(250)의 출력 단자에 연결된다. 제4 삼상 인버터(270)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M15, M16)과 두 개의 엔모스 트랜지스터들(M17, M18)을 포함한다. 트랜지스터들(M15, M18)의 게이트는 제2 인버터(230)의 출력과 연결된다. 트랜지스터(M16)의 게이트에는 제1 펄스 신호(c1k)가 인가되고, 트랜지스터(M17)의 게이트에는 제2 펄스 신호(/c1k)가 인가된다.
- <65> 제2 인버터(280)의 입력 단자는 제3 삼상 인버터(250)의 출력 단자 및 제3 인버터(290)의 입력 단자에 연결된다. 제2 인버터(280)는 두 개의 트랜지스터들(M19, M20)을 포함한다.
- <66> 제3 인버터(290)의 출력 단자에서는 출력(Q)을 제공한다. 제3 인버터(290)는 두 개의 트랜지스터들(M21, M22)을 포함한다.
- <67> 도 5는 도4의 트랜지스터들에 인가되는 펄스 신호들을 생성하는 펄스 신호 생성기를 나타내는 회로도이다.
- <68> 도 5를 참조하면, 펄스 신호 생성기(300)는 클럭 신호(CK)를 인가받는 제1 인버터(310)와 제1 인버터(310)에 캐스캐이드 연결된 제2 인버터(320)를 포함한다. 펄스 신호 생성기(300)는 각각 클럭 신호(CK)와 동위상을 가지는 제1 펄스 신호(c1k)와 반대위상을 가지는 제2 펄스 신호(/c1k)를 생성한다.
- <69> 이하 도 4 및 도 5를 참조하여 도 4의 오리지널 플립플롭(200)에서 누설 전류를 줄이기 위한 비대칭 플립플롭(skewed flipflop)을 도출하는 것을 설명한다.
- <70> 외부 입력(D) 값에 따라 마스터 단(210)에서 턴 오프되는 트랜지스터들이 전류 누설의 원천(leakage source)이 된다. 마찬가지로 출력(Q) 값에 따라 슬레이브 단(260)에서 턴 오프 되는 트랜지스터들이 전류 누설의 원천이 된다.
- <71> 예를 들어, 외부 입력(D)이 로우 레벨(0) 일 때, 마스터 단(210)에서 턴 오프 되는 트랜지스터들은 트랜지스터들(M4, M9, M10, M14)이다. 이 트랜지스터들을 D0 그룹이라 한다. 외부 입력(D)이 하이 레벨(1)일 때, 마스터 단(210)에서는 트랜지스터들(M1, M6, M7, M11)이 턴 오프된다. 이 트랜지스터들을 D1 그룹이라 한다. 또한 출

력(Q)이 로우 레벨(0)일 때 슬레이브 단(260)에서는 트랜지스터들(M18, M19, M20)이 턴 오프 된다. 이 트랜지스터들을 Q0 그룹이라 한다. 출력(Q)이 하이 레벨(1)일 때, 슬레이브 단(260)에서는 트랜지스터들(M15, M20, M22)이 턴 오프 된다. 이 트랜지스터들을 Q1 그룹이라 한다. 이와 같이 주어진 입력(D)과 출력(Q)에 대하여 누설의 원천이 되는 트랜지스터들을 그룹화한다. 그리고 주어진 입력(D)과 출력(Q)에 대하여 이 트랜지스터들의 게이트 길이를 일정부분 증가시키면 플립플롭에서 누설되는 전류를 상당 부분 감소시킬 수 있다.

- <72> 이제 펄스 신호가 인가되는 트랜지스터들을 살펴보자.
- <73> 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 제3 삼상 인버터(250)를 구성하는 트랜지스터들(M12, M13)은 턴 오프 되므로 제3 삼상 인버터(250)의 입력은 제3 삼상 인버터(250)의 출력으로 전달되지 않는다. 따라서 플립플롭(200)은 아이들 상태에 있다고 할 수 있다. 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 트랜지스터들(M2, M3, M16, M17)은 턴 온 되므로, 트랜지스터들을 누설의 원천이 되지 않는다. 따라서 이 트랜지스터들(M2, M3, M16, M17)의 게이트 길이는 증가시킬 필요가 없다. 이 때 플립플롭(200)은 입력을 출력으로 전달하지 않으므로 아이들 상태에 있다고 할 수 있다. 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 트랜지스터들(M8, M9)은 턴 오프 된다. 하지만 삼상 인버터의 전류 누설은 상당히 작으므로 트랜지스터들(M8, M9)의 게이트 길이를 증가시키지 않아도 된다. 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 트랜지스터들(M12, M13)이 턴 오프 되지만, 외부 입력(D)과 출력(Q)이 서로 같을 때는 트랜지스터들(M12, M13)을 통한 누설 전류는 무시할 수 있는 정도이다. 왜냐하면 이 경우에 제3 삼상 인버터(250)의 입력과 출력은 서로 다르기 때문이다.
- <74> 문제는 제1 펄스신호(c1k)가 로우 레벨(0)이고 제3 삼상 인버터(250)의 입력과 출력이 서로 같은 경우이다. 외부 입력(D)이 로우 레벨이고 출력(Q)이 하이레벨 일 때, 제3 삼상 인버터(250)의 입력과 출력이 모두 로우 레벨이다. 이 경우에 트랜지스터들(M13, M14)은 턴 오프 되므로 트랜지스터들(M13, M14)을 통한 누설 전류는 무시할 수 있는 정도이다. 하지만, 트랜지스터(M12)는 전원 전압(VDD)과 출력 사이에 연결되어 있고 트랜지스터(M11)가 턴 온 되므로, 트랜지스터(M12)가 누설의 원천이 된다. 따라서 외부 입력(D)이 로우 레벨이고 출력(Q)이 하이레벨 일 때는 D0 그룹과 Q1 그룹과 트랜지스터(M11)의 게이트 길이를 증가시켜야 한다.
- <75> 마찬가지로 외부 입력(D)이 하이 레벨이고, 출력(Q)이 로우 레벨일 때는 D1 그룹과 Q0 그룹과 트랜지스터(M13)의 게이트 길이를 증가시켜야 한다.
- <76> 도 6은 도 4의 오리지널 플립플롭에서 주어진 외부 입력(D)과 출력(Q)에 따라서 게이트 길이가 증가되는(gate-length 바이어스된) 트랜지스터들을 나타내는 표이다.
- <77> 도 6을 참조하면, SF00은 외부 입력(D)이 0이고 출력(Q)이 0일 때 게이트 길이가 증가된 트랜지스터들을 나타낸다. 이 때 다른 트랜지스터들의 게이트 길이에는 변화가 없다.
- <78> 도 6에 나타나듯이 도 4의 오리지널 플립플롭(200)으로부터 모두 4 가지의 비대칭 플립플롭을 구현할 수 있다.
- <79> 도 7a 내지 7d는 도 6의 네 가지 비대칭 플립플롭들과 도 4의 트랜지스터들의 게이트 길이가 증가되지 않았을 때의 플립플롭의 누설 전류를 나타내는 그래프이다.
- <80> 도 7a 내지 7d에서 게이트 길이가 증가되지 않은 트랜지스터들로 구현된 오리지널 플립플롭은 Orig.로 표현되었다. 도 7a 내지 도 7d를 살펴보면 오리지날 플립플롭에 비하여 비대칭 플립플롭들의 누설 전류가 상당히 감소하였음을 알 수 있다. 45nm 프리딕티브 공정으로 구현하였을 경우에 오리지날 플립플롭의 누설 전류가 1uA였으나, SF10에서는 누설 전류가 오리지날 플립플롭의 경우보다 44% 감소되었고, SF11에서는 51% 감소되었다.
- <81> 하지만 문제는 이러한 비대칭 플립플롭들을 사용하면 누설 전류는 감소시킬 수 있으나 타이밍 파라미터가 악화될 수 있다.
- <82> 도 8은 네가지 비대칭 플립플롭들과 오리지날 플립플롭의 타이밍 파라미터를 나타내는 표이다. 도 8은 클럭 신호(CK)가 로직 로우일 때, 턴 오프되는 트랜지스터들(M24, M25)의 게이트 길이를 증가시킨 경우의 타이밍 페러미터를 나타낸다. 도 8에서 Tsu는 플립플롭의 셋업 타임을 나타내고, Tc-q는 플립플롭의 클럭 투 큐 딜레이를 나타낸다.
- <83> 도 8을 참조하면, 비대칭 플립플롭들은 비대칭적인 타이밍 동작을 나타낸다. 예를 들어, SF00의 경우에, 라이징 셋업 타임은 오리지날 플립플롭에 비하여 약 2ps 증가하였으나, 폴링 셋 업 타임은 약 3ps 감소하였다. 또한 라이징 클럭 투 큐 딜레이는 약 6ps 증가하였으나, 폴링 클럭 투 큐 딜레이는 약 2ps 감소하였다.

- <84> 도 9는 본 발명의 일 실시예에 따른 복수의 오리지널 플립플롭들을 포함하는 순차회로의 누설 전류를 줄이기 위한 플립플롭의 변환방법을 나타내는 플로우 차트이다.
- <85> 이하 도 2, 도 4, 도 6, 도 9a, 도 9b 및 도 10을 참조하여 본 발명의 일 실시예에 따른 플립플롭의 변환방법을 설명한다.
- <86> 먼저 도 2의 순차회로에 포함되는 도 4의 구성을 갖는 오리지널 플립플롭(120, 130)들 각각을 확률적 누설에 기초하여 도 6의 제1 내지 제4 비대칭 플립플롭들(SF00, SF01, SF10, SF11) 중 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체한다(S510). 여기서 확률적 누설은 다음의 [수학식 3]에 의하여 계산될 수 있다.

수학식 3

<87>
$$L = (1-p(D))(1-p(Q))L00 + (1-p(D))p(Q)L01$$

<88>
$$+ p(D)(1-p(Q))L10 + p(D)p(Q)L11$$

- <89> 여기서 L_{ij} 는 외부입력(D)이 로직 i에 있고, 출력(Q)이 로직 j에 있을 때 확률적 누설을 나타낸다. 또한 (D)는 입력(D)이 아이들 상태에 있을 신호 확률을 나타내고, p(Q)는 출력(Q)이 아이들 상태에 있을 신호 확률을 나타낸다. 상기의 [수학식 3]에 의하여 도 2의 오리지널 플립플롭들(120, 130) 각각이 비대칭 플립플롭들로 대체되었을 때 가장 적은 누설 특성을 나타내는 비대칭 플립플롭으로 대체한다.
- <90> 단계(S510)에서와 같이 오리지널 플립플롭들을 비대칭 플립플롭들로 교체하면 순차회로의 누설 전류와 타이밍 특성을 급격한 변화를 일으킨다. 이러한 급격한 변화를 방지하기 위하여 반비대칭 플립플롭을 도입한다.
- <91> 도 10은 도 4의 오리지널 플립플롭에서 게이트 길이가 증가된 트랜지스터들을 포함하는 반비대칭 플립플롭들을 나타내는 표이다.
- <92> 도 10을 참조하면 반비대칭 플립플롭은 제1 반비대칭 플립플롭(HSF0)과 제2 반비대칭 플립플롭(HSF1) 2가지로 구현될 수 있다. 제1 반비대칭 플립플롭(HSF0)은 도 4의 오리지널 플립플롭(200)에서 출력(Q)의 영향을 받는 트랜지스터들(M15, M18, M19, M20, M21, M22)이 게이트 길이가 증가된 트랜지스터들이다. 제2 반비대칭 플립플롭(HSF1)은 도 4의 오리지널 플립플롭에서 외부입력(D)의 영향을 받는 트랜지스터들(M1, M4, M5, M6)이 게이트 길이가 증가된 트랜지스터들이다.
- <93> 도 11a와 도 11b는 오리지널 플립플롭(200)과 제1 반비대칭 플립플롭(HSF0)과 제2 반비대칭 플립플롭(HSF1)의 타이밍 파라미터와 누설 전류를 나타내는 그래프이다.
- <94> 도 11a와 도 11b를 참조하면, 제1 제1 반비대칭 플립플롭(HSF0)은 오리지널 플립플롭과 비교하여 볼 때 라이징 셋업 타임과 폴링 셋업 타임에서 변화가 없고, 제2 반비대칭 플립플롭(HSF1)은 오리지널 플립플롭과 비교하여 볼 때, 라이징 클럭 투 큐 딜레이와 폴링 클럭 투 큐 딜레이에서 변화가 없음을 알 수 있다. 즉 제1 및 제2 반비대칭 플립플롭들은 도 10b에서 나타난 바와 같이 누설 전류를 감소시키는데는 큰 역할을 하지 않지만 셋업 타임과 클럭 투 큐 딜레이를 일정하게 유지할 수 있음을 알 수 있다.
- <95> 타이밍 조건을 위반하는 비대칭 플립플롭을 찾기 위하여 경로 그래프(path graph)가 생성된다(S520). 경로 그래프는 타이밍 조건을 위반하는 플립플롭들 사이의 경로 지연에 대한 정보를 포함하고 있다. 도 12는 도 9의 경로 그래프를 생성하는 단계의 세부 단계를 나타내는 플로우 차트이다.
- <96> 도 12를 참조하면, 경로 그래프를 생성하는 위하여 먼저 오리지널 플립플롭들(120, 130)을 워스트 케이스(worst case) 플립플롭(WCFF)으로 대체한다(S610). 워스트 케이스(worst case) 플립플롭은 도 4의 오리지널 플립플롭 도 6의 비대칭 플립플롭들 도 10의 반비대칭 플립플롭들 중 가장 나쁜 타이밍 특성을 나타내는 가상의 플립플롭이다.
- <97> 도 13은 워스트 케이스 플립플롭의 타이밍 특성을 나타내는 표이다. 이러한 워스트 케이스 플립플롭은 가상의 플립플롭이기 때문에 타이밍 조건을 위반하는 플립플롭을 발견하는데만 사용된다. 워스트 케이스 플립플롭으로 대체된 순차회로에 대하여 타이밍 분석을 수행한다(S620). 타이밍 분석을 수행하면 플립플롭들의 입력노드와 출력 노드의 슬랙의 부호를 결정한다(S630). 이 슬랙의 부호에 따라서 워스트 케이스 플립플롭들을 제1 내지 제4 클래스로 분류한다(S640). 그리고 나서 제1 내지 제4 클래스에 포함되는 플립플롭들에서 각각 두 개의 플립플롭들 사이의 경로의 존재를 나타내는 복수의 경로 트리들을 생성한다(S650). 이 경로트리들을 병합하여 단일의 경로 그래프를 생성한다(S660).

- <98> 도 14는 슬랙의 부호에 따라 결정된 제1 내지 제4 클래스를 나타내는 표이다.
- <99> 도 14를 참조하면, 슬랙의 부호가 모두 음이면 제1 클래스에 해당하고, 슬랙의 부호가 음과 양이면 제2 클래스에 해당하고, 슬랙의 부호가 양과 음이면 제3 클래스에 해당하고, 슬랙의 부호가 모두 양이면 제4 클래스에 해당하는 것을 알 수 있다. 슬랙의 부호가 음인 제1내지 제3 클래스에 해당하는 플립플롭들은 타이밍 조건을 위반할 수 있다. 제1 클래스에 해당하는 플립플롭들은 지연 경로의 양쪽 끝에 위치하고, 제2 클래스에 해당하는 플립플롭들은 지연 경로의 앞쪽에 위치하고, 제3 클래스에 해당하는 플립플롭들은 지연 경로의 뒤쪽에 위치한다. 제4 클래스에 해당하는 플립플롭들은 지연을 유발하지 않는다. 따라서 제3 클래스에 해당하는 플립플롭들을 제1 반비대칭 플립플롭으로 교체하면 타이밍 조건을 만족시킬 수 있고, 제2 클래스에 해당하는 플립플롭들을 제2 반비대칭 플립플롭으로 교체하면 타이밍 조건을 만족시킬 수 있다. 제1 클래스에 해당하는 플립플롭들로 인한 타이밍 조건의 위반은 오리지널 플립플롭으로 대체하여 만족시킬 수 있다.
- <100> 도 15a, 도 15b, 및 도 15c는 두 개의 플립플롭들 사이의 경로의 존재를 나타내는 경로 트리의 예를 나타내는 도면이다.
- <101> 도 15a 도 15b 및 도 15c에서 각 노드는 플립플롭을 나타내고, 화살표는 플립플롭들 간의 신호 경로가 존재하는 것을 나타낸다. 화살표의 방향은 경로의 방향을 나타낸다. 위에서 설명한 바와 같이 제1 클래스와 제2 클래스에 해당하는 플립플롭들은 경로의 끝에서만 타이밍 조건을 위반시킬 수 있기 때문에, 루트 노드에 제3 및 제4 클래스에 해당하는 플립플롭을 갖는 경우는 경로 트리를 만들 필요가 없다. 또한 경로의 앞 쪽에 위치하는 제3 및 제4 클래스에 해당하는 플립플롭들도 타이밍 조건을 위반할 수 없기 때문에 이를 경로 트리에서 제거해도 된다. 이러한 과정들을 통하여 경로 트리를 병합하여 단일의 경로 그래프를 생성한다.
- <102> 도 16은 도 15a, 도 15b 및 도 15c의 경로 트리를 병합하여 생성한 경로 그래프를 나타낸다.
- <103> 도 16을 참조하면, 화살표가 들어오기만 하는 노드는 제2 클래스에 속하고, 화살표가 나가기만 하는 노드는 제3 클래스에 속하고, 들어오고 나가는 화살표 모두를 갖는 노드는 제1 클래스에 속하는 것을 알 수 있다.
- <104> 다시 도 9를 참조하면, 생성된 경로 그래프에 대하여 타이밍 분석을 수행한다(S530). 분석된 타이밍에 기초하여 타이밍 조건을 위반하는 지연 경로가 있는지 없는지를 판단한다(S540). 이 판단에 의하여 지연 경로가 없으면 종료하고, 지연 경로가 존재하면 지연 경로상에서 타이밍 조건을 위반하도록 유발하는 후보 비대칭 플립플롭을 발견해 낸다(S550). 후보 비대칭 플립플롭의 타이밍 특성을 계산하여 오리지널 플립플롭과 다른 세 개의 비대칭 플립플롭들과 2 개의 반비대칭 플립플롭들 중에서 더 나은 타이밍 특성을 나타내는 플립플롭으로 후보 비대칭 플립플롭을 대체한다(S560). 이러한 과정들(S530 내지 S570)은 타이밍 조건을 위반하는 지연 경로가 없을 때까지 반복된다.
- <105> 이러한 과정은 도 17a 및 도 17b의 알고리즘에 의하여 수행될 수 있다.
- <106> 본 발명의 일 실시예에 의한 플립플롭 변환방법은 컴퓨터로 읽을 수 있는 기록 매체에 프로그램 형태로 저장될 수 있다.

발명의 효과

- <107> 상술한 바와 같이, 본 발명의 실시예에 따른 플립플롭 변환 방법은 순차회로의 누설 전류를 줄이고 동시에 타이밍 조건도 만족시킬 수 있다.
- <108> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

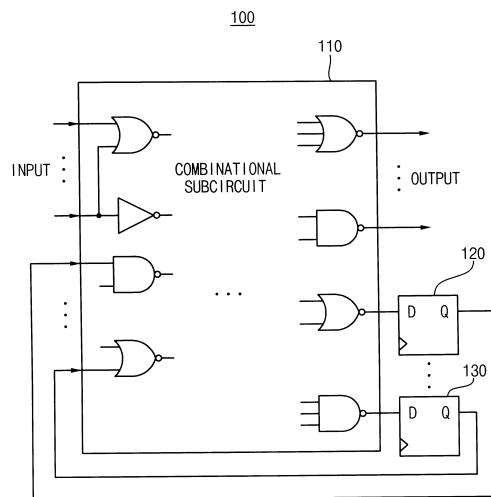
도면의 간단한 설명

- <1> 도 1은 일반적인 형태의 밀리 타입(Mwaly type)의 순차회로를 나타내는 블록도이다.
- <2> 도 2는 도 1의 순차회로의 동작 조건을 나타낸다.
- <3> 도 3은 45nm 프리딕티브(predictive) 모델에서 게이트 길이가 변화할 때 최소 크기의 인버터의 누설 전류와 딜레이를 나타내는 그래프이다.
- <4> 도 4는 도 2의 순차회로의 플립플롭들의 구성을 나타내는 회로도이다.

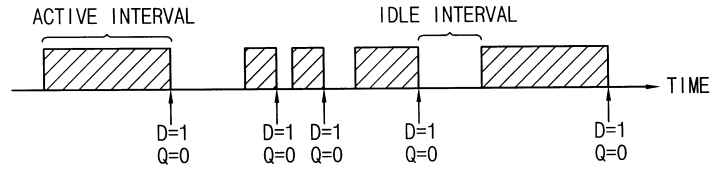
- <5> 도 5는 도4의 트랜지스터들에 인가되는 펄스 신호들을 생성하는 펄스 신호 생성기를 나타내는 회로도이다.
- <6> 도 6은 도 4의 비대칭 플립플롭에서 주어진 외부 입력(D)과 출력(Q)에 따라서 게이트 길이가 증가되는(gate-length 바이어스된) 트랜지스터들을 나타내는 표이다.
- <7> 도 7a 내지 7d는 도 6의 네 가지 비대칭 플립플롭들과 도 4의 트랜지스터들의 게이트 길이가 증가되지 않았을 때의 플립플롭의 누설 전류를 나타내는 그래프이다.
- <8> 도 8은 네 가지 비대칭 플립플롭들과 오리지널 플립플롭의 타이밍 파라미터를 나타내는 표이다.
- <9> 도 9는 본 발명의 일 실시예에 따른 복수의 오리지널 플립플롭들을 포함하는 순차회로의 누설 전류를 줄이기 위한 플립플롭의 변환방법을 나타내는 플로우 차트이다.
- <10> 도 10은 도 4의 오리지널 플립플롭에서 게이트 길이가 증가된 트랜지스터들을 포함하는 반비대칭 플립플롭들을 나타내는 표이다.
- <11> 도 11a와 도 11b는 오리지널 플립플롭과 제1 반비대칭 플립플롭(HSF0)과 제2 반비대칭 플립플롭(HSF1)의 타이밍 파라미터와 누설 전류를 나타내는 그래프이다.
- <12> 도 12는 도 9의 경로 그래프를 생성하는 단계의 세부 단계를 나타내는 플로우 차트이다.
- <13> 도 13은 위스트 케이스 플립플롭의 타이밍 특성을 나타내는 표이다.
- <14> 도 14는 슬랙의 부호에 따라 결정된 제1 내지 제4 클래스를 나타내는 표이다.
- <15> 도 15a, 도 15b, 및 도 15c는 두 개의 플립플롭들 사이의 경로의 존재를 나타내는 경로 트리의 예를 나타내는 도면이다.
- <16> 도 16은 도 15a, 도 15b 및 도 15c의 경로 트리를 병합하여 생성한 경로 그래프를 나타낸다.
- <17> 도 17a 및 도 17b는 본 발명의 플립플롭 변환 방법을 실행할 수 있는 알고리즘을 나타낸다.

도면

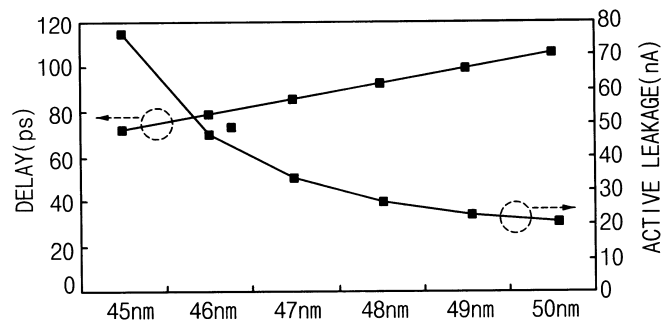
도면1



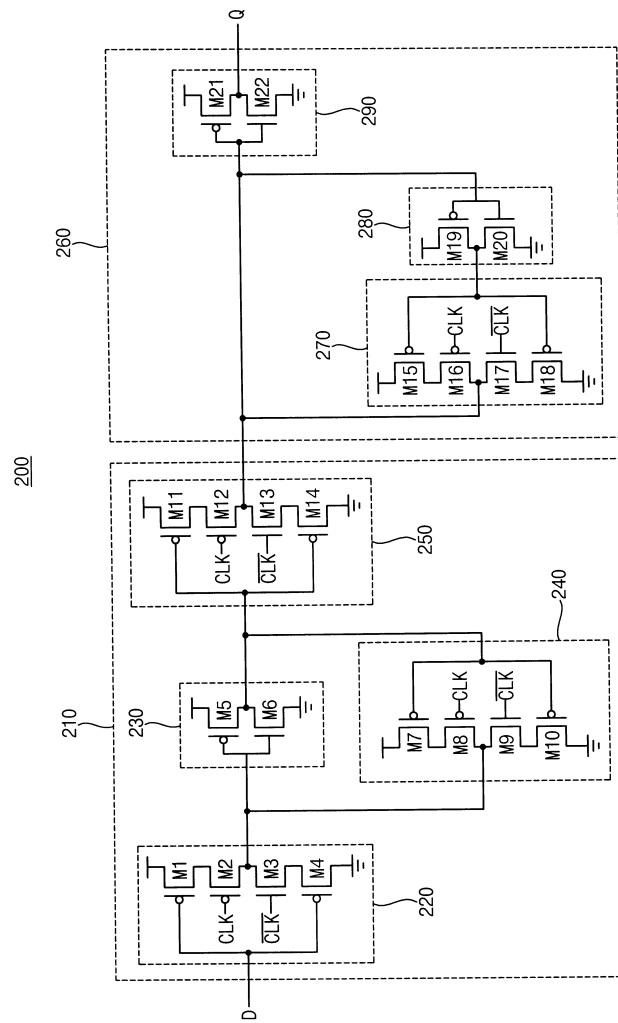
도면2



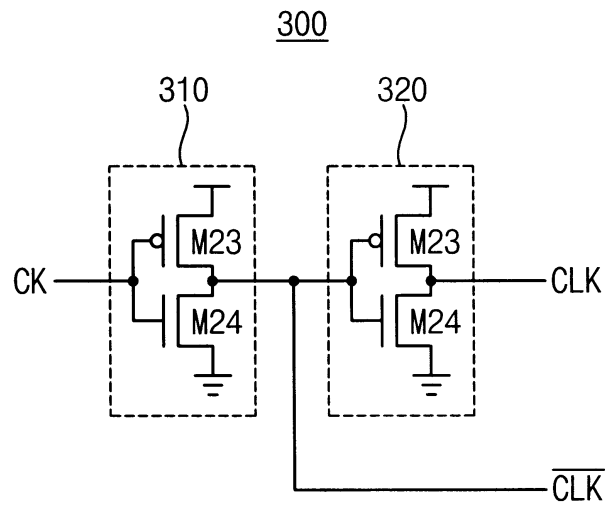
도면3



도면4



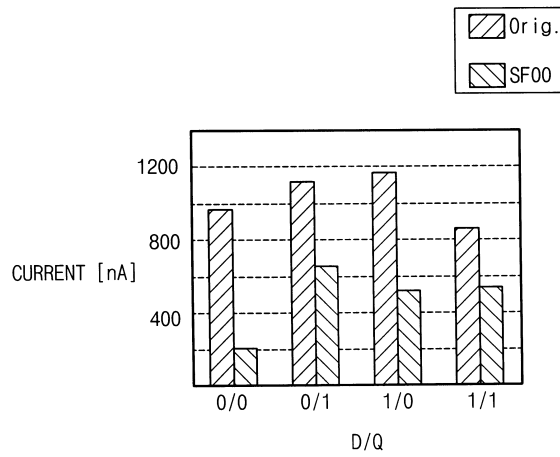
도면5



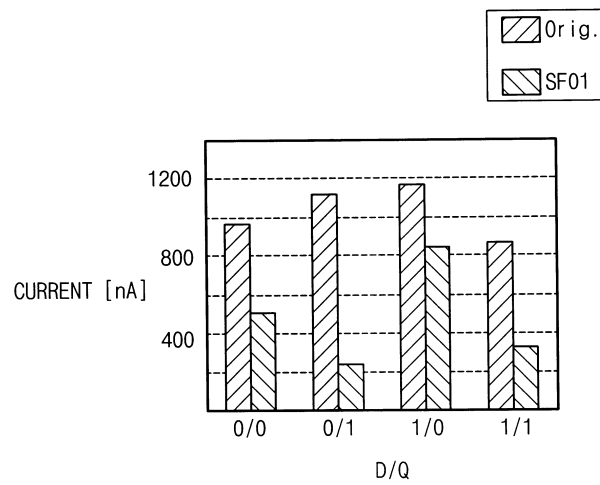
도면6

SFFs	TRs
SF00	M4, M5, M10, M14, M18, M19, M21
SF01	M4, M5, M10, M12, M14, M15, M20, M22
SF10	M1, M6, M7, M11, M13, M18, M20, M21
SF11	M1, M6, M7, M11, M18, M20, M22

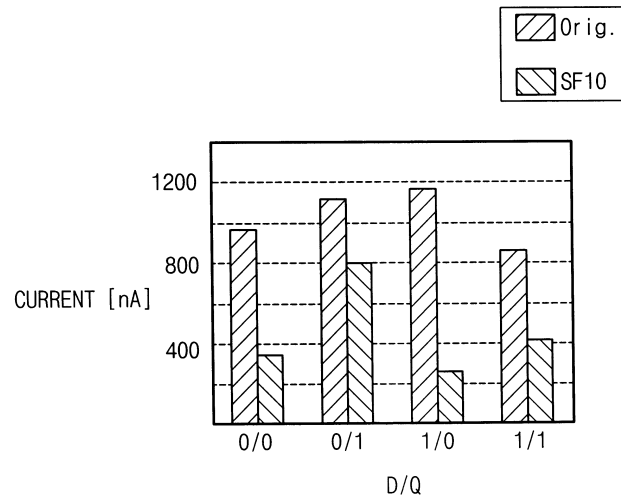
도면7a



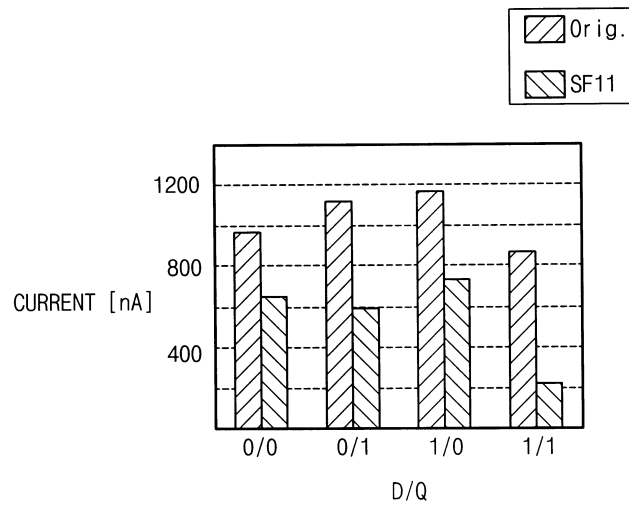
도면7b



도면7c



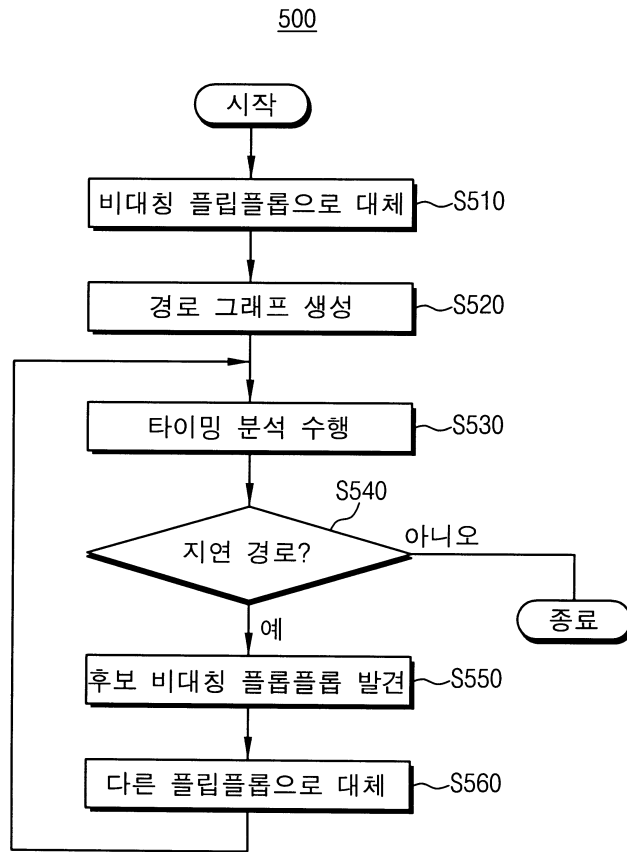
도면7d



도면8

SF00	DELAY [ps]			
	RISING T _{su}	FALLING T _{su}	RISING T _{c-q}	FALLING T _{c-q}
ORIG	17.0	14.6	28.2	28.4
SF00	19.3	11.2	34.2	30.0
SF01	19.2	11.2	31.9	35.0
SF10	15.9	17.2	35.5	29.9
SF11	15.9	17.3	32.4	31.9

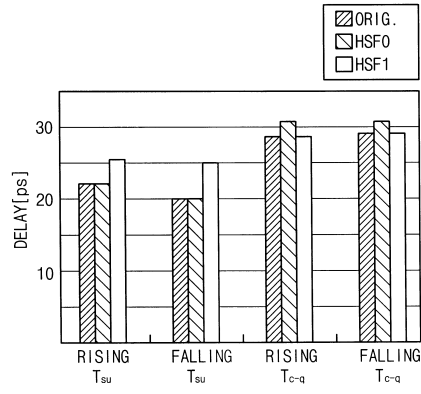
도면9



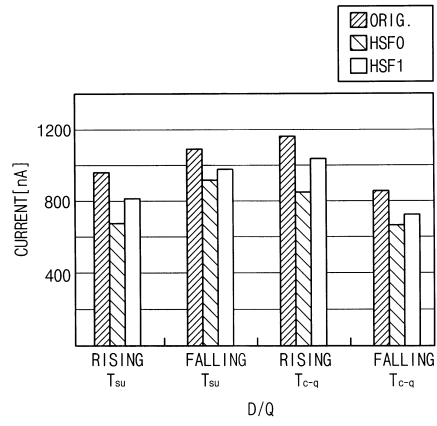
도면10

HSFs	TRs
HSF0	M15, M18, M19, M20, M21, M22
HSF1	M1, M4, M5, M6

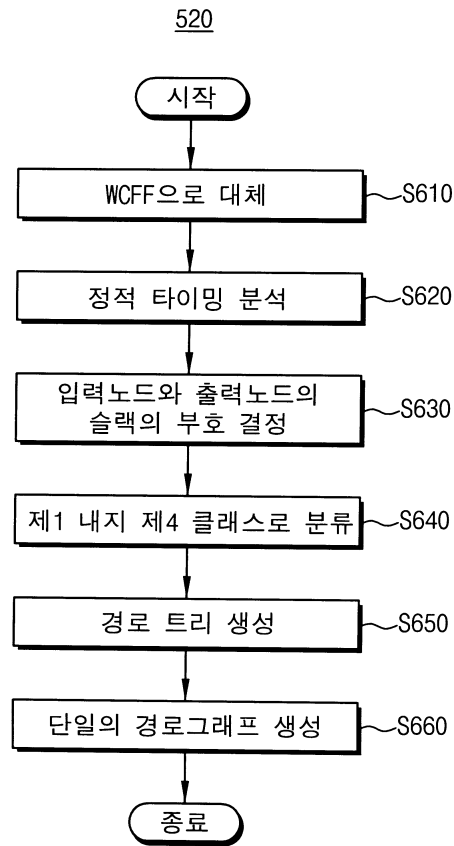
도면11a



도면11b



도면12



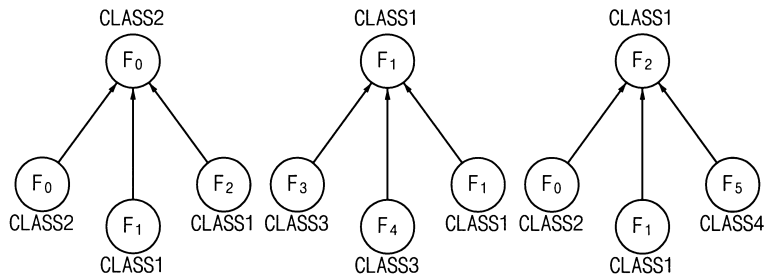
도면13

FF	DELAY[ps]			
	RISING T _{SU}	FALLING T _{SU}	RISING T _{SU}	FALLING T _{SU}
WCFF	20.0	19.7	35.5	35.0

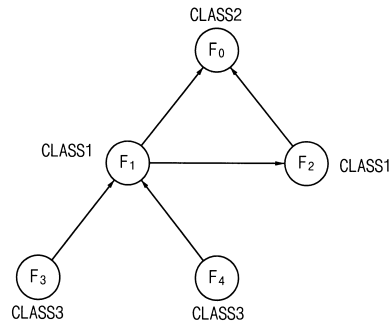
도면14

	입력노드 슬립<0	입력노드 슬립>0
출력노드 슬립<0	CLASS1	CLASS3
출력노드 슬립>0	CLASS2	CLASS4

도면15



도면16



도면17a

```

SEX :
L1  po = critical path
L2  if (slack (po) < 0) {
L3      Fl = flip-flop at the leading end of po
L4      Ft = flip-flop at the trailing end of po
L5      if (Fl = ∅) candidate = FIND_CANDIDATE (po, Ft, trail)
L6      else if (Ft = ∅) candidate = FIND_CANDIDATE (po, Fl, lead)
L7      else candidate = FIND_CANDIDATE (po, Fl, trail)
                          + FIND_CANDIDATE (po, Ft, lead)
L8      if (all slacks of candidate < 0)
L9          SUBSTITUTE0 (candidate, Fl, Ft)
          else
L10         SUBSTITUTE1 (candidate, Fl, Ft)
L11     go to L1
    }
    else return
}

FIND_CANDIDATE (p, F, end) :
L12 candidate = { }
L13 SF = {SE0, SF0l, SF10, SF1l, HSF0, HSF1, Orig.}
L14 for (E = one of flip-flop in SF) {
L15     δi = slack (p) of SEi
L16     if (δi > 0) add ((SEi, δi, end)) to candidate
    }
L17 if (candidate = ∅)
L18     add ((SEi which has max δi, δi, end)) to candidate
    return candidate
}

SUBSTITUTE0 (candidate, Fl, Ft) :
L19 selected = flip-flop which has max δi in candidate
L20 if (end of selected = lead) Fl = selected
L21 if (end of selected = trail) Ft = selected
    return
}
    
```

도면17b

```

SUBSTITUTE1 (candidate, Fl, Ft) :
L22 for (Ei = one of flip-flop in candidate) {
L23     bi = benefit of Ei
    }
L24 selected = flip-flop which has max bi in candidate
L25 if (end of selected = lead) Fl = selected
L26 if (end of selected = trail) Ft = selected
    return
}
    
```