



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월20일
(11) 등록번호 10-0879509
(24) 등록일자 2009년01월13일

(51) Int. Cl.⁹

H03K 3/356 (2006.01)

(21) 출원번호 10-2007-0030773
(22) 출원일자 2007년03월29일
심사청구일자 2007년03월29일
(65) 공개번호 10-2008-0088189
(43) 공개일자 2008년10월02일
(56) 선행기술조사문헌
JP16134830 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

신영수

대전 유성구 도룡동 383-2 과기원교수아파트 2동 501호

서문준

서울 영등포구 신길3동 건영아파트 라동 801호

(74) 대리인

박영우

전체 청구항 수 : 총 11 항

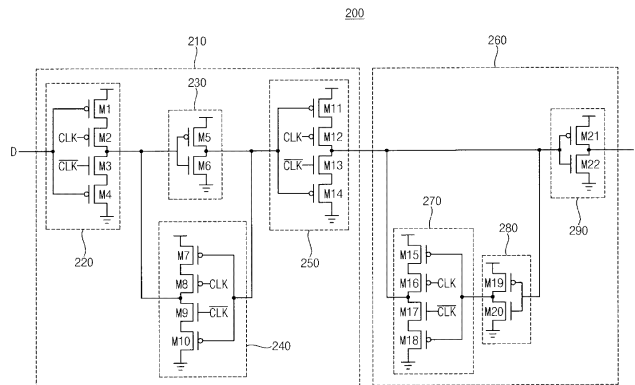
심사관 : 이백수

(54) 누설 전류를 감소시키는 비대칭 플립플롭

(57) 요약

누설 전류를 감소시킬 수 있는 비대칭 플립플롭이 개시된다. 비대칭 플립플롭은 마스터 단 및 슬레이브 단을 포함한다. 마스터 단은 클럭 신호가 하이 레벨일 때, 입력 데이터를 래치한다. 슬레이브 단은 클럭 신호가 로우 레벨일 때, 마스터 단에 래치되어 있던 입력 데이터를 전달 받아 출력으로 제공한다. 마스터 단은, 입력 데이터 값에 따라 게이트 길이가 바이어스(gate-length bias)된 트랜지스터들을 선택적으로 구비하는 1군의 인버터들을 포함하고, 슬레이브 단은 상기 출력 값에 따라 게이트 길이가 바이어스된 트랜지스터들을 선택적으로 구비하는 제2군의 인버터들을 포함한다.

대표도



특허청구의 범위

청구항 1

클럭 신호가 제1 레벨일 때, 입력 데이터를 래치하는 마스터 단; 및

상기 클럭 신호가 제2 레벨일 때, 상기 마스터 단에 래치된 입력 데이터를 전달 받아 출력으로 제공하는 슬레이브 단을 포함하며,

상기 마스터 단은, 상기 입력 데이터 값에 따라 게이트 길이가 바이어스(gate-length bias)된 트랜지스터들을 선택적으로 구비하는 1군의 인버터들을 포함하고,

상기 슬레이브 단은 상기 출력 값에 따라 게이트 길이가 바이어스된 트랜지스터들을 선택적으로 구비하는 제2군의 인버터들을 포함하며,

상기 마스터 단은,

상기 입력 데이터를 인가받는 입력 단자를 구비하는 제1 삼상(tri-state) 인버터;

상기 제1 삼상 인버터의 출력 단자에 연결된 입력 단자를 구비하는 제1 인버터;

상기 제1 인버터의 출력 단자에 연결되는 입력단자와 상기 제1 삼상 인버터의 출력단자에 연결되는 출력단자를 구비하는 제2 삼상 인버터; 및

상기 제1 인버터의 출력 단자에 연결되는 입력단자와 상기 슬레이브 단에 연결되는 출력 단자를 구비하는 제3 삼상 인버터를 포함하는 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭(flip-flop).

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 슬레이브 단은,

상기 제3 삼상 인버터의 출력 단자와 연결된 입력단자, 및 상기 출력을 제공하는 출력단자를 구비하는 제2 인버터;

상기 제2 인버터의 입력 단자에 연결되는 입력단자를 구비하는 제3 인버터; 및

상기 제3 인버터의 출력 단자에 연결되는 입력단자 및 상기 제3 삼상 인버터의 출력단자에 연결되는 출력 단자를 구비하는 제4 삼상 인버터를 포함하는 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 4

제3항에 있어서, 상기 제1 삼상 인버터는,

전원 전압과 접지 전압 사이에 순차적으로 캐스코드 연결된,

게이트에 상기 입력 데이터를 인가받는 제1 피모스 트랜지스터, 소스는 상기 제1 피모스 트랜지스터의 드레인에 연결되고, 게이트에 상기 클럭 신호에 동기되고 상기 클럭 신호와 동일한 위상을 갖는 제1 펄스 신호를 인가받는 제2 피모스 트랜지스터, 드레인이 상기 제2 피모스 트랜지스터의 드레인에 연결되고 게이트에 상기 클럭 신호와 반대의 위상을 갖는 제2 펄스 신호를 인가받는 제1 엔모스 트랜지스터 및 드레인이 상기 제1 엔모스 트랜지스터의 소스에 연결되고 게이트에 상기 입력을 인가받는 제2 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 5

제4항에 있어서, 상기 제1 인버터는 제3 피모스 트랜지스터 및 제3 엔모스 트랜지스터를 포함하고,

상기 제2 삼상 인버터는,

상기 전원 전압과 상기 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트가 상기 제1 인버터의 출력 단자에 연결된 제4 피모스 트랜지스터, 게이트에 상기 제2 펄스 신호를 인가받는 제5 피모스 트랜지스터, 게이트에 상기 제1 펄스 신호를 인가받는 제4 엔모스 트랜지스터 및 게이트가 상기 제1 인버터의 출력 단자에 연결된 제5 엔모스 트랜지스터를 포함하고,

상기 제3 삼상 인버터는,

상기 전원 전압과 상기 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트가 상기 제1 인버터의 출력 단자에 연결된 제6 피모스 트랜지스터, 게이트에 상기 제2 펄스 신호를 인가받는 제7 피모스 트랜지스터, 게이트에 상기 제1 펄스 신호를 인가받는 제6 엔모스 트랜지스터 및 게이트가 상기 제1 인버터의 출력 단자에 연결된 제7 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립 플롭.

청구항 6

제5항에 있어서, 상기 제4 삼상 인버터는,

상기 전원 전압과 상기 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트가 상기 제3 인버터의 출력 단자에 연결된 제8 피모스 트랜지스터, 게이트에 상기 제1 펄스 신호를 인가받는 제9 피모스 트랜지스터, 게이트에 상기 제2 펄스 신호를 인가받는 제8 엔모스 트랜지스터 및 게이트가 상기 제1 인버터의 출력 단자에 연결된 제9 엔모스 트랜지스터를 포함하고,

상기 제3 인버터는 제10 피모스 트랜지스터 및 제10 엔모스 트랜지스터를 포함하고,

상기 제2 인버터는 제11 피모스 트랜지스터 및 제11 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 7

제6항에 있어서, 상기 입력 데이터의 값이 0일 때,

상기 마스터 단의 트랜지스터들 중 상기 0인 입력 데이터에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 8

제6항에 있어서, 상기 입력 데이터의 값이 1 일 때,

상기 마스터 단의 트랜지스터들 중 상기 1인 입력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 9

제6항에 있어서, 상기 출력 값이 0 일 때,

상기 슬레이브 단의 트랜지스터들 중 상기 0인 출력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 10

제6항에 있어서, 상기 출력 값이 1일 때,

상기 슬레이브 단의 트랜지스터들 중 상기 1인 출력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립플롭.

청구항 11

제6항에 있어서, 상기 입력데이터의 값이 0이고, 상기 출력 값이 1일 때,

상기 마스터 단의 트랜지스터들 중 상기 0인 입력에 의하여 턴 오프 되는 트랜지스터들과 상기 슬레이브 단의 트랜지스터들 중 상기 1인 출력에 의하여 턴 오프 되는 트랜지스터들과 상기 제7 피모스 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 누설 전류를 감소시키는 비대칭 플립

플롭.

청구항 12

제6항에 있어서, 상기 입력 데이터의 값이 1이고, 상기 출력 값이 0일 때,

상기 마스터 단의 트랜지스터들 중 상기 1인 입력에 의하여 턴 오프 되는 트랜지스터들과 상기 슬레이브 단의 트랜지스터들 중 상기 0인 출력에 의하여 턴 오프 되는 트랜지스터들과 상기 제6 엔모스 트랜지스터가 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들인 것을 특징으로 하는 비대칭 플립플롭.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체 집적 회로에 관한 것으로, 보다 상세하게는 누설 전류를 감소시킬 수 있는 비대칭 플립플롭 회로에 관한 것이다.
- <11> 디지털 로직 시스템들은, 일반적으로, 조합 또는 순차회로들로 분류된다. 조합 회로는 로직 게이트들로 구성되며, 로직 게이트의 출력들은 현재의 입력 값들에 의하여 직접적으로 결정된다. 조합 회로는 일련의 불 표현들(Boolean expressions)에 의하여 논리적으로 특징지어지는 특정한 정보 처리 동작을 수행한다. 순차 회로들은 로직 게이트들에 추가로 플립플롭이라 불리는 저장 소자들을 사용한다. 저장 소자들의 출력들은 입력들 및 저장 소자들의 상태의 함수이다. 저장 소자들의 상태는 이전 입력들의 함수이다. 결과적으로, 순차 회로의 출력들은 입력들의 현재 값들 뿐만 아니라 과거의 입력들에 따르며, 순차 회로의 동작은 내부 상태들 및 입력들의 시간 순서(timing sequence)에 의해서 특징지어져야 한다.
- <12> VLSI 기술의 발전과 함께 증가하는 누설 전류에 의한 소비는 회로가 동작할 때 필요한 전력 소비보다 더 커지고 있다. 누설 전류를 줄이기 위한 여러 기술들이 제안되고 있고, 그 중 Mixed Vt 기법은 회로가 동작 상태일 경우나 휴식 상태일 경우 모두 누설 전류를 줄여주는 방법으로 실제 널리 사용되고 있다. 하지만 지금까지 Mixed Vt 기법은 회로의 조합 회로 부분에서 발생하는 누설 전류를 줄이는 데만 초점이 맞춰져 있으며 전체 누설 전류의 상당한 부분을 차지하는 플립플롭에서의 누설 전류를 줄이고자 하는 방법은 없었다.

발명이 이루고자 하는 기술적 과제

- <13> 상기 문제점을 해결하기 위한 본 발명의 목적은 플립플롭을 구성하는 트랜지스터들의 게이트 길이를 선택적으로 증가시켜 누설 전류를 감소시킬 수 있는 비대칭 플립플롭을 제공하는데 있다.

발명의 구성 및 작용

- <14> 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 누설 전류를 감소시키는 비대칭 플립플롭은 마스터 단 및 슬레이브 단을 포함한다. 상기 마스터 단은 클럭 신호가 제1 레벨일 때, 입력 데이터를 래치한다. 상기 슬레이브 단은 상기 클럭 신호가 제2 일 때, 상기 마스터 단에 래치된 입력 데이터를 전달 받아 출력으로 제공한다. 상기 마스터 단은, 상기 입력 값에 따라 게이트 길이가 바이어스(gate-length bias)된 트랜지스터들을 선택적으로 구비하는 1군의 인버터들을 포함하고, 상기 슬레이브 단은 상기 출력 값에 따라 게이트 길이가 바이어스된 트랜지스터들을 선택적으로 구비하는 제2 군의 인버터들을 포함한다.
- <15> 실시예에 있어서, 상기 마스터 단은 상기 입력 데이터를 인가받는 입력 단자를 구비하는 제1 삼상(tri-state) 인버터, 상기 제1 삼상 인버터의 출력 단자에 연결된 입력 단자를 구비하는 제1 인버터, 상기 제1 인버터의 출력 단자에 연결되는 입력단자와 상기 제1 삼상 인버터의 출력단자에 연결되는 출력단자를 구비하는 제2 삼상 인버터 및 상기 제1 인버터의 출력 단자에 연결되는 입력단자와 상기 슬레이브 단에 연결되는 출력 단자를 구비하는 제3 삼상 인버터를 포함할 수 있다.
- <16> 실시예에 있어서, 상기 슬레이브 단은 상기 제3 삼상 인버터의 출력 단자와 연결된 입력단자, 및 상기 출력을

제공하는 출력단자를 구비하는 제2 인버터, 상기 제2 인버터의 입력 단자에 연결되는 입력단자를 구비하는 제3 인버터 및 상기 제3 인버터의 출력 단자에 연결되는 입력단자 및 상기 제3 삼상 인버터의 출력단자에 연결되는 출력 단자를 구비하는 제4 삼상 인버터를 포함할 수 있다.

- <17> 실시예에 있어서, 상기 제1 삼상 인버터는, 전원 전압과 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트에 상기 입력을 인가받는 제1 피모스 트랜지스터, 소스는 상기 제1 피모스 트랜지스터의 드레인에 연결되고, 게이트에 상기 클럭 신호에 동기되고 상기 클럭 신호와 동일한 위상을 갖는 제1 펄스 신호를 인가받는 제2 피모스 트랜지스터, 드레인이 상기 제2 피모스 트랜지스터의 드레인에 연결되고 게이트에 상기 클럭 신호와 반대의 위상을 갖는 제2 펄스 신호를 인가받는 제1 엔모스 트랜지스터 및 드레인이 상기 제1 엔모스 트랜지스터의 소스에 연결되고 게이트에 상기 입력을 인가받는 제2 엔모스 트랜지스터를 포함할 수 있다.
- <18> 실시예에 있어서, 상기 제1 인버터는 제3 피모스 트랜지스터 및 제3 엔모스 트랜지스터를 포함할 수 있다. 상기 제2 삼상 인버터는 상기 전원 전압과 상기 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트가 상기 제1 인버터의 출력 단자에 연결된 제4 피모스 트랜지스터, 게이트에 상기 제2 펄스 신호를 인가받는 제5 피모스 트랜지스터, 게이트에 상기 제1 펄스 신호를 인가받는 제4 엔모스 트랜지스터 및 게이트가 상기 제1 인버터의 출력 단자에 연결된 제5 엔모스 트랜지스터를 포함할 수 있다. 상기 제3 삼상 인버터는 상기 전원 전압과 상기 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트가 상기 제1 인버터의 출력 단자에 연결된 제6 피모스 트랜지스터, 게이트에 상기 제2 펄스 신호를 인가받는 제7 피모스 트랜지스터, 게이트에 상기 제1 펄스 신호를 인가받는 제6 엔모스 트랜지스터 및 게이트가 상기 제1 인버터의 출력 단자에 연결된 제7 엔모스 트랜지스터를 포함할 수 있다.
- <19> 실시예에 있어서, 상기 제4 삼상 인버터는 상기 전원 전압과 상기 접지 전압 사이에 순차적으로 캐스코드 연결된, 게이트가 상기 제3 인버터의 출력 단자에 연결된 제8 피모스 트랜지스터, 게이트에 상기 제1 펄스 신호를 인가받는 제9 피모스 트랜지스터, 게이트에 상기 제2 펄스 신호를 인가받는 제8 엔모스 트랜지스터 및 게이트가 상기 제1 인버터의 출력 단자에 연결된 제9 엔모스 트랜지스터를 포함할 수 있다. 상기 제3 인버터는 제10 피모스 트랜지스터 및 제10 엔모스 트랜지스터를 포함하고, 상기 제2 인버터는 제11 피모스 트랜지스터 및 제11 엔모스 트랜지스터를 포함할 수 있다.
- <20> 실시예에 있어서, 상기 입력이 0일 때, 상기 마스터 단의 트랜지스터들 중 상기 0인 입력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <21> 실시예에 있어서, 상기 입력이 1 일 때, 상기 마스터 단의 트랜지스터들 중 상기 1인 입력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <22> 실시예에 있어서, 상기 출력이 0 일 때, 상기 슬레이브 단의 트랜지스터들 중 상기 0인 출력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <23> 실시예에 있어서, 상기 슬레이브 단의 트랜지스터들 중 상기 1인 출력에 의하여 턴 오프 되는 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <24> 실시예에 있어서, 상기 입력이 0이고, 상기 출력이 1일 때, 상기 마스터 단의 트랜지스터들 중 상기 0인 입력에 의하여 턴 오프 되는 트랜지스터들과 상기 슬레이브 단의 트랜지스터들 중 상기 1인 출력에 의하여 턴 오프 되는 트랜지스터들과 상기 제7 피모스 트랜지스터들이 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <25> 실시예에 있어서, 상기 입력이 1이고, 상기 출력이 0일 때, 상기 마스터 단의 트랜지스터들 중 상기 1인 입력에 의하여 턴 오프 되는 트랜지스터들과 상기 슬레이브 단의 트랜지스터들 중 상기 0인 출력에 의하여 턴 오프 되는 트랜지스터들과 상기 제6 엔모스 트랜지스터가 선택적으로 상기 게이트 길이가 바이어스된 트랜지스터들일 수 있다.
- <26> 따라서 본 발명의 일 실시예에 따른 비대칭 플립플롭은 누설 전류를 감소시킬 수 있다.
- <27> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- <28> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며,

본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

- <29> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <30> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <31> 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- <32> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 구성요소를 나타낸다.
- <33> 도 1은 일반적인 형태의 밀리 타입(Mealy type)의 순차회로를 나타내는 블록도이다.
- <34> 도 1을 참조하면, 일반적인 형태의 순차회로(100)는 조합 하부 회로(110)와 조합 하부 회로(110)의 출력들을 다시 입력으로 피드백시키는 복수개의 플립플롭들(120, 130)로 구성된다.
- <35> 여기서 우리는 플립플롭의 아이들 상태 확률을 정의한다. 일반적으로 플립플롭의 상태확률은 플립플롭이 하이 레벨에 있을 확률을 말한다. D 플립플롭에서는 입력(D)과 출력(Q)의 확률은 같고, 상태 확률과 동일하다. 하지만 액티브 인터벌 사이의 아이들 인터벌 시퀀스를 고려하면, 입력과 출력의 확률은 서로 다르다.
- <36> 도 2는 도 1의 순차회로의 동작 조건을 나타낸다.
- <37> 도 2에서 아이들 인터벌에서는 클럭 신호가 플립플롭에 입력되지 않는다고 가정한다. 그러면 플립플롭(120)의 출력(Q)은 플립플롭(120)의 입력(D)으로부터 분리되고, 플립플롭(120)의 입력(D)은 출력(Q)의 이전 값의 전파에 의하여 새로운 값을 갖게 된다. 따라서 순차회로(100)가 아이들 인터벌에 들어갈 때의 값이 아이들 인터벌에서의 플립플롭의 상태 확률을 결정한다.
- <38> 도 2에서는 플립플롭(120)의 출력(Q) 값은 항상 0이고, 플립플롭(120)의 입력(D) 값은 항상 0이다. 이 경우에 플립플롭(120)의 아이들 상태 확률은 $p(DQ=10)$ 으로 나타나고 하기의 [수학식 1]과 같이 표현할 수 있다.

수학식 1

<39> $p(DQ=10)=p(D)(1-p(Q))$

<40> 여기서 $p(D)$ 는 입력(D)이 아이들 상태에 있을 신호 확률을 나타내고, $p(Q)$ 는 출력(Q)이 아이들 상태에 있을 신호 확률을 나타낸다. 따라서 다른 상태 확률들은 하기의 [수학식 2]와 같이 표현할 수 있다.

수학식 2

<41> $p(DQ=00)=(1-p(D))(1-p(Q))$

<42> $p(DQ=01)=(1-p(D))p(Q)$

<43> $p(DQ=11)=p(D)p(Q)$

<44> 입력 확률들과 현재의 상태 확률들은 조합 하부 회로(110)를 통하여 전파되고 입력(D)의 다음 상태의 확률 분포를 알 수 있게 된다.

<45> 게이트 길이 바이어싱(gate-length biasing)은 디바이스들의 게이트 길이를 조금 증가시키는 것이다. 130nm 공정에서는, 게이트 길이를 8nm 증가시키면 누설 전류를 30% 줄일 수 있고, 최소 크기의 인버터의 딜레이가 5% 정도 증가한다고 보고 된다. 이렇게 딜레이가 조금 증가하지만 누설 전류를 상당히 줄일 수 있는 것은 짧은 채

널 효과(short channel effect)에 기인한다. 짧은 채널 디바이스들에서는 채널 길이가 감소함에 따라서 문턱 전압(threshold voltage, V_{th})이 감소한다. 다시 말하면, 채널 길이가 증가되면 문턱 전압이 증가하게 된다. 서브스레숄드(subthreshold) 누설(leakage)은 문턱 전압의 증가에 따라 지수적으로 감소하고, 이 때 게이트 딜레이는 선형적으로 변화한다.

- <46> 도 3은 45nm 프리딕티브(predictive) 모델에서 게이트 길이가 변화할 때 최소 크기의 인버터의 누설 전류와 딜레이를 나타내는 그래프이다.
- <47> 도 3을 참조하면, 게이트 길이를 4nm 정도 증가시키면 누설 전류는 지수적으로 크게 감소하고 딜레이는 선형적으로 증가하는 것을 알 수 있다.
- <48> 도 4는 본 발명의 일 실시예에 비대칭 플립플롭을 나타내는 회로도이다.
- <49> 도 4를 참조하면, 본 발명의 일 실시예에 따른 비대칭 플립플롭(200)은 마스터 단(210) 및 슬레이브 단(260)을 포함한다.
- <50> 마스터 단(210)은 클럭 신호(CK)가 하이 레벨일 때 입력(D)을 래치한다. 슬레이브 단(260)은 클럭 신호(CK)가 로우 레벨일 때, 마스터 단(210)에 래치된 입력(D)을 전달 받아 출력(Q)으로 제공한다. 물론 본 발명의 실시예는 클럭 신호(CK)가 반대로 천이될 때도 적용가능함은 당연하다.
- <51> 마스터 단(220)은 제1 삼상 인버터(220), 제1 인버터(230), 제2 삼상 인버터(240) 및 제3 삼상 인버터(250)를 포함한다.
- <52> 제1 삼상 인버터(220)의 입력 단자에는 입력(D)이 인가된다. 제1 삼상 인버터(220)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M1, M2)과 두 개의 엔모스 트랜지스터들(M3, M4)을 포함한다. 트랜지스터들(M1, M4)의 게이트에는 입력(D)이 인가된다. 트랜지스터(M2)의 게이트에는 클럭 신호(CK)와 동일한 위상을 갖는 제1 펄스 신호(c1k)가 인가되고, 트랜지스터(M3)의 게이트에는 클럭 신호(CK)와 반대 위상을 갖는 제2 펄스 신호(/c1k)가 인가된다.
- <53> 제1 인버터(230)의 입력 단자는 제1 삼상 인버터(220)의 출력 단자에 연결된다. 제1 인버터는 두개의 트랜지스터들(M5, M6)을 포함한다.
- <54> 제2 삼상 인버터(240)의 입력 단자는 제1 인버터(230)의 출력 단자에 연결되고, 제2 삼상 인버터(240)의 출력 단자는 제1 삼상 인버터(220)의 출력 단자와 제1 인버터(230)의 입력 단자에 연결된다. 제2 삼상 인버터(240)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M7, M8)과 두 개의 엔모스 트랜지스터들(M9, M10)을 포함한다. 트랜지스터들(M7, M8)의 게이트는 제1 인버터(230)의 출력과 연결된다. 트랜지스터(M8)의 게이트에는 제2 펄스 신호(/c1k)가 인가되고, 트랜지스터(M9)의 게이트에는 제1 펄스 신호(c1k)가 인가된다.
- <55> 제3 삼상 인버터(250)의 입력 단자는 제1 인버터(230)의 출력 단자와 제2 삼상 인버터(240)의 입력 단자에 연결된다. 제3 삼상 인버터(250)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M11, M12)과 두 개의 엔모스 트랜지스터들(M13, M14)을 포함한다. 트랜지스터들(M11, M14)의 게이트는 제1 인버터(230)의 출력과 연결된다. 트랜지스터(M12)의 게이트에는 제1 펄스 신호(c1k)가 인가되고, 트랜지스터(M13)의 게이트에는 제2 펄스 신호(/c1k)가 인가된다.
- <56> 슬레이브 단(260)은 제4 삼상 인버터(270), 제2 인버터(280) 및 제3 인버터(290)를 포함한다.
- <57> 제4 삼상 인버터(270)의 출력 단자는 제3 삼상 인버터(250)의 출력 단자에 연결된다. 제4 삼상 인버터(270)는 전원 전압(VDD)과 접지 전압(VSS) 사이에 순차적으로 캐스코드 연결된 두개의 피모스 트랜지스터들(M15, M16)과 두 개의 엔모스 트랜지스터들(M17, M18)을 포함한다. 트랜지스터들(M15, M18)의 게이트는 제2 인버터(230)의 출력과 연결된다. 트랜지스터(M16)의 게이트에는 제1 펄스 신호(c1k)가 인가되고, 트랜지스터(M17)의 게이트에는 제2 펄스 신호(/c1k)가 인가된다.
- <58> 제2 인버터(280)의 입력 단자는 제3 삼상 인버터(250)의 출력 단자 및 제3 인버터(290)의 입력 단자에 연결된다. 제2 인버터(280)는 두 개의 트랜지스터들(M19, M20)을 포함한다.
- <59> 제3 인버터(290)의 출력 단자에서는 출력(Q)을 제공한다. 제3 인버터(290)는 두 개의 트랜지스터들(M21, M22)을 포함한다.

- <60> 도 5는 도4의 트랜지스터들에 인가되는 펄스 신호들을 생성하는 펄스 신호 생성기를 나타내는 회로도이다.
- <61> 도 5를 참조하면, 펄스 신호 생성기(300)는 클럭 신호(CK)를 인가받는 제1 인버터(310)와 제1 인버터(310)에 캐스캐이드 연결된 제2 인버터(320)를 포함한다. 펄스 신호 생성기(300)는 각각 클럭 신호(CK)와 동위상을 가지는 제1 펄스 신호(c1k)와 반대위상을 가지는 제2 펄스 신호(/c1k)를 생성한다.
- <62> 이하 도 4 및 도 5를 참조하여 도 4의 비대칭 플립플롭의 동작을 설명한다.
- <63> 입력 데이터(D) 값에 따라 마스터 단(210)에서 턴 오프되는 트랜지스터들이 전류 누설의 원천(leakage source)이 된다. 마찬가지로 출력(Q) 값에 따라 슬레이브 단(260)에서 턴 오프 되는 트랜지스터들이 전류 누설의 원천이 된다.
- <64> 예를 들어, 입력데이터(D) 값이 로우 레벨(0) 일 때, 마스터 단(210)에서 턴 오프 되는 트랜지스터들은 트랜지스터들(M4, M9, M10, M14)이다. 이 트랜지스터들을 D0 그룹이라 한다. 입력 데이터(D) 값이 하이 레벨(1)일 때, 마스터 단(210)에서는 트랜지스터들(M1, M6, M7, M11)이 턴 오프된다. 이 트랜지스터들을 D1 그룹이라 한다. 또한 출력(Q) 값이 로우 레벨(0)일 때 슬레이브 단(260)에서는 트랜지스터들(M18, M19, M20)이 턴 오프 된다. 이 트랜지스터들을 Q0 그룹이라 한다. 출력(Q) 값이 하이 레벨(1)일 때, 슬레이브 단(260)에서는 트랜지스터들(M15, M20, M22)이 턴 오프 된다. 이 트랜지스터들을 Q1 그룹이라 한다. 이와 같이 주어진 입력(D)과 출력(Q)에 대하여 누설의 원천이 되는 트랜지스터들을 그룹화한다. 그리고 주어진 입력(D)과 출력(Q)에 대하여 이 트랜지스터들의 게이트 길이를 일정부분 증가시키면 플립플롭에서 누설되는 전류를 상당 부분 감소시킬 수 있다.
- <65> 이제 펄스 신호가 인가되는 트랜지스터들을 살펴보자.
- <66> 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 제3 삼상 인버터(250)를 구성하는 트랜지스터들(M12, M13)은 턴 오프되므로 제3 삼상 인버터(250)의 입력은 제3 삼상 인버터(250)의 출력으로 전달되지 않는다. 따라서 플립플롭(200)은 아이들 상태에 있다고 할 수 있다. 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 트랜지스터들(M2, M3, M16, M17)은 턴 온 되므로, 트랜지스터들을 누설의 원천이 되지 않는다. 따라서 이 트랜지스터들(M2, M3, M16, M17)의 게이트 길이는 증가시킬 필요가 없다. 이 때 플립플롭(200)은 입력을 출력으로 전달하지 않으므로 아이들 상태에 있다고 할 수 있다. 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 트랜지스터들(M8, M9)은 턴 오프 된다. 하지만 삼상 인버터의 전류 누설은 상당히 작으므로 트랜지스터들(M8, M9)의 게이트 길이를 증가시키지 않아도 된다. 제1 펄스신호(c1k)가 로우 레벨(0)일 때, 트랜지스터들(M12, M13)이 턴 오프 되지만, 입력(D)과 출력(Q)이 서로 같을 때는 트랜지스터들(M12, M13)을 통한 누설 전류는 무시할 수 있는 정도이다. 왜냐하면 이 경우에 제3 삼상 인버터(250)의 입력과 출력은 서로 다르기 때문이다.
- <67> 문제는 제1 펄스신호(c1k)가 로우 레벨(0)이고 제3 삼상 인버터(250)의 입력과 출력이 서로 같은 경우이다. 입력(D) 값이 로우 레벨이고 출력(Q) 값이 하이레벨 일 때, 제3 삼상 인버터(250)의 입력과 출력이 모두 로우 레벨이다. 이 경우에 트랜지스터들(M13, M14)은 턴 오프 되므로 트랜지스터들(M13, M14)을 통한 누설 전류는 무시할 수 있는 정도이다. 하지만, 트랜지스터(M12)는 전원 전압(VDD)과 출력 사이에 연결되어 있고 트랜지스터(M11)가 턴 온 되므로, 트랜지스터(M12)가 누설의 원천이 된다. 따라서 입력(D) 값이 로우 레벨이고 출력(Q) 값이 하이 레벨 일 때는 D0 그룹과 Q1 그룹과 트랜지스터(M11)의 게이트 길이를 증가시켜야 한다.
- <68> 마찬가지로 입력(D) 값이 하이 레벨이고, 출력(Q) 값이 로우 레벨일 때는 D1 그룹과 Q0 그룹과 트랜지스터(M13)의 게이트 길이를 증가시켜야 한다.
- <69> 도 6은 도 4의 비대칭 플립플롭에서 주어진 입력(D)과 출력(Q)에 따라서 게이트 길이가 증가되는(gate-length 바이어스된) 트랜지스터들을 나타내는 표이다.
- <70> 도 6을 참조하면, SF00은 입력(D) 값이 0이고 출력(Q) 값이 0일 때 게이트 길이가 증가된 트랜지스터들을 나타낸다. 이 때 다른 트랜지스터들의 게이트 길이에는 변화가 없다.
- <71> 도 6에 나타나듯이 도 4의 플립플롭으로 모두 4 가지의 비대칭 플립플롭을 구현할 수 있다.
- <72> 도 7a 내지 7d는 도 6의 네 가지 비대칭 플립플롭들과 도 4의 트랜지스터들의 게이트 길이가 증가되지 않았을 때의 플립플롭의 누설 전류를 나타내는 그래프이다.
- <73> 도 7a 내지 7d에서 게이트 길이가 증가되지 않은 트랜지스터들로 구현된 플립플롭은 오리지날(Orig.)로 표현되었다. 도 7a 내지 도 7d를 살펴보면 오리지날 플립플롭에 비하여 본 발명의 실시예들에 따른 비대칭 플립플롭들의 누설 전류가 상당히 감소하였음을 알 수 있다. 45nm 프리딕티브 공정으로 구현하였을 경우에 오리지날 플립

플롭의 누설 전류가 1uA였으나, SF10에서는 누설 전류가 오리지날 플립플롭의 경우보다 44% 감소되었고, SF11에서는 51% 감소되었다.

- <74> 도 5의 클럭 신호 생성기(300)의 트랜지스터들에 게이트-길이 바이어싱을 적용하면 제1 펄스 신호(c1k)와 제2 펄스신호(/c1k)의 파형이 변하게 된다. 제1 펄스 신호(c1k)와 제2 펄스신호(/c1k)의 파형이 변하게 되면, 비대칭 플립플롭의 타이밍 파라미터들도 변하게 된다.
- <75> 도 8은 본 발명의 실시예에 따른 네 가지 비대칭 플립플롭들과 오리지날 플립플롭의 타이밍 파라미터를 나타내는 표이다. 도 8은 클럭 신호(CK)가 로직 로우일 때, 턴 오프되는 트랜지스터들(M24, M25)의 게이트 길이를 증가시킨 경우의 타이밍 페러미터를 나타낸다. 도 8에서 T_{su} 는 플립플롭의 셋업 타임을 나타내고, T_{c-q} 는 플립플롭의 클럭 투 큐 딜레이를 나타낸다.
- <76> 도 8을 참조하면, 비대칭 플립플롭들은 비대칭적인 타이밍 동작을 나타낸다. 예를 들어, SF00의 경우에, 라이징 셋업 타임은 오리지날 플립플롭에 비하여 약 2ps 증가하였으나, 폴링 셋업 타임은 약 3ps 감소하였다. 또한 라이징 클럭 투 큐 딜레이는 약 6ps 증가하였으나, 폴링 클럭 투 큐 딜레이는 약 2ps 감소하였다.
- <77> 도 9a 내지 도 9d는 비대칭 플립플롭 SF00의 타이밍 특성을 나타내는 파형도이다. 도 9에서 SF00의 타이밍 파라미터들은 클럭 신호(CK)를 기준으로 측정되었다.
- <78> 도 9a 내지 9d를 참조하면, SF00의 타이밍 파라미터들은 클럭 신호(CK) 보다 늦게 도착하는 펄스 신호들(c1k, /c1k)의 영향을 받음을 알 수 있다. 즉 비대칭 플립플롭들의 홀드 타임이 약간 증가하는 것을 알 수 있다. 하지만 이 증가된 홀드 타임은 로드가 없는 최소 크기의 인버터의 딜레이 보다 작으므로 홀드 타임이 약간 증가하는 것은 감소되는 누설 전류의 크기에 비할 때 그리 중요한 것은 아니다.

발명의 효과

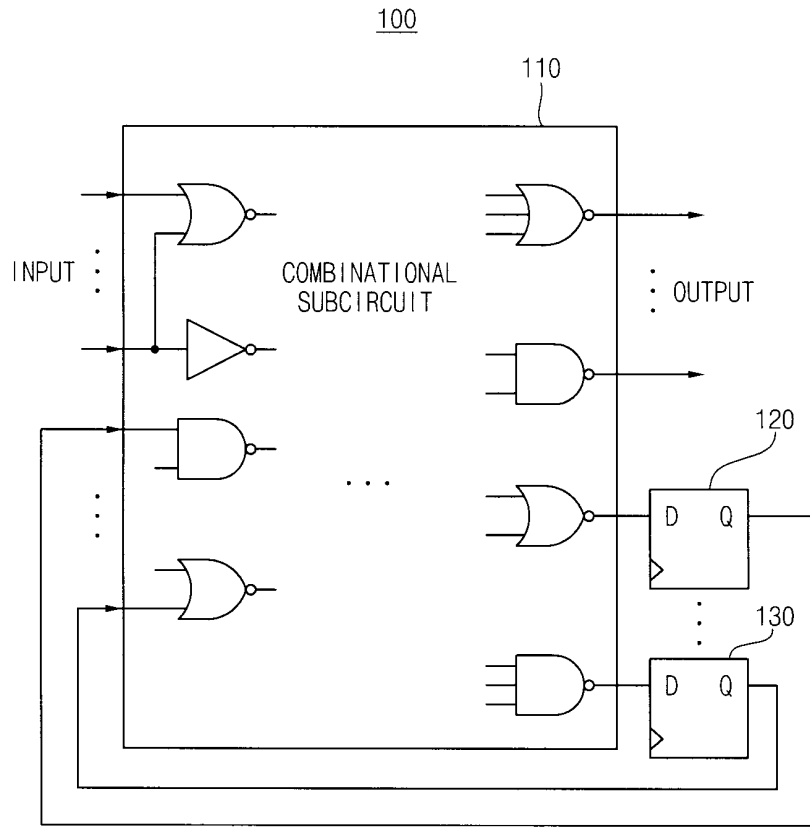
- <79> 상술한 바와 같이, 본 발명의 실시예에 따른 비대칭 플립플롭은 주어진 입력과 출력 및 펄스 신호에 따라 선택적으로 리키지 소스가 되는 트랜지스터의 게이트 길이를 증가시킴으로써 누설 전류를 상당히 감소시킬 수 있다.
- <80> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

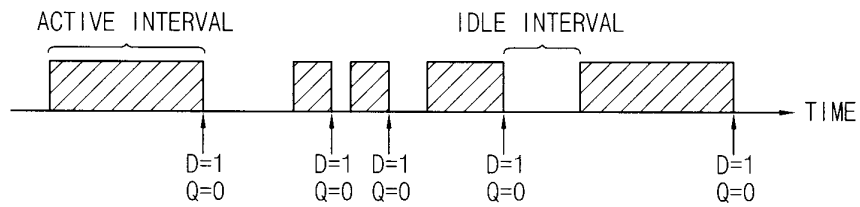
- <1> 도 1은 일반적인 형태의 밀리 타입(Mealy type)의 순차회로를 나타내는 블록도이다.
- <2> 도 2는 도 1의 순차회로의 동작 조건을 나타낸다.
- <3> 도 3은 45nm 프리딕티브(predictive) 모델에서 게이트 길이가 변화할 때 최소 크기의 인버터의 누설 전류와 딜레이를 나타내는 그래프이다.
- <4> 도 4는 본 발명의 일 실시예에 비대칭 플립플롭을 나타내는 회로도이다.
- <5> 도 5는 도4의 트랜지스터들에 인가되는 펄스 신호들을 생성하는 펄스 신호 생성기를 나타내는 회로도이다.
- <6> 도 6은 도 4의 비대칭 플립플롭에서 주어진 입력(D)과 출력(Q)에 따라서 게이트 길이가 증가되는(gate-length 바이어스된) 트랜지스터들을 나타내는 표이다.
- <7> 도 7a 내지 7d는 도 6의 네 가지 비대칭 플립플롭들과 도 4의 트랜지스터들의 게이트 길이가 증가되지 않았을 때의 플립플롭의 누설 전류를 나타내는 그래프이다.
- <8> 도 8은 본 발명의 실시예에 따른 네 가지 비대칭 플립플롭들과 오리지날 플립플롭의 타이밍 파라미터를 나타내는 표이다.
- <9> 도 9a 내지 도 9d는 비대칭 플립플롭 SF00의 타이밍 특성을 나타내는 파형도이다.

도면

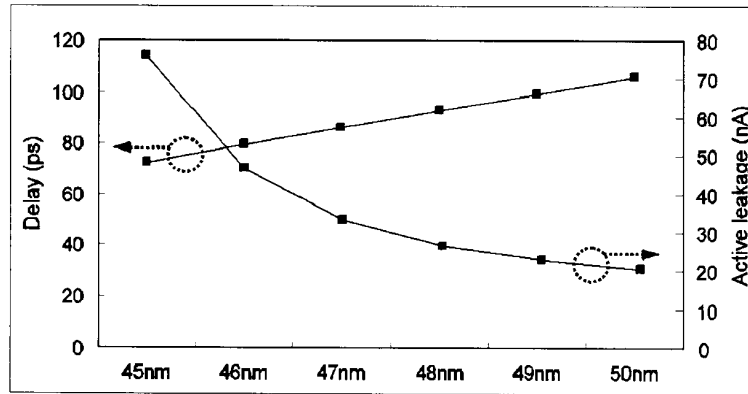
도면1



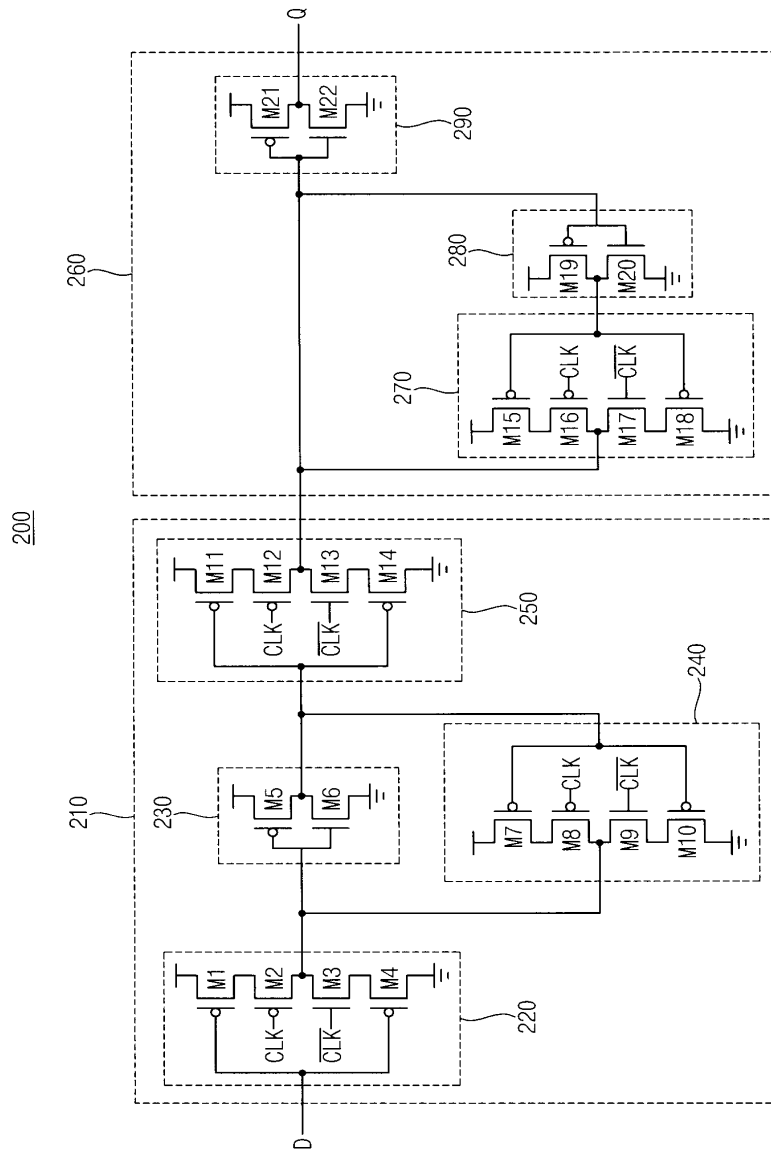
도면2



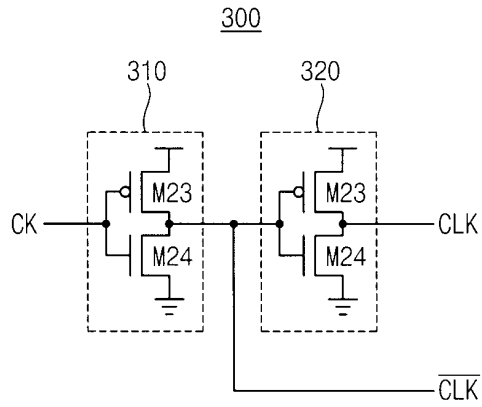
도면3



도면4



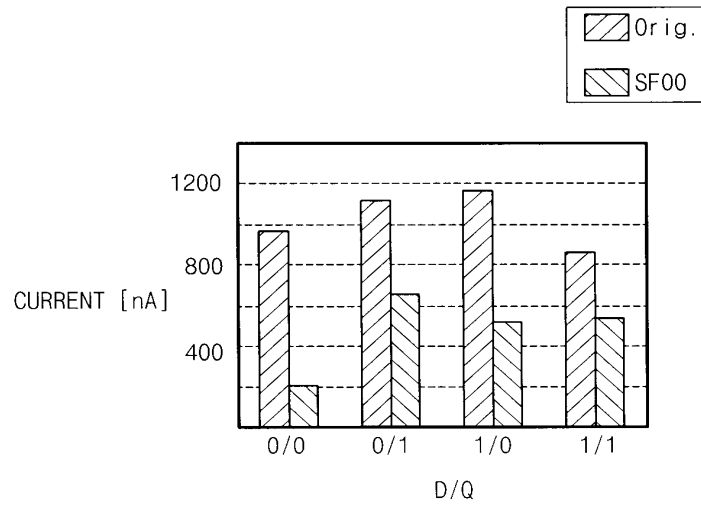
도면5



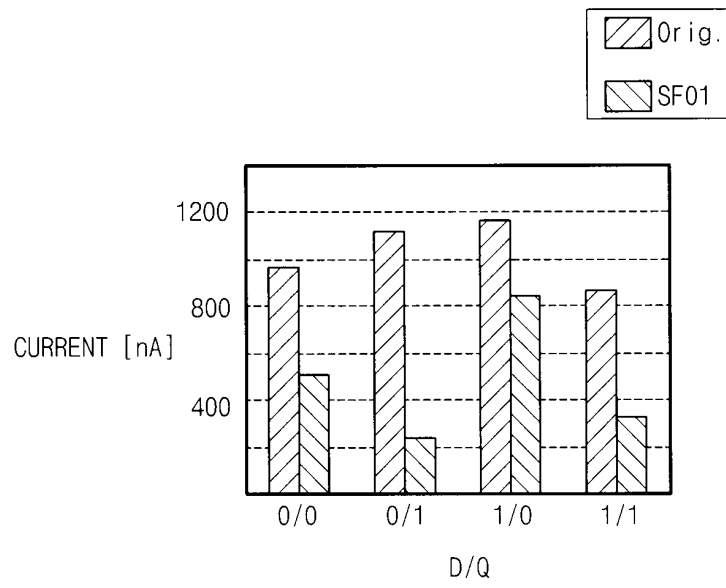
도면6

SFFs	TRs
SF00	M4, M5, M10, M14, M18, M19, M21
SF01	M4, M5, M10, M12, M14, M15, M20, M22
SF10	M1, M6, M7, M11, M13, M18, M20, M21
SF11	M1, M6, M7, M11, M18, M20, M22

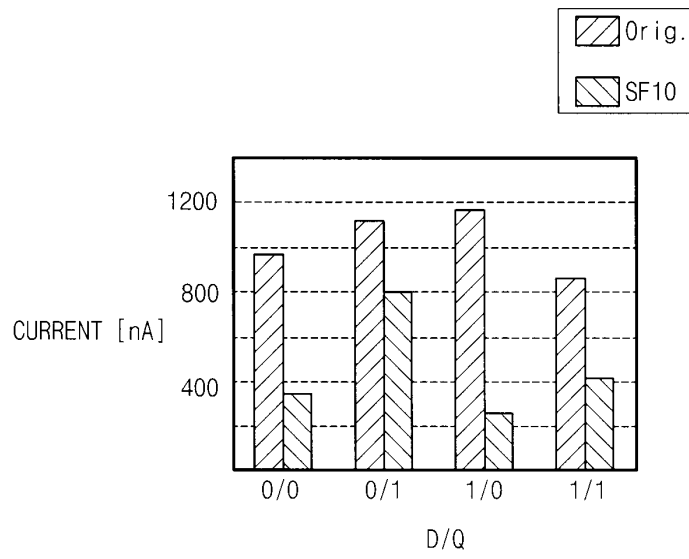
도면7a



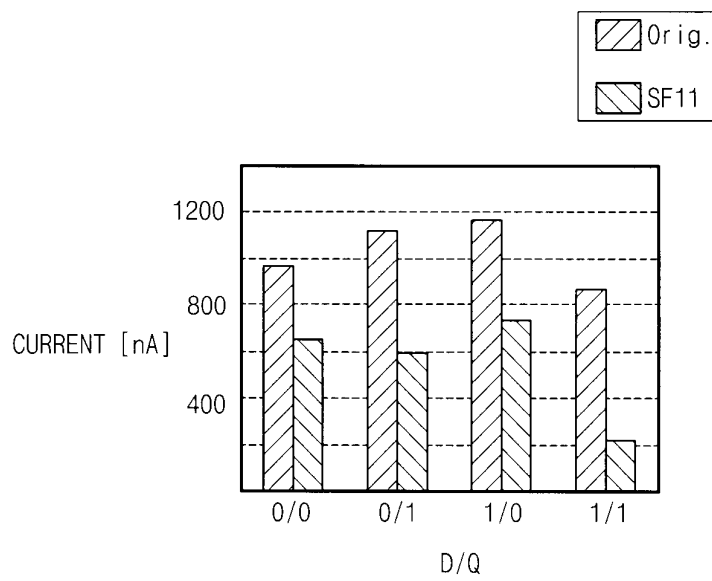
도면7b



도면7c



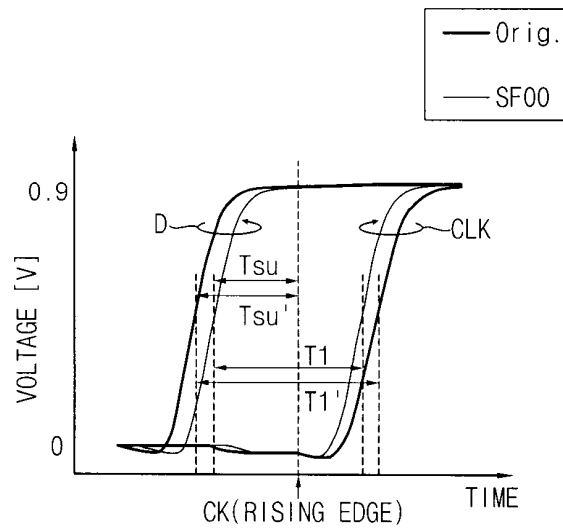
도면7d



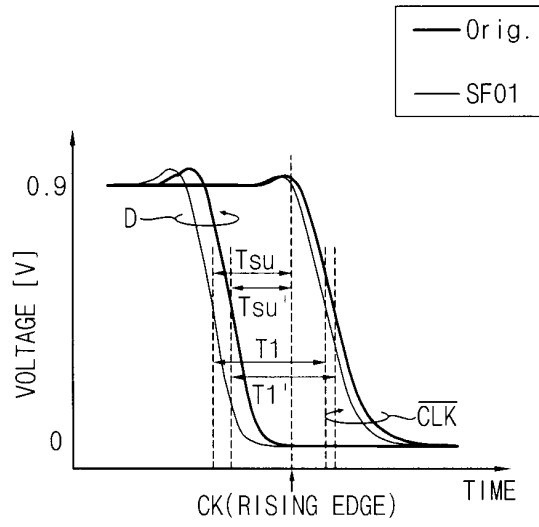
도면8

SF00	DELAY [ps]			
	RISING T_{su}	FALLING T_{su}	RISING T_{c-q}	FALLING T_{c-q}
ORIG	17.0	14.6	28.2	28.4
SF00	19.3	11.2	34.2	30.0
SF01	19.2	11.2	31.9	35.0
SF10	15.9	17.2	35.5	29.9
SF11	15.9	17.3	32.4	31.9

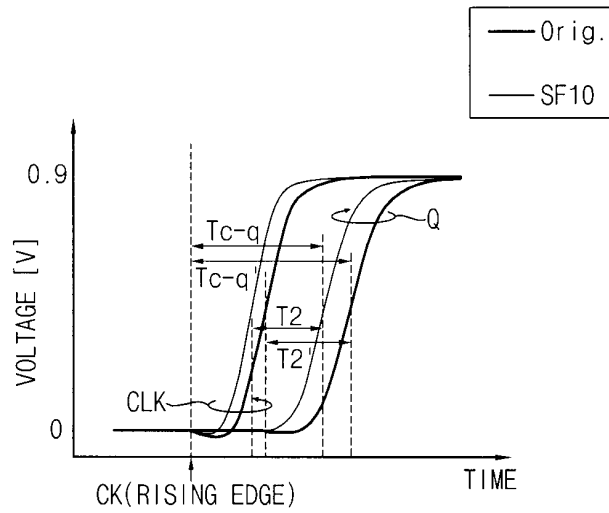
도면9a



도면9b



도면9c



도면9d

