



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년04월09일
<i>H03K 17/687</i> (2006.01)	(11) 등록번호	10-0703720
<i>H03K 19/00</i> (2006.01)	(24) 등록일자	2007년03월29일

(21) 출원번호	10-2006-0050591	(65) 공개번호
(22) 출원일자	2006년06월05일	(43) 공개일자
심사청구일자	2006년06월05일	

(73) 특허권자 한국전자통신연구원
 대전 유성구 가정동 161번지

 한국과학기술원
 대전 유성구 구성동 373-1

(72) 발명자 김형욱
 대전 유성구 구성동 373-1번지 한국과학기술원

 신영수
 대전 유성구 도룡동 383-2번지 과기원교수아파트 2동501호

 김혁
 대전 유성구 전민동 엑스포아파트 201-801

 어익수
 대전 유성구 어은동 한빛아파트 102-504

(74) 대리인 특허법인 신성

(56) 선행기술조사문헌
 JP07106951 A JP2004236282 A
 KR1020050104530 A
 * 심사관에 의하여 인용된 문헌

심사관 : 여인홍

전체 청구항 수 : 총 21 항

(54) 파워 게이팅 회로를 구비한 반도체 집적회로 장치

(57) 요약

본 발명은 파워 게이팅 회로와 일반 회로가 연결된 구성을 갖는 회로에서, 파워 게이팅 회로가 동작 모드에서 대기 모드로 진입시 파워 게이팅 회로의 플로우팅 상태의 출력이 일반 회로로 전달되는 것을 방지할 수 있는 반도체 집적회로 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 파워 게이팅 회로부와, 상기 파워 게이팅 회로부의 출력에 응답하여 동작하는

일반 회로부와, 상기 파워 게이팅 회로부의 출력노드와 상기 일반 회로부의 입력노드 사이에 연결되어 상기 파워 게이팅 회로부의 대기모드에서 상기 출력노드가 플로팅될 때 상기 입력노드를 상기 파워 게이팅 회로부의 마지막 동작모드 출력값으로 유지시키는 출력 유지 수단을 포함하는 반도체 집적회로 장치를 제공한다.

대표도

도 7

특허청구의 범위

청구항 1.

파워 게이팅 회로부;

상기 파워 게이팅 회로부의 출력에 응답하여 동작하는 일반 회로부; 및

상기 파워 게이팅 회로부의 출력노드와 상기 일반 회로부의 입력노드 사이에 연결되어 상기 파워 게이팅 회로부의 대기모드에서 상기 출력노드가 플로팅될 때 상기 입력노드를 상기 파워 게이팅 회로부의 마지막 동작모드 출력값으로 유지시키는 출력 유지 수단을

포함하는 반도체 집적회로 장치.

청구항 2.

제 1 항에 있어서,

상기 파워 게이팅 회로부는,

복수 개의 제1 트랜지스터로 이루어진 논리회로부; 및

접지전압을 상기 논리회로부의 가상접지전압원 라인으로 전달하는 스위칭부

를 포함하는 반도체 집적회로 장치.

청구항 3.

제 2 항에 있어서,

상기 스위칭부는 상기 논리회로부를 구성하는 제1 트랜지스터의 문턱전압과 동일하거나 높은 문턱전압을 갖는 제2 트랜지스터로 이루어진 반도체 집적회로 장치.

청구항 4.

제 3 항에 있어서,

상기 스위칭부는 제1 제어신호에 의해 제어되어 상기 파워 게이팅 회로부의 동작 모드에서 동작되고, 상기 파워 게이팅 회로부의 대기모드에서 비동작되는 반도체 집적회로 장치.

청구항 5.

제 4 항에 있어서,

상기 출력 유지 수단은 상기 파워 게이팅 회로부의 마지막 동작모드 출력값이 논리 로우인 경우에만 상기 입력노드를 논리 로우로 유지시키는 래치를 포함하는 반도체 집적회로 장치.

청구항 6.

제 4 항에 있어서,

상기 출력 유지 수단은,

제2 제어신호에 응답하여 상기 파워 게이팅 회로부의 마지막 동작모드 출력값이 논리 로우인 경우 상기 파워 게이팅 회로부의 대기모드에서 비동작되는 전송 게이트; 및

상기 입력노드가 논리 로우인 경우에만 상기 입력노드를 논리 로우로 유지시키는 래치부를 포함하는 반도체 집적회로 장치.

청구항 7.

제 6 항에 있어서,

상기 래치부는,

상기 입력노드의 신호를 입력받는 인버터; 및

상기 인버터의 출력에 게이팅되어 상기 입력노드와 접지전압원을 연결하는 풀-다운 트랜지스터를 포함하는 반도체 집적회로 장치.

청구항 8.

제 7 항에 있어서,

상기 전송 게이트는,

상기 출력노드와 상기 입력노드 사이에 소스-드레인 경로가 접속되고 게이트단으로 상기 제어신호를 인가받는 제3 트랜지스터; 및

상기 출력노드와 상기 입력노드 사이에 소스-드레인 경로가 접속되고 게이트단으로 상기 인버터의 출력신호를 인가받는 제4 트랜지스터

를 포함하는 반도체 집적회로 장치.

청구항 9.

제 8 항에 있어서,

상기 대기모드에서 상기 동작모드로의 전환시 상기 제1 제어신호가 활성화되고 일정 시간 후에 상기 제2 제어신호가 활성화되는 반도체 집적회로 장치.

청구항 10.

제 9 항에 있어서,

상기 제3 트랜지스터는 상기 풀-다운 트랜지스터보다 큰 크기를 갖는 반도체 집적회로 장치.

청구항 11.

제 2 항에 있어서,

상기 출력 유지 수단을 구성하는 트랜지스터들은 상기 논리회로부를 구성하는 제1 트랜지스터에 비해 높은 문턱전압을 갖는 반도체 집적회로 장치.

청구항 12.

제 1 항에 있어서,

상기 파워 게이팅 회로부는,

복수 개의 제1 트랜지스터로 이루어진 논리회로부; 및

전원전압을 상기 논리회로부의 가상전원전압원 라인으로 전달하는 스위칭부

를 포함하는 반도체 집적회로 장치.

청구항 13.

제 12 항에 있어서,

상기 스위칭부는 상기 논리회로부를 구성하는 제1 트랜지스터의 문턱전압과 동일하거나 높은 문턱전압을 갖는 제2 트랜지스터로 이루어진 반도체 집적회로 장치.

청구항 14.

제 13 항에 있어서,

상기 스위칭부는 제1 제어신호에 의해 제어되어 상기 파워 게이팅 회로부의 동작 모드에서 동작되고, 상기 파워 게이팅 회로부의 대기모드에서 비동작되는 반도체 집적회로 장치.

청구항 15.

제 14 항에 있어서,

상기 출력 유지 수단은 상기 파워 게이팅 회로부의 마지막 동작모드 출력값이 논리 하이인 경우에만 상기 입력노드를 논리 하이로 유지시키는 래치를 포함하는 반도체 집적회로 장치.

청구항 16.

제 14 항에 있어서,

상기 출력 유지 수단은,

제2 제어신호에 응답하여 상기 파워 게이팅 회로부의 마지막 동작모드 출력값이 논리 하이인 경우 상기 파워 게이팅 회로부의 대기모드에서 비동작되는 전송 게이트; 및

상기 입력노드가 논리 하이인 경우에만 상기 입력노드를 논리 하이로 유지시키는 래치부

를 포함하는 반도체 집적회로 장치.

청구항 17.

제 16 항에 있어서,

상기 래치부는,

상기 입력노드의 신호를 입력받는 인버터; 및

상기 인버터의 출력에 게이팅되어 상기 입력노드와 전원전압원이 소스-드레인 경로가 접속된 풀-업 트랜지스터

를 포함하는 반도체 집적회로 장치.

청구항 18.

제 17 항에 있어서,

상기 전송 게이트는,

상기 출력노드와 상기 입력노드 사이에 소스-드레인 경로가 접속되고 게이트단으로 상기 제2 제어신호를 인가받는 제3 트랜지스터; 및

상기 출력노드와 상기 입력노드 사이에 소스-드레인 경로가 접속되고 게이트단으로 상기 인버터의 출력신호를 인가받는 제4 트랜지스터

를 포함하는 반도체 집적회로 장치.

청구항 19.

제 18 항에 있어서,

상기 대기모드에서 상기 동작모드로의 전환시 상기 제1 제어신호가 활성화되고 일정 시간 후에 상기 제2 제어신호가 활성화되는 반도체 집적회로 장치.

청구항 20.

제 19 항에 있어서,

상기 제3 트랜지스터는 상기 풀-업 트랜지스터에 비해 큰 크기를 갖는 반도체 집적회로 장치.

청구항 21.

제 12 항에 있어서,

상기 출력 유지 수단을 구성하는 트랜지스터들은 상기 논리회로부를 구성하는 제1 트랜지스터보다 높은 문턱전압을 갖는 반도체 집적회로 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 설계 기술에 관한 것으로, 특히 푸터(header) 또는 헤더(header) 구조를 갖는 파워 게이팅(power gating) 회로를 구비한 반도체 집적회로 장치에 관한 것이다.

파워 게이팅(power gating) 회로는 공급전압원과, 공급전압원으로부터 전원전압 및 접지전압을 입력받아 구동되는 논리 회로 사이에 전류 제어용 스위칭 소자로 동작하는 제어 트랜지스터(control transistor)가 접속된 구조를 갖는다.

제어 트랜지스터는 공급전압원인 전원전압원 또는 접지전압원과 논리회로 사이에 접속된다. 이러한 제어 트랜지스터는 논리회로의 대기 모드(stand-by mode)-논리회로가 비 동작되는 모드-시 턴-오프(turn-off)되어 공급전압원으로부터 논리 회로로 공급되는 전원전압 또는 접지전압을 차단하여 소모 전류를 감소시키게 된다.

도 1 및 도 2는 일반적인 파워 게이팅 회로의 구성을 도시한 회로도로서, 도 1은 제어 트랜지스터가 접지전압원과 논리회로부 사이에 연결된 구조를 도시하였고, 도 2는 제어 트랜지스터가 전원전압원과 논리회로부 사이에 연결된 구조를 도시하였다.

도 1에 도시된 제어 트랜지스터(12)는 칩(chip)의 접지전압원(GND)과 논리회로부(11) 사이에 연결되어 접지전압원(GND)과 논리회로부(11)의 가상접지전압원(VGND)을 연결하기 때문에 푸터(header)라고 부른다. 이하, 제어 트랜지스터(12)를 푸터로 명명하기로 한다.

푸터(12)는 도 3의 (a) 및 (b)에 도시된 바와 같이 서로 다른 문턱전압(threshold voltage)을 갖는 n-형 MOSFET(n-type MOSFET)(이하, NMOS 트랜지스터라 함)(M1, M2) 중 어느 하나의 트랜지스터로 이루어진다. 도 3에서, (a)에 도시된 NMOS 트랜지스터(M1)는 (b)에 도시된 NMOS 트랜지스터(M2)의 문턱전압보다 더 낮은 문턱전압을 갖는 트랜지스터이며, 대략 논리회로부(11)를 구성하는 트랜지스터의 문턱전압과 동일하거나 높은 문턱전압을 갖는다.

한편, 도 2에 도시된 제어 트랜지스터(22)는 칩의 전원전압원(VDD)과 논리회로부(21) 사이에 접속되어 전원전압원(VDD)과 논리회로부(21)의 가상전원전압원(VVDD)을 연결하기 때문에 헤더(header)라고 부른다. 이하, 제어 트랜지스터(22)를 헤더로 명명하기로 한다.

헤더(22)는 도 4의 (a) 및 (b)에 도시된 바와 같이 서로 다른 문턱전압을 갖는 p-형 MOSFET(p-type MOSFET)(이하, PMOS 트랜지스터라 함)(M3, M4) 중 선택된 어느 하나의 트랜지스터로 이루어진다. 도 4에서, (a)에 도시된 PMOS 트랜지스터(M3)는 (b)에 도시된 PMOS 트랜지스터(M4)의 문턱전압보다 더 낮은 문턱전압을 갖는 트랜지스터이며, 대략 논리 회로부(21)를 구성하는 트랜지스터의 문턱전압과 동일하거나 더 높은 문턱전압을 갖도록 설계된다.

이하, 도 1 및 도 2에 도시된 파워 게이팅 회로의 동작 특성을 설명하면 다음과 같다.

도 1에 도시된 논리회로부(11)의 동작모드(active mode) 및 대기모드시 푸터(12)의 동작 특성을 설명하면 다음과 같다. 먼저, 동작모드시 푸터(12)는 게이트로 입력되는 논리 하이 상태의 제어신호(/SB)에 의해 턴-온되어 접지전압원(GND)으로부터 공급되는 접지전압을 논리회로부(11)로 공급하여 논리회로부(11)의 동작속도를 향상시킨다. 그리고, 푸터(12)는 대기모드시 논리 로우 상태의 제어신호(/SB)에 의해 턴-오프되어 접지전압원(GND)으로부터 공급되는 접지전압을 차단시키고, 이를 통해 논리회로부(11)의 누설전류를 감소시켜 전체 반도체 집적회로의 소비전력을 최소화하게 한다.

한편, 도 2에 도시된 논리회로부(21)의 동작모드 및 대기모드시 헤더(22)의 동작 특성을 설명하면 다음과 같다. 먼저, 동작모드시 헤더(22)는 게이트로 입력되는 논리 로우 상태의 제어신호(SB)에 의해 턴-온되어 전원전압원(VDD)으로부터 공급되는 전원전압을 논리회로부(21)로 공급하여 논리회로부(21)의 동작속도를 향상시킨다. 그리고, 헤더(22)는 대기모드시 논리 하이 상태의 제어신호(SB)에 의해 턴-오프되어 전원전압원(VDD)으로부터 공급되는 전원전압을 차단시키고, 이를 통해 논리회로부(21)의 누설전류를 감소시켜 전체 반도체 집적회로의 소비전력을 최소화하게 한다.

전술한 바와 같이 동작하는 파워 게이팅 회로가 일반 회로와 연결된 구조에서 어떻게 동작하는지 도 5 및 도 6을 참조하여 설명하기로 한다. 도 5는 도 1에 도시된 파워 게이팅 회로부(10)와 일반 회로부(30)가 연결된 회로를 도시하였고, 도 6은 도 2에 도시된 파워 게이팅 회로부(20)와 일반 회로부(30)가 연결된 회로를 도시하였다.

도 5를 참조하면, 동작모드시 푸터(12)가 턴-온되어 파워 게이팅 회로부(10)가 논리 로우 상태의 출력신호를 일반 회로부(30)로 출력하는 경우, 동작모드에서 대기모드로 진입하여 푸터(12)가 턴-오프되면 가상접지전압원(VGND)이 플로우팅(floating) 상태가 되어 결국 파워 게이팅 회로부(10)의 출력은 플로우팅 상태가 된다.

즉, 대기 모드시 푸터(12)가 턴-오프되면 가상접지전압원(VGND)과 칩의 접지전압원(GND) 간의 접속이 차단되어 논리회로부(11)는 오직 칩의 전원전압원(VDD) 하고만 접속된 상태가 된다. 이에 따라, 논리회로부(11)의 출력신호는 논리 로우에서 논리 하이로 서서히 변하게 되고, 어느 순간 논리 로우 상태도 아니고, 논리 하이 상태로 아닌 플로우팅 상태-일반 회로부(30)의 PMOS 트랜지스터와 NMOS 트랜지스터를 동시에 턴-온시킬 수 있는 논리 레벨 상태-가 되는데, 이러한 플로우팅 상태는 일정 시간 동안 지속된다.

결국, 일반 회로부(30), 즉 도 5에 도시된 바와 같이 CMOS 인버터 구성을 갖는 회로부(30)의 입력노드는 플로우팅 상태로 일정 시간 동안 지속된다. 이에 따라, 회로부(30)를 구성하는 PMOS 트랜지스터와 NMOS 트랜지스터가 동시에 턴-온되어 회로부(30)에서 단락 전류(I1)가 흐르게 된다.

이와 마찬가지로, 도 6에 도시된 일반 회로부(30)에서도 단락 회로 전류(I2)가 흐르게 된다. 구체적으로 설명하면, 동작모드시 헤더(22)가 턴-온되어 파워 게이팅 회로부(20)는 논리 하이 상태의 출력신호를 일반 회로부(30)로 출력하는 경우 동작모드에서 대기모드로 진입하여 헤더(22)가 턴-오프되면 가상전원전압원(VVDD)이 플로우팅 상태가 되어 결국 파워 게이팅 회로부(20)의 출력은 플로우팅 상태가 된다.

즉, 대기 모드시 헤더(22)가 턴-오프되면 가상전원전압원(VVDD)과 칩의 접지전압원(GND) 간의 접속이 차단되어 논리회로부(21)는 오직 칩의 전원전압원(VDD) 하고만 접속된 상태가 된다. 이에 따라, 논리회로부(21)의 출력신호는 논리 하이에서 논리 로우로 서서히 변하게 되고, 어느 순간 논리 하이 상태도 아니고, 논리 로우 상태로 아닌 플로우팅 상태가 되는데, 이러한 플로우팅 상태는 일정 시간 동안 지속된다.

결국, 일반 회로부(30), 즉 도 6에 도시된 바와 같이 CMOS 인버터 구성을 갖는 일반 회로부(30)의 입력노드는 플로우팅 상태로 일정 시간 동안 지속된다. 이에 따라, 일반 회로부(30)에서는 단락 전류(I2)가 흐르게 된다.

상기 도 5 및 도 6을 통해 설명한 바와 같이, 파워 게이팅 회로와 일반 회로가 연결된 구성을 갖는 반도체 집적회로 장치에서, 파워 게이팅 회로가 동작모드에서 대기모드로 진입시 파워 게이팅 회로의 출력이 푸터 또는 헤더의 동작에 따라 플로우팅 상태가 되어 일반 회로에서의 단락전류를 유발시켜 소자의 동작 특성을 저하시키는 바, 이러한 일반 회로에서의 단락전류를 방지하기 위한 회로가 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 파워 게이팅 회로와 일반 회로가 연결된 구성을 갖는 반도체 집적회로 장치에서, 파워 게이팅 회로가 동작모드에서 대기모드로 진입시 파워 게이팅 회로의 플로우팅 상태의 출력이 일반 회로의 입력으로 전달되어 단락전류가 발생하는 것을 방지할 수 있는 반도체 집적회로 장치를 제공하는데 그 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위한 일 측면에 따른 본 발명은, 파워 게이팅 회로부와, 상기 파워 게이팅 회로부의 출력에 응답하여 동작하는 일반 회로부와, 상기 파워 게이팅 회로부의 출력노드와 상기 일반 회로부의 입력노드 사이에 연결되어 상기 파워 게이팅 회로부의 대기모드에서 상기 출력노드가 플로팅될 때 상기 입력노드를 상기 파워 게이팅 회로부의 마지막 동작모드 출력값으로 유지시키는 출력 유지 수단을 포함하는 반도체 집적회로 장치를 제공한다.

종래기술에 따른 파워 게이팅 회로를 구비하는 반도체 집적회로에서는 파워 게이팅 회로가 동작모드에서 대기모드로 진입시 출력신호가 논리 하이(또는, 논리 로우)에서 논리 로우(또는, 논리 하이)로 서서히 변하여 플로우팅 상태가 발생된다. 즉, 파워 게이팅 회로의 대기모드 진입시 도 5에 도시된 푸터 구조의 파워 게이팅 회로에서는 출력이 논리 로우에서 논리 하이 상태로 변하고, 도 6에 도시된 헤더 구조의 파워 게이팅 회로에서는 출력이 논리 하이에서 논리 로우 상태로 변하게 된다.

따라서, 파워 게이팅 회로의 구조, 즉 푸터 구조 또는 헤더 구조에 따라 각각 파워 게이팅 회로가 동작모드에서 대기모드로 진입시 출력신호가 논리 하이(또는, 논리 로우)에서 논리 로우(또는, 논리 하이)로 서서히 변하는 것을 차단해야만 한다.

이를 위해, 본 발명은 파워 게이팅 회로와, 파워 게이팅 회로의 출력을 입력으로 하는 일반 회로 사이에 파워 게이팅 회로의 대기모드시 출력을 파워 게이팅 회로의 동작모드시 출력되는 신호의 논리 레벨로 유지시키는 출력 유지 수단을 제안한다.

전술한 바와 같이, 파워 게이팅 회로는 푸터 또는 헤더 구조에 따라 플로우팅 상태가 발생하는 논리 상태가 다르다. 즉, 푸터 구조에서는 동작모드에서 논리 로우 상태의 출력이 출력되는 경우에 플로우팅 상태가 발생되고, 헤더 구조에서는 동작모드에서 논리 하이 상태의 출력이 출력되는 경우에 플로우팅 상태가 발생된다.

따라서, 본 발명의 출력 유지 수단은 푸터 또는 헤더 구조에서 서로 다른 회로 구성으로 설계되어야 한다. 즉, 푸터 구조에서는 대기모드시 푸터의 동작과 무관하게 파워 게이팅 회로의 출력을 논리 로우 상태로 유지하고, 헤더 구조에서는 헤더의 동작과 무관하게 출력을 논리 하이 상태로 유지하도록 설계되어야 하며, 그 이외의 경우에는 푸터 또는 헤더의 동작에 대응하는 신호를 출력하도록 설계되어야 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예들을 첨부한 도면을 참조하여 설명한다. 또한 명세서 전체에 걸쳐서 동일한 도면부호(또는, 참조부호)로 표시된 부분은 동일한 요소들을 나타낸다.

실시예1

도 7은 본 발명의 실시예1에 따른 파워 게이팅 회로를 구비하는 반도체 집적회로 장치의 회로도이다. 여기서, 도 7에 도시된 파워 게이팅 회로는 푸터 구조를 갖는다.

도 7을 참조하면, 본 발명의 실시예1에 따른 반도체 집적회로는 파워 게이팅 회로부(110)와 일반 회로부(130) 사이에 연결되어 파워 게이팅 회로부(110)의 대기모드에서 파워 게이팅 회로부(110)의 출력노드가 플로우팅될 때 일반 회로부(130)의 입력노드를 파워 게이팅 회로부(110)의 마지막 동작모드 출력값으로 유지시키는 출력 유지 회로부(120)를 구비한다.

파워 게이팅 회로부(110)는 칩의 전원전압원(VDD)(이하, 제1 전원전압원이라 함)과 가상접지전압원(VGND) 사이에 연결된 논리회로부(111)와, 가상접지전압원(VGND)과 칩의 접지전압원(GND)(이하, 제2 전원전압원이라 함)을 연결하는 푸터(112)로 구성된다.

논리회로부(111)는 복수 개의 PMOS 트랜지스터 및 NMOS 트랜지스터로 이루어지는 모든 회로를 포함한다. 예컨대, 논리회로부(111)는 CMOS 인버터(inverter), 논리합, 논리곱, 부정 논리합 및 부정 논리곱 게이트들 중 어느 하나의 회로로 구성될 수 있다.

푸터(112)는 스위칭 소자로서 도 3의 (a) 및 (b)에 각각 도시된 바와 같이 서로 다른 문턱전압을 갖는 NMOS 트랜지스터(M1, M2) 중 회로 설계에 따라 선택된 어느 하나의 트랜지스터로 이루어진다. 푸터(112)는 제어신호(SB)(이하, 제1 제어신호라 함)의 반전신호(/SB)(이하, 제2 제어신호라 함)에 의해 동작된다. 제2 제어신호(/SB)는 파워 게이팅 회로부(110)가 동작모드일 때 논리 하이 상태로 유지되고, 대기모드일 때 논리 로우 상태로 유지된다.

출력 유지 회로부(120)는 제어신호(CTRL)(이하, 제3 제어신호라 함)의 반전신호(이하, 제4 제어신호라 함)(/CTRL)에 응답하여 파워 게이팅 회로부(110)의 동작모드시 출력을 래치(latch)한 후 대기모드시 래치된 신호를 일반 회로부(130)로 출력한다.

이러한 출력 유지 회로부(120)는 제4 제어신호(/CTRL)에 응답하여 파워 게이팅 회로부(110)의 출력신호를 전달하는 전송 게이트(transfer gate)(TG1)와, 전송 게이트(TG1)를 통해 파워 게이팅 회로부(110)로부터 전달된 신호를 래치하는 래치부(LAT1)로 이루어진다.

전송 게이트(TG1)는 NMOS 트랜지스터(M5)의 소스(source)단과 드레인(drain)단이 PMOS 트랜지스터(M6)의 소스단 및 드레인단과 각각 연결된 구조로 이루어진다. NMOS 트랜지스터(M5)는 게이트단으로 입력되는 제4 제어신호(/CTRL)에 의해 동작되고, PMOS 트랜지스터(M6)는 래치부(LAT1)를 구성하는 인버터(INV1)의 출력신호에 따라 동작된다.

NMOS 트랜지스터(M5)는 파워 게이팅 회로부(110)의 동작모드시 제4 제어신호(/CTRL)에 의해 턴-온 상태로 유지되어 파워 게이팅 회로부(110)의 출력을 일반 회로부(130)로 전달하고, 대기모드시에는 턴-오프되어 파워 게이팅 회로부(110)로부터 일반 회로부(130)로 전달되는 신호를 차단한다. PMOS 트랜지스터(M6)는 파워 게이팅 회로부(110)의 출력이 논리 하이 상태인 경우 인버터(INV1)의 출력에 의해 동작한다.

래치부(LAT1)는 전송 게이트(TG1)를 통해 출력되는 파워 게이팅 회로부(110)의 출력을 반전시켜 출력하는 인버터(INV1)와, 인버터(INV1)의 출력에 따라 턴-온되어 일반 회로부(130)의 입력노드(N2)를 제2 전원전압원(GND)과 연결하는 NMOS 트랜지스터(M7)로 이루어진다. 여기서, NMOS 트랜지스터(M7)는 입력노드(N2)를 접지전압으로 유지시키는 기능을 수행하기 때문에 풀-다운(pull-down) 트랜지스터로 부른다.

인버터(INV1)는 전송 게이트(TG1)의 출력노드-일반 회로부(130)의 입력노드(N2)와 연결됨-와 PMOS 트랜지스터(M6)의 게이트단 사이에 연결되어 전송 게이트(TG1)를 통해 입력노드(N2)로 전달되는 신호를 반전시켜 PMOS 트랜지스터(M6)의 게이트단으로 출력한다.

NMOS 트랜지스터(M7)는 드레인단이 전송 게이트(TG1)의 출력노드에 연결되고, 소스단이 제2 전원전압원(GND)에 연결되어 인버터(INV1)의 출력에 따라 일반 회로부(130)의 입력노드(N2)를 접지시킨다. 즉, NMOS 트랜지스터(M7)는 파워 게이팅 회로부(110)의 출력이 논리 로우 상태인 경우 인버터(INV1)의 출력신호에 의해 턴-오프되어 입력노드(N2)의 전위를 파워 게이팅 회로부(110)의 출력과 동일한 논리 레벨로 유지시킨다.

여기서, 출력 유지 회로부(120)를 구성하는 NMOS 트랜지스터(M5, M7) 및 PMOS 트랜지스터(M6)는 논리회로부(111)를 구성하는 트랜지스터들의 문턱전압보다 높은 문턱전압을 갖는다. 즉, NMOS 트랜지스터(M5, M7)의 경우 도 3의 (b)의

NMOS 트랜지스터(M2)와 동일한 문턱전압을 갖고, PMOS 트랜지스터(M6)의 경우 도 4의 (b)의 PMOS 트랜지스터(M4)와 동일한 문턱전압을 갖도록 설계된다. 또한, 래치부(LAT1)를 구성하는 인버터(INV1)는 NMOS 트랜지스터와 PMOS 트랜지스터로 이루어지며, 각 트랜지스터는 도 3의 (b) 및 도 4의 (b)의 트랜지스터(M2, M4)와 동일한 문턱전압을 갖는다.

한편, 출력 유지 회로부(120)가 파워 게이팅 회로부(110)의 동작모드시 파워 게이팅 회로부(110)의 출력노드(N1)를 통해 출력되는 출력신호를 빠르게 일반 회로부(130)의 입력노드(N2)로 전달하기 위해서는 NMOS 트랜지스터(M5)의 크기(W/L; Width/Length)를 NMOS 트랜지스터(M7)의 크기보다 크게 설계해야 한다. 즉, 파워 게이팅 회로부(110)의 출력이 논리 로우에서 논리 하이로 변할 때, PMOS 트랜지스터(M6)가 턴-오프되고, NMOS 트랜지스터(M7)가 턴-온되어 있기 때문에 출력은 NMOS 트랜지스터(M5, M7)의 전류 구동 능력에 의해서 바뀌게 된다. 이처럼, 출력을 빠르게 바꾸기 위해서는 NMOS 트랜지스터(M5)의 크기를 NMOS 트랜지스터(M7)보다 크게 설계해야 한다.

이하, 도 8을 참조하여 도 7에 도시된 본 발명의 실시예1에 따른 반도체 집적회로 장치의 동작특성을 설명하기로 한다. 여기서, 도 8은 도 7에 도시된 파워 게이팅 회로부(110)의 동작 및 대기모드시 제어신호(/SB, /CTRL)의 파형을 도시한 파형도이다.

우선, 동작모드시 파워 게이팅 회로부(110)가 출력노드(N1)를 통해 논리 로우 상태의 출력신호를 출력하는 경우에 출력 유지 회로부(120)의 동작 특성을 설명한다.

도 7 및 도 8을 참조하면, 동작모드시 제2 제어신호(/SB)와 제4 제어신호(/CTRL)는 논리 하이 상태로 입력된다. 이에 따라, 푸터(112)의 NMOS 트랜지스터(예컨대, M1; 도 3의 (a)참조)는 턴-온되어 파워 게이팅 회로부(110)는 논리 로우 상태의 출력신호를 출력노드(N1)를 통해 출력한다. 이때, 전송 게이트(TG1)의 NMOS 트랜지스터(M5)는 제4 제어신호(/CTRL)에 의해 턴-온된 상태이기 때문에 파워 게이팅 회로부(110)의 출력은 NMOS 트랜지스터(M5)를 통해 일반 회로부(130)의 입력노드(N2)로 전달된다. 또한, 인버터(INV1)는 NMOS 트랜지스터(M5)를 통해 전달된 논리 로우 신호를 입력받아 논리 하이 신호로 반전시켜 출력한다. 이에 따라, NMOS 트랜지스터(M7)는 턴-온되어 일반 회로부(130)의 입력노드(N2)의 전위를 논리 로우 상태로 유지시킨다.

이런 상태에서, 제2 제어신호(/SB)가 논리 하이에서 논리 로우로 천이하면 푸터(112)가 턴-오프되어 파워 게이팅 회로부(110)는 대기모드로 진입한다. 즉, 제2 제어신호(/SB)에 의해 푸터(112)의 NMOS 트랜지스터가 턴-오프되면 가상접지전압원(VGND)과 제2 전원전압원(GND)은 연결이 끊어지게 되어 논리회로부(111)로 공급되는 접지전압이 차단되고, 결국 파워 게이팅 회로부(110)가 대기모드로 진입하게 된다. 이와 같이, 푸터(112)가 턴-오프되면 파워 게이팅 회로부(110)의 출력노드(N1)로 출력되는 신호는 서서히 논리 로우에서 논리 하이로 변하여 어느 순간 플로우팅 상태가 된다. 이때, 제4 제어신호(/CTRL) 또한 제2 제어신호(/SB)와 마찬가지로 대기모드 진입시 논리 하이에서 논리 로우로 천이하기 때문에 전송 게이트(TG1)의 NMOS 트랜지스터(M5)는 턴-오프되어 파워 게이팅 회로부(110)의 출력노드(N1)로 출력되는 신호는 일반 회로부(130)의 입력노드(N2)로 전달되지 못하고 차단된다.

결국, 대기모드시 푸터(112)가 턴-오프되어 파워 게이팅 회로부(110)의 출력노드(N1)로 출력되는 신호가 플로우팅 상태로 진입하더라도 플로우팅 상태의 신호가 NMOS 트랜지스터(M5)에 의해 일반 회로부(130)의 입력노드(N2)로 전달되는 것이 차단되어 일반 회로부(130)의 입력노드(N2)의 전위 변동에 영향을 미치지 않게 된다. 즉, 일반 회로부(130)의 입력노드(N2)는 래치부(LAT1)에 의해 이전 동작 모드시 NMOS 트랜지스터(M5)를 통해 전달된 논리 로우 상태의 신호를 그대로 유지하게 된다.

이런 상태에서, 제2 제어신호(/SB)가 논리 로우에서 논리 하이로 천이하면 푸터(112)가 턴-온되어 파워 게이팅 회로부(110)는 동작모드로 진입하기 전 준비 단계인 각성모드(wake-up mode)로 진입한다. 이때, 푸터(112)가 턴-온되어 파워 게이팅 회로부(110)의 출력이 플로우팅 상태에서 논리 로우 상태로 변동하지만, 제4 제어신호(/CTRL)가 논리 로우 상태로 계속 유지되어 NMOS 트랜지스터(M5)가 턴-오프 상태로 유지되기 때문에 일반 회로부(130)의 입력노드(N2)는 파워 게이팅 회로부(110)의 출력신호의 변동과 무관하게 이전 대기모드에서 래치된 논리 로우 레벨로 유지된다.

이와 같이 대기모드와 동작모드 사이에 각성모드를 두는 이유는 푸터(112)가 턴-오프 상태에서 턴-온 상태로 변환하여 파워 게이팅 회로부(110)의 출력신호가 플로우팅 상태가 아닌 완전한 논리 로우 상태로 되는 시간을 보상하기 위함이다. 즉, 푸터(112)가 턴-온 상태로 변환되는 동안 파워 게이팅 회로부(110)의 출력신호 또한 플로우팅 상태에서 논리 로우 상태로 서서히 변하게 되는데, 이때 NMOS 트랜지스터(M5)가 푸터(112)보다 먼저 턴-온되는 경우 파워 게이팅 회로부(110)의 플로우팅 상태의 출력신호가 일반 회로부(130)의 입력노드(N2)로 전달될 수 있기 때문이다.

한편, 동작모드시 파워 게이팅 회로부(110)가 출력노드(N1)를 통해 논리 하이 상태의 출력신호를 출력하는 경우에 출력 유지 회로부(120)의 동작 특성을 설명한다.

도 7 및 도 8을 참조하면, 동작모드시 제2 제어신호(/SB)와 제4 제어신호(/CTRL)는 논리 하이 상태로 입력된다. 이에 따라, 푸터(112)의 NMOS 트랜지스터(예컨대, M1; 도 3의 (a)참조)는 턴-온되어 파워 게이팅 회로부(110)는 논리 하이 상태의 출력신호를 출력노드(N1)를 통해 출력한다. 이때, 전송 게이트(TG1)의 NMOS 트랜지스터(M5)는 제4 제어신호(/CTRL)에 의해 턴-온된 상태이기 때문에 파워 게이팅 회로부(110)의 출력은 NMOS 트랜지스터(M5)를 통해 일반 회로부(130)의 입력노드(N2)로 전달된다. 또한, 인버터(INV1)는 NMOS 트랜지스터(110)를 통해 전달된 논리 하이 신호를 입력 받아 논리 로우 신호로 반전시켜 출력한다. 이에 따라, NMOS 트랜지스터(M7)는 턴-오프되어 일반 회로부(130)의 입력노드(N2)의 전위는 그대로 논리 하이 상태로 유지된다.

이런 상태에서, 제2 제어신호(/SB)가 논리 하이에서 논리 로우로 천이하면 푸터(112)가 턴-오프되어 파워 게이팅 회로부(110)는 대기모드로 진입한다. 즉, 제2 제어신호(/SB)에 의해 푸터(112)의 NMOS 트랜지스터가 턴-오프되면 가상접지전압원(VGND)과 제2 전원전압원(GND)은 연결이 끊어지게 되어 논리회로부(111)로 공급되는 접지전압이 차단되고, 결국 파워 게이팅 회로부(110)가 대기모드로 진입하게 된다. 하지만, 푸터(112)가 턴-오프되어 파워 게이팅 회로부(110)가 대기모드로 진입하는 경우에도 파워 게이팅 회로부(110)가 논리 하이 상태의 신호를 출력하기 때문에 실질적으로 파워 게이팅 회로부(110)의 출력에는 영향을 미치지 않게 된다. 즉, 파워 게이팅 회로부(110)는 논리 하이 상태의 신호를 계속해서 출력하게 된다.

그리고, 제4 제어신호(/CTRL) 또한 제2 제어신호(/SB)와 마찬가지로 대기모드 진입시 논리 하이에서 논리 로우로 천이하기 때문에 전송 게이트(TG1)의 NMOS 트랜지스터(M5)는 턴-오프되지만, 이미 인버터(INV1)를 통해 출력되는 논리 하이 상태의 신호에 의해 전송 게이트(TG1)의 PMOS 트랜지스터(M6)가 턴-온 상태로 유지되기 때문에 파워 게이팅 회로부(110)의 출력신호는 일반 회로부(130)의 입력노드(N2)로 전달된다.

지금까지 기술한 바와 같이 본 발명의 실시예1에 따른 푸터 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로 장치에서는 파워 게이팅 회로부의 출력이 논리 로우 상태에서 대기모드로 진입시 이전 동작모드시의 파워 게이팅 회로부의 파워 게이팅 회로부의 출력과 동일한 논리 레벨로 일반 회로의 입력노드를 유지시킴으로써 일반 회로부의 단락전류를 방지할 수 있다.

실시예2

도 9는 본 발명의 실시예2에 따른 파워 게이팅 회로를 구비하는 반도체 집적회로 장치의 회로도이다. 여기서, 도 9에 도시된 파워 게이팅 회로는 헤더 구조를 갖는다.

도 9를 참조하면, 본 발명의 실시예2에 따른 반도체 집적회로 장치는 실시예1에 따른 반도체 집적회로 장치와 마찬가지로 파워 게이팅 회로부(210)와 일반 회로부(230) 사이에 연결되어 일반 회로부(230)의 단락전류를 방지하는 출력 유지 회로부(220)를 구비한다.

파워 게이팅 회로부(210)는 제1 전원전압원(VDD)과 가상전원전압원(VVDD) 사이에 연결된 헤더(212)와, 가상전원전압원(VVDD)과 제2 전원전압원(GND) 사이에 연결된 논리회로부(211)로 이루어진다.

논리회로부(211)는 실시예1에 따른 논리회로부(111, 도 7참조)와 마찬가지로 복수 개의 PMOS 트랜지스터 및 NMOS 트랜지스터로 이루어지는 모든 회로를 포함한다.

헤더(212)는 스위칭 소자로서 도 4의 (a) 및 (b)에 각각 도시된 바와 같이 서로 다른 문턱전압을 갖는 PMOS 트랜지스터(M3, M4) 중 회로 설계에 따라 선택된 어느 하나의 트랜지스터로 이루어진다. 헤더(212)는 제1 제어신호(SB)에 의해 동작된다. 제1 제어신호(SB)는 파워 게이팅 회로부(210)가 동작모드일 때 논리 로우 상태로 유지되고, 대기모드일 때 논리 하이 상태로 유지된다.

출력 유지 회로부(220)는 제3 제어신호(CTRL)에 응답하여 파워 게이팅 회로부(210)의 동작모드시 출력을 래치한 후 대기모드시 래치된 신호를 일반 회로부(230)로 출력한다.

이러한 출력 유지 회로부(220)는 제3 제어신호(CTRL)에 응답하여 파워 게이팅 회로부(210)의 출력신호를 전달하는 전송 게이트(TG2)와, 전송 게이트(TG2)를 통해 파워 게이팅 회로부(210)로부터 전달된 신호를 래치하는 래치부(LAT2)로 이루어진다.

전송 게이트(TG2)는 NMOS 트랜지스터(M8)의 소스단과 드레인단이 PMOS 트랜지스터(M9)의 소스단 및 드레인단과 각각 연결된 구조로 이루어진다. PMOS 트랜지스터(M9)는 게이트단으로 입력되는 제3 제어신호(CTRL)에 의해 동작되고, NMOS 트랜지스터(M8)는 래치부(LAT2)를 구성하는 인버터(INV2)의 출력신호에 따라 동작된다.

PMOS 트랜지스터(M9)는 파워 게이팅 회로부(210)의 동작모드시 제3 제어신호(CTRL)에 의해 턴-온 상태로 유지되어 파워 게이팅 회로부(210)의 출력을 일반 회로부(230)로 전달하고, 대기모드시에는 턴-오프되어 파워 게이팅 회로부(210)로부터 일반 회로부(230)로 전달되는 신호를 차단한다. NMOS 트랜지스터(M8)는 파워 게이팅 회로부(210)의 출력이 논리 로우 상태인 경우 인버터(INV2)의 출력신호에 의해 동작한다.

래치부(LAT2)는 전송 게이트(TG2)를 통해 출력되는 파워 게이팅 회로부(210)의 출력을 반전시켜 출력하는 인버터(INV2)와, 인버터(INV2)의 출력에 따라 턴-온되어 일반 회로부(230)의 입력노드(N4)를 제1 전원전압원(VDD)과 연결하는 PMOS 트랜지스터(M10)로 이루어진다. 여기서, PMOS 트랜지스터(M10)는 입력노드(N4)를 전원전압으로 유지시키는 기능을 수행하기 때문에 풀-업(pull-up) 트랜지스터로 부른다.

인버터(INV2)는 전송 게이트(TG2)의 출력노드-일반 회로부(230)의 입력노드(N4)와 연결됨-와 NMOS 트랜지스터(M8)의 게이트단 사이에 연결되어 전송 게이트(TG2)를 통해 입력노드(N4)로 전달되는 신호를 반전시켜 NMOS 트랜지스터(M8)의 게이트단으로 출력한다.

PMOS 트랜지스터(M10)는 드레인단이 전송 게이트(TG2)의 출력노드에 연결되고, 소스단이 제1 전원전압원(VDD)에 연결되어 인버터(INV2)의 출력에 따라 일반 회로부(230)의 입력노드(N4)를 논리 하이 레벨로 유지시킨다. 즉, PMOS 트랜지스터(M10)는 파워 게이팅 회로부(210)의 출력이 논리 하이 상태인 경우 인버터(INV2)의 출력신호에 의해 턴-온되어 입력노드(N4)의 전위를 파워 게이팅 회로부(210)의 출력과 동일한 논리 레벨로 유지시킨다.

여기서, 출력 유지 회로부(220)를 구성하는 PMOS 트랜지스터(M9, M10) 및 NMOS 트랜지스터(M8)는 논리회로부(211)를 구성하는 트랜지스터들의 문턱전압보다 높은 문턱전압을 갖는다. 즉, PMOS 트랜지스터(M9, M10)의 경우도 4의 (b)의 PMOS 트랜지스터(M4)와 동일한 문턱전압을 갖고, NMOS 트랜지스터(M8)의 경우도 3의 (b)의 NMOS 트랜지스터(M2)와 동일한 문턱전압을 갖도록 설계된다. 또한, 래치부(LAT2)를 구성하는 인버터(INV2)는 NMOS 트랜지스터와 PMOS 트랜지스터로 이루어지며, 각 트랜지스터는 도 3의 (b) 및 도 4의 (b)의 트랜지스터(M2, M4)와 동일한 문턱전압을 갖는다.

한편, 출력 유지 회로부(220)가 파워 게이팅 회로부(210)의 동작모드시 파워 게이팅 회로부(210)의 출력노드(N3)를 통해 출력되는 출력신호를 빠르게 일반 회로부(230)의 입력노드(N4)로 전달하기 위해서는 PMOS 트랜지스터(M9)의 크기를 PMOS 트랜지스터(M10)의 크기보다 크게 설계해야 한다. 즉, 파워 게이팅 회로부(210)의 출력이 논리 하이에서 논리 로우로 변할 때, NMOS 트랜지스터(M8)가 턴-오프되고, PMOS 트랜지스터(M10)가 턴-온되어 있기 때문에 출력은 PMOS 트랜지스터(M9, M10)의 전류 구동 능력에 의해서 바뀌게 된다. 이처럼, 출력을 빠르게 바꾸기 위해서는 PMOS 트랜지스터(M9)를 PMOS 트랜지스터(M10)보다 크기를 크게 설계해야 한다.

이하, 도 10을 참조하여 도 9에 도시된 본 발명의 실시예2에 따른 반도체 집적회로 장치의 동작특성을 설명하기로 한다. 여기서, 도 10은 도 9에 도시된 파워 게이팅 회로부(210)의 동작 및 대기모드시 제어신호(SB, CTRL)의 파형을 도시한 파형도이다.

우선, 동작모드시 파워 게이팅 회로부(210)가 출력노드(N3)를 통해 논리 하이 상태의 출력신호를 출력하는 경우에 출력 유지 회로부(220)의 동작 특성을 설명한다.

도 9 및 도 10을 참조하면, 동작모드시 제1 제어신호(SB)와 제3 제어신호(CTRL)는 논리 로우 상태로 입력된다. 이에 따라, 헤더(212)의 PMOS 트랜지스터(예컨대, M3; 도 4의 (a)참조)는 턴-온되어 파워 게이팅 회로부(210)는 논리 하이 상태의 출력신호-논리회로부(211)의 동작에 의해 논리 하이 상태의 신호가 출력-를 출력노드(N3)를 통해 출력한다. 이때, 전송 게이트(TG2)의 PMOS 트랜지스터(M9)는 제3 제어신호(CTRL)에 의해 턴-온된 상태이기 때문에 파워 게이팅 회로부(210)의 출력은 PMOS 트랜지스터(M9)를 통해 일반 회로부(230)의 입력노드(N4)로 전달된다. 또한, 인버터(INV2)는

PMOS 트랜지스터(M9)를 통해 전달된 논리 하이 신호를 입력받아 논리 로우 신호로 반전시켜 출력한다. 이에 따라, PMOS 트랜지스터(M10)는 동작모드시 항상 턴-온되어 일반 회로부(230)의 입력노드(N4)의 전위를 논리 하이 상태로 유지시킨다.

이런 상태에서, 제1 제어신호(SB)가 논리 로우에 논리 하이로 천이하면 헤더(212)가 턴-오프되어 파워 게이팅 회로부(210)는 대기모드로 진입한다. 즉, 제1 제어신호(SB)에 의해 헤더(212)의 PMOS 트랜지스터가 턴-오프되면 가상전원전압원(VVDD)과 제1 전원전압원(VDD)은 연결이 끊어지게 되어 논리회로부(211)로 공급되는 전원전압이 차단되고, 결국 파워 게이팅 회로부(210)가 대기모드로 진입하게 된다. 이와 같이, 헤더(212)가 턴-오프되면 파워 게이팅 회로부(210)의 출력노드(N3)로 출력되는 신호는 서서히 논리 하이에서 논리 로우로 변하여 어느 순간 플로우팅 상태가 된다. 그러나, 제3 제어신호(CTRL) 또한 제1 제어신호(SB)와 마찬가지로 대기모드 진입시 논리 로우에서 논리 하이로 천이하기 때문에 전송 게이트(TG2)의 PMOS 트랜지스터(M9)는 턴-오프되어 파워 게이팅 회로부(210)의 출력노드(N3)로 출력되는 출력신호는 일반 회로부(230)의 입력노드(N4)로 전달되지 못하고 차단되게 된다.

결국, 대기모드시 헤더(212)가 턴-오프되어 파워 게이팅 회로부(210)의 출력노드(N3)로 출력되는 신호가 플로우팅 상태로 진입하더라도 플로우팅 상태의 신호가 PMOS 트랜지스터(M9)에 의해 일반 회로부(230)의 입력노드(N4)로 전달되는 것이 차단되어 일반 회로부(230)의 입력노드(N4)의 전위 변동에 영향을 미치지 않게 된다. 즉, 일반 회로부(230)의 입력노드(N4)는 래치부(LAT2)에 의해 이전 동작 모드시 PMOS 트랜지스터(M9)를 통해 전달된 논리 하이 상태의 신호를 그대로 유지되게 된다.

이런 상태에서, 제1 제어신호(SB)가 논리 하이에서 논리 로우로 천이하면 헤더(212)가 턴-온되어 파워 게이팅 회로부(210)는 동작모드로 진입하기 전 준비 단계인 각성모드로 진입한다. 이때, 헤더(212)가 턴-온되어 파워 게이팅 회로부(210)의 출력이 플로우팅 상태에서 논리 하이 상태로 변동하지만, 제3 제어신호(CTRL)가 논리 하이 상태로 계속 유지되어 PMOS 트랜지스터(M9)가 턴-오프 상태로 유지되기 때문에 일반 회로부(230)의 입력노드(N4)는 파워 게이팅 회로부(210)의 출력신호의 변동과 무관하게 이전 대기모드에서 래치된 논리 하이 레벨로 유지되게 된다.

한편, 동작모드시 파워 게이팅 회로부(210)가 출력노드(N3)를 통해 논리 로우 상태의 출력신호를 출력하는 경우에 출력 유지 회로부(220)의 동작 특성을 설명한다.

도 9 및 도 10을 참조하면, 동작모드시 제1 제어신호(SB)와 제3 제어신호(CTRL)는 로우 상태로 입력된다. 이에 따라, 헤더(212)의 PMOS 트랜지스터(예컨대, M3; 도 4의 (a)참조)는 턴-온되어 파워 게이팅 회로부(210)는 논리 로우 상태의 출력신호-논리회로부(211)의 동작에 의해 논리 로우 상태의 신호가 출력-를 출력노드(N3)를 통해 출력한다. 이때, 전송 게이트(TG2)의 PMOS 트랜지스터(M9)는 제3 제어신호(CTRL)에 의해 턴-온된 상태로 유지되기 때문에 파워 게이팅 회로부(210)의 출력은 PMOS 트랜지스터(M9)를 통해 일반 회로부(230)의 입력노드(N4)로 전달되게 된다. 또한, 인버터(INV2)는 PMOS 트랜지스터(M9)를 통해 전달된 논리 로우 신호를 입력받아 논리 하이 신호로 반전시켜 출력한다. 이에 따라, PMOS 트랜지스터(M10)는 턴-오프되어 일반 회로부(230)의 입력노드(N4)의 전위는 그대로 논리 로우 상태로 유지된다.

이런 상태에서, 제1 제어신호(SB)가 논리 로우에서 논리 하이로 천이하면 헤더(212)가 턴-오프되어 파워 게이팅 회로부(210)는 대기모드로 진입한다. 즉, 제1 제어신호(SB)에 의해 헤더(212)의 PMOS 트랜지스터가 턴-오프되면 가상전원전압원(VVDD)과 제1 전원전압원(VDD)은 연결이 끊어지게 되어 논리회로부(211)로 공급되는 전원전압이 차단되고, 결국 파워 게이팅 회로부(210)가 대기모드로 진입하게 된다. 하지만, 헤더(212)가 턴-오프되어 파워 게이팅 회로부(210)가 대기모드로 진입하는 경우에도 파워 게이팅 회로부(210)가 현재 논리 로우 상태의 신호를 출력하기 때문에 실질적으로 파워 게이팅 회로부(210)의 출력에는 영향을 미치지 않게 된다. 즉, 파워 게이팅 회로부(210)는 논리 로우 상태의 신호를 계속해서 출력하게 된다.

그리고, 제3 제어신호(CTRL) 또한 제1 제어신호(SB)와 마찬가지로 대기모드 진입시 논리 로우에서 논리 하이로 천이하기 때문에 전송 게이트(TG2)의 PMOS 트랜지스터(M9)는 턴-오프되지만, 이미 인버터(INV2)를 통해 출력되는 논리 하이 상태의 신호에 의해 전송 게이트(TG2)의 NMOS 트랜지스터(M8)가 턴-온 상태로 유지되기 때문에 파워 게이팅 회로부(210)의 출력신호는 일반 회로부(230)의 입력노드(N4)로 전달된다.

지금까지 기술한 바와 같이 본 발명의 실시예2에 따른 헤더 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로에서는 파워 게이팅 회로부의 출력이 논리 하이 상태에서 대기모드로 진입시 이전 동작모드시의 파워 게이팅 회로부의 출력과 동일한 논리 레벨로 일반 회로의 입력노드를 유지시킴으로써 일반 회로부의 단락전류를 방지할 수 있다.

상기에서 설명한 바와 같이 본 발명의 기술적 사상은 바람직한 실시예들을 통해 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 이 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예들이 가능함을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의하면, 다음과 같은 효과들을 얻을 수 있다.

먼저, 본 발명에 의하면, 푸터 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로에 있어서, 파워 게이팅 회로부의 출력이 논리 로우 상태에서 대기모드로 진입시 이전 파워 게이팅 회로부의 동작모드시의 파워 게이팅 회로부의 출력과 동일한 논리 레벨로 일반 회로의 입력노드를 유지시킴으로써 일반 회로부의 단락전류를 방지할 수 있다.

또한, 본 발명에 의하면, 헤더 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로에 있어서, 파워 게이팅 회로부의 출력이 논리 하이 상태에서 대기 모드로 진입시 이전 파워 게이팅 회로부의 동작 모드시의 파워 게이팅 회로부의 출력과 동일한 논리 레벨로 일반 회로의 입력노드를 유지시킴으로써 일반 회로부의 단락전류를 방지할 수 있다.

도면의 간단한 설명

도 1은 일반적인 푸터/footer 구조를 갖는 파워 게이팅 회로를 도시한 회로도.

도 2는 일반적인 헤더/header 구조를 갖는 파워 게이팅 회로를 도시한 회로도.

도 3은 도 1에 도시된 푸터(12)의 구성을 도시한 회로도.

도 4는 도 2에 도시된 헤더(22)의 구성을 도시한 회로도.

도 5는 도 1에 도시된 푸터 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로 장치를 도시한 회로도.

도 6은 도 2에 도시된 헤더 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로 장치를 도시한 회로도.

도 7은 본 발명의 실시예1에 따른 푸터 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로 장치를 도시한 회로도.

도 8은 도 7에 도시된 반도체 집적회로 장치의 동작 특성을 도시한 동작 파형도.

도 9는 본 발명의 실시예2에 따른 헤더 구조를 갖는 파워 게이팅 회로를 구비한 반도체 집적회로 장치를 도시한 회로도.

도 10은 도 9에 도시된 반도체 집적회로 장치의 동작 특성을 도시한 동작 파형도.

<도면의 주요 부분에 대한 부호의 설명>

11, 21, 111, 211 : 논리회로부

12, 112 : 푸터

22, 212 : 헤더

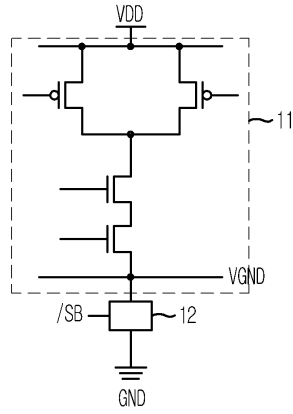
30, 130, 230 : 일반 회로부

TG1, TG2 : 전송 게이트

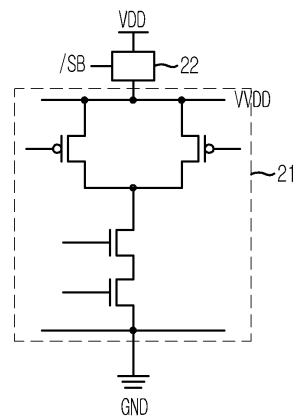
LAT1, LAT2 : 래치부

도면

도면1

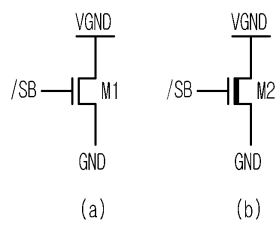


도면2



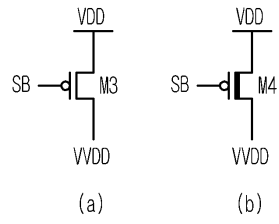
도면3

12

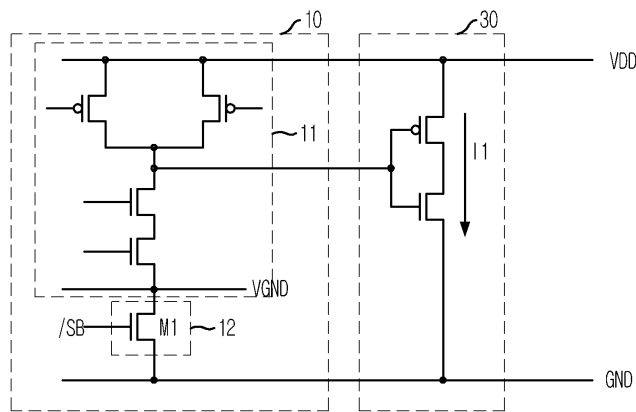


도면4

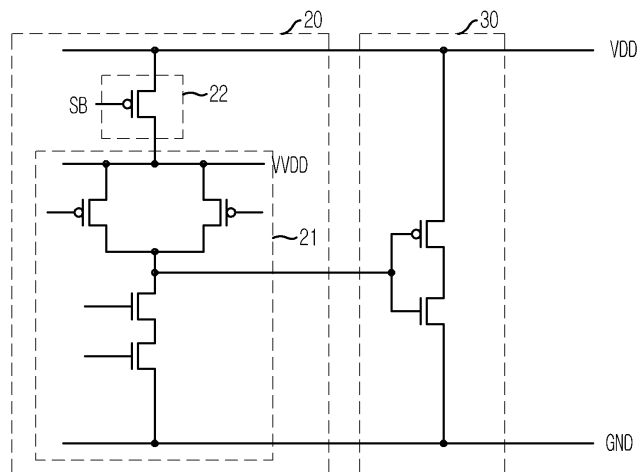
22



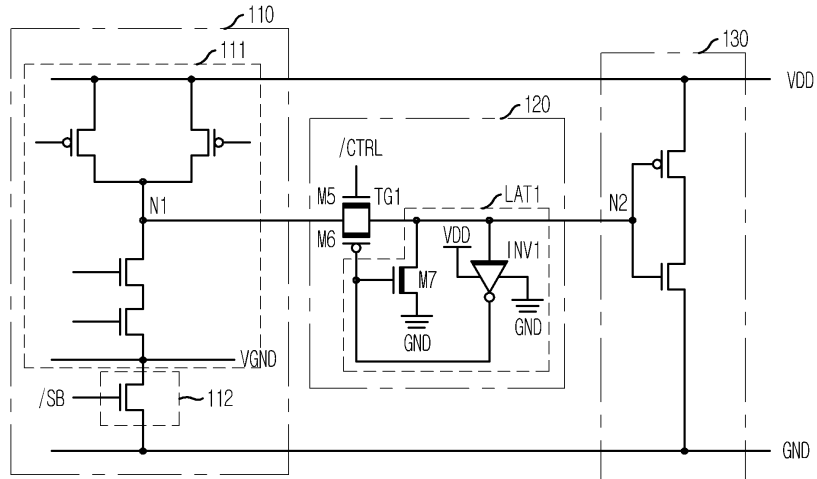
도면5



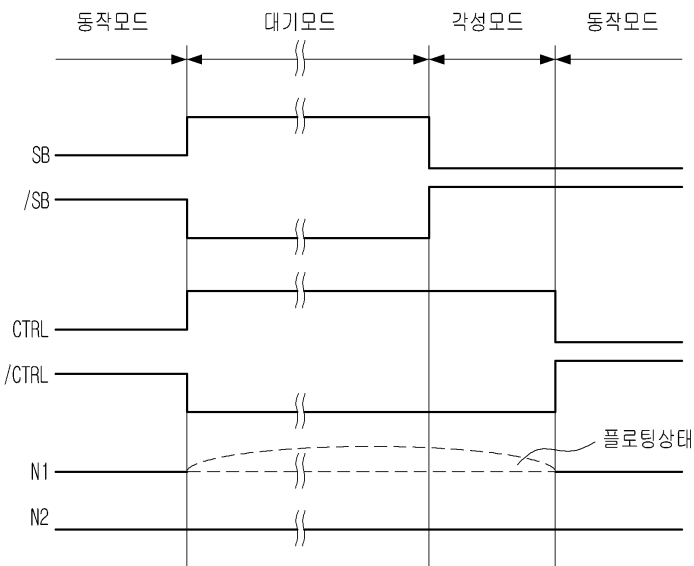
도면6



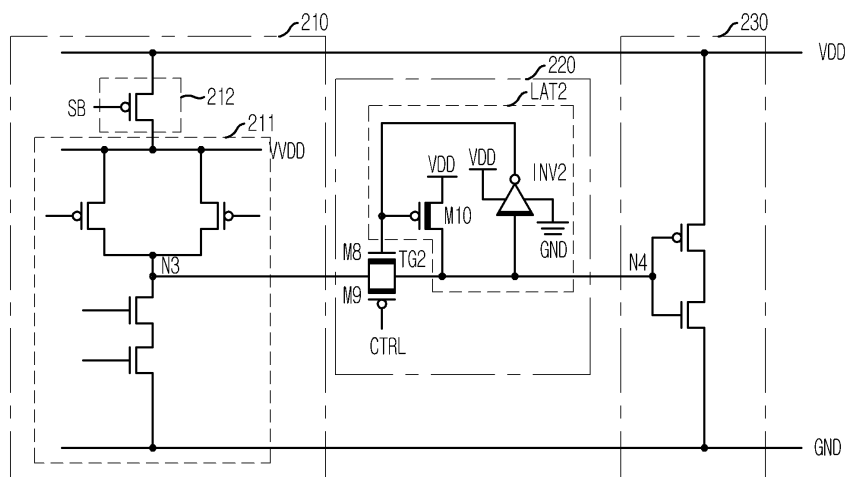
도면7



도면8



도면9



도면10

