



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0087752
(43) 공개일자 2019년07월25일

- (51) 국제특허분류(Int. Cl.)
H01L 27/06 (2006.01) H01L 21/8234 (2006.01)
H01L 27/11 (2006.01)
- (52) CPC특허분류
H01L 27/0611 (2013.01)
H01L 21/823493 (2013.01)
- (21) 출원번호 10-2018-0005928
- (22) 출원일자 2018년01월17일
심사청구일자 없음

- (71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
- (72) 발명자
서재우
서울특별시 성동구 동호로 93, 201동 1106호 (금호동4가, 브라운스톤 금호2차)
신영수
대전광역시 유성구 대학로 291, 나노랩센터 S-204 (구성동, 한국과학기술원)
정진욱
대전광역시 서구 월평동로 83, 105동 1203호 (월평동, 다모아아파트)
- (74) 대리인
특허법인가산

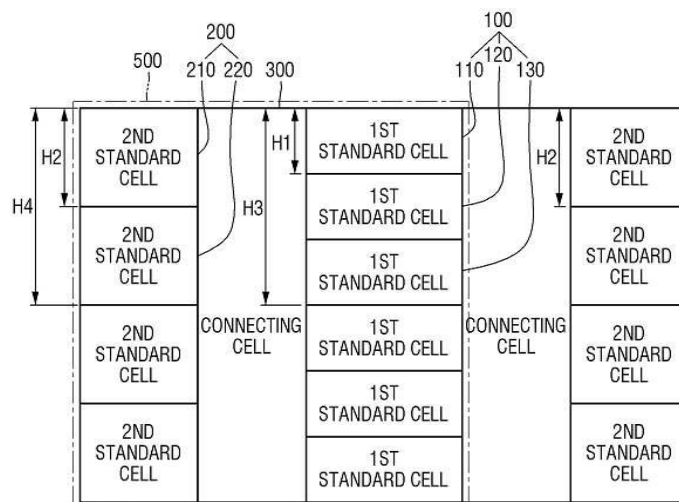
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치

(57) 요약

반도체 장치가 제공된다. 반도체 장치는 제1 방향으로 각각 연장되는 제1 웰 영역과, 제1 파워 레일을 포함하는 제1 스탠다드 셀, 상기 제1 방향으로 각각 연장되는 제2 웰 영역과, 제2 파워 레일을 포함하는 제2 스탠다드 셀, 및 상기 제1 스탠다드 셀과 상기 제2 스탠다드 셀 사이에 배치되는 연결 셀로, 상기 제1 웰 영역과 상기 제2 웰 영역을 연결하고, 상기 제1 방향과 직교하는 제2 방향으로 연장되는 연결 웰 영역과, 상기 제1 파워 레일과 상기 제2 파워 레일을 연결하고, 상기 제2 방향으로 연장되는 연결 레일을 포함하는 연결 셀을 포함한다.

대표도 - 도1



(52) CPC특허분류
H01L 27/11 (2013.01)

명세서

청구범위

청구항 1

제1 방향으로 각각 연장되는 제1 웰 영역과, 제1 파워 레일을 포함하는 제1 스탠다드 셀;
 상기 제1 방향으로 각각 연장되는 제2 웰 영역과, 제2 파워 레일을 포함하는 제2 스탠다드 셀; 및
 상기 제1 스탠다드 셀과 상기 제2 스탠다드 셀 사이에 배치되는 연결 셀로,
 상기 제1 웰 영역과 상기 제2 웰 영역을 연결하고, 상기 제1 방향과 직교하는 제2 방향으로 연장되는 연결 웰 영역과,
 상기 제1 파워 레일과 상기 제2 파워 레일을 연결하고, 상기 제2 방향으로 연장되는 연결 레일을 포함하는 연결 셀을 포함하는 반도체 장치.

청구항 2

제 1항에 있어서,
 상기 제1 스탠다드 셀의 상기 제2 방향의 높이와,
 상기 제2 스탠다드 셀의 상기 제2 방향의 높이는 서로 다른 반도체 장치.

청구항 3

제 2항에 있어서,
 상기 제1 스탠다드 셀의 상기 제1 방향의 높이와, 상기 제2 스탠다드 셀의 상기 제2 방향의 높이는 $n1:n2$ 인(단 $n1, n2$ 는 서로 다른 자연수) 반도체 장치.

청구항 4

제 1항에 있어서,
 상기 연결 레일은,
 상기 제1 파워 레일과 상기 제2 파워 레일과 동일한 레벨에 배치되는 반도체 장치.

청구항 5

제 1항에 있어서,
 상기 제1 스탠다드 셀은,
 상기 제1 파워 레일 및 상기 제1 웰 영역을 공유하고, 상기 제2 방향으로 인접하여 배치되는 제1 서브 스탠다드 셀과 제2 서브 스탠다드 셀을 포함하고,
 상기 제2 스탠다드 셀은,
 상기 제2 파워 레일 및 상기 제2 웰 영역을 공유하고, 상기 제2 방향으로 인접하여 배치되는 제3 서브 스탠다드 셀과 제4 서브 스탠다드 셀을 더 포함하는 반도체 장치.

청구항 6

제 5항에 있어서,
 상기 제1 스탠다드 셀과 상기 제3 스탠다드 셀은 각각 플립 플롭을 포함하는 반도체 장치.

청구항 7

제 1항에 있어서,
 상기 제1 스탠다드 셀은 상기 제1 웰 영역이 형성되지 않은 제1 기관 영역을 포함하고,
 상기 제2 스탠다드 셀은 상기 제2 웰 영역이 형성되지 않은 제2 기관 영역을 포함하고,
 상기 연결 셀은 상기 제1 기관 영역과 상기 제2 기관 영역을 연결하는 기관 연결 영역을 포함하는 반도체 장치.

청구항 8

제 7항에 있어서,
 상기 기관 연결 영역 상에는 상기 연결 웰 영역이 형성되지 않는 반도체 장치.

청구항 9

제 1항에 있어서,
 상기 제1 웰 영역, 상기 제2 웰 영역 및 상기 연결 웰 영역은 서로 동일한 도전형의 불순물이 도핑된 영역인 반도체 장치.

청구항 10

제 1항에 있어서,
 상기 제1 파워 레일, 상기 제2 파워 레일 및 상기 연결 레일은 동일한 전위의 전원 신호가 인가되는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것이다.

배경 기술

[0002] 반도체 장치는 전자 산업의 수요에 따라 소형화, 다기능화되며, 제조 단가의 절감을 위해 경량화되고 있다. 반도체 장치를 이루는 구성 요소는 한정된 면적 내에 효과적으로 배치되기 위하여 최적화된다.

[0003] 특히 상기 구성 요소들은 그 크기가 다양한데, 동일한 기능을 수행하는 구성 요소들 사이에서도 빠른 속도로 동작할 것이 요구되는 구성 요소는 넓은 면적을 차지하고, 저전력으로 동작할 것이 요구되는 구성 요소는 좁은 면적을 차지하도록 설계되는 것이 일반적이다. 이와 같이 다양한 면적과 크기를 갖는 구성 요소들이 최대한 적은 면적을 차지하도록 배치하기 위해 다양한 기술들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 저면적 회로의 레이아웃을 포함하는 반도체 장치를 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 반도체 장치는, 제1 방향으로 각각 연장되는 제1 웰 영역과, 제1 파워 레일을 포함하는 제1 스탠다드 셀, 상기 제1 방향으로 각각 연장되는 제2 웰 영역과, 제2 파워 레일을 포함하는 제2 스탠다드 셀, 및 상기 제1 스탠다드 셀과 상기 제2 스탠다드 셀 사이에 배치되는 연결 셀로, 상기 제1 웰 영역과 상기 제2 웰 영역을 연결하고, 상기 제1 방향과 직교하는 제2 방향으로 연장되는 연결 웰 영역과, 상기 제1 파워 레일과 상기 제2 파워 레일을 연결하고, 상기 제2 방향으로 연장되는 연결 레일을 포함하는 연결 셀을 포함한다.

[0007] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 반도체 장치의 레이아웃의 예를 도시한다.

도 2은 본 발명의 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.

도 3은 본 발명의 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.

도 4는 본 발명의 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치에 포함되는 반도체 장치의 레이아웃의 예를 도시한다.

[0010] 도 1을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제1 스탠다드 셀(100), 제2 스탠다드 셀(200) 및 연결 셀(300)을 포함할 수 있다.

[0011] 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)은 서로 동일한 기능을 수행하는 셀일 수 있다. 여기서 스탠다드 셀은, 블록, 소자 또는 칩 설계에서 최소 단위를 구성하는 유닛일 수 있다. 예를 들어, 소자가 SRAM(Static Random Access Memory) 소자 또는 로직(logic) 소자일 경우, 이를 구성하는 스탠다드 셀은 인버터(inverter) 셀일 수 있다.

[0012] 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)은 비트 단위로 데이터를 처리하는 기능 셀일 수 있다. 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)은 예를 들어 데이터를 일시적으로 저장하는 논리 소자인 플립 플롭일 수 있다. 그러나 이에 제한되는 것은 아니며, 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)은 레벨 쉬프터(level shifter)일 수 있다.

[0013] 위에서 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)이 동일한 기능을 수행하는 셀의 경우를 가정하여 설명하였으나 본 발명이 이에 제한되는 것은 아니다. 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)은 서로 다른 기능을 수행하는 스탠다드 셀일 수도 있다. 예를 들어 제1 스탠다드 셀(100)이 플립 플롭이고, 제2 스탠다드 셀(200)이 레벨 쉬프터일 수도 있다.

[0014] 제1 스탠다드 셀(100)은 제1 방향으로 복수개가 차례로 배치될 수 있다. 본 명세서에서 도 1을 기준으로, 제1 방향은 도 1의 상하 방향으로 설명한다. 복수의 제1 스탠다드 셀(100)은 제1 방향으로 차례로 배치되면서, 일부 구성 요소를 공유할 수 있다. 상기 공유되는 일부 구성 요소는 예를 들어, 전원 전압(VDD) 또는 접지 전압(VSS)이 인가되는 파워 레일일 수 있다.

[0015] 예를 들어 제1 방향으로 배치되는 복수의 제1 스탠다드 셀(100)은 제1 서브 스탠다드 셀(110), 제2 서브 스탠다드 셀(120), 제3 서브 스탠다드 셀(130)을 포함할 수 있다.

[0016] 제1 스탠다드 셀(100)은 제1 방향의 제1 높이(H1)를 가질 수 있다. 제1 방향으로 차례로 배치되는 제1 스탠다드 셀(100)은 동일한 제1 높이(H1)를 가질 수 있다.

[0017] 제2 스탠다드 셀(200)은 제1 방향으로 복수개가 차례로 배치될 수 있다. 복수의 제2 스탠다드 셀(200)은 제1 방향으로 차례로 배치되면서, 일부 구성 요소를 공유할 수 있다. 상기 공유되는 일부 구성 요소는 예를 들어, 전원 전압(VDD) 또는 접지 전압(VSS)이 인가되는 파워 레일일 수 있다.

[0018] 예를 들어 제1 방향으로 배치되는 복수의 제2 스탠다드 셀(200)은 제4 서브 스탠다드 셀(210), 제5 서브 스탠다드 셀(220)을 포함할 수 있다.

[0019] 제2 스탠다드 셀(200)은 제1 방향의 제2 높이(H2)를 가질 수 있다. 제1 방향으로 차례로 배치되는 제2 스탠다드 셀(200)은 동일한 제2 높이(H2)를 가질 수 있다.

[0020] 도 1에 도시된 것과 같이, 제1 높이(H1)와 제2 높이(H2)는 서로 다를 수 있다. 서로 다른 제1 높이(H1)와 제2 높이(H2)에 의하여, 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)은 서로 다른 면적을 차지할 수 있다. 본 발명의 몇몇 실시예에서, 제2 스탠다드 셀(200)의 면적은 제1 스탠다드 셀(100)의 면적보다 클 수 있다.

[0021] 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)이 서로 동일한 기능을 수행하는 스탠다드 셀 블록인 경우, 제2 스탠다드 셀(200)은 제1 스탠다드 셀(100)보다 빠른 속도로 동작하는 스탠다드 셀 블록일 수 있다. 구체적으로,

제2 스탠다드 셀(200)은 제1 스탠다드 셀(100)보다 빠른 속도로 동작하는 플립 플롭일 수 있다.

- [0022] 또는, 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)이 서로 동일한 기능을 수행하는 스탠다드 셀 블록인 경우, 제1 스탠다드 셀(100)이 소비 전력은 제2 스탠다드 셀(200)의 소비 전력보다 작을 수 있다.
- [0023] 다만 위의 비교는 예시적인 것이며, 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)의 구체적인 설계 및 이들에 포함된 트랜지스터의 형성 공정 등에 따라 동작 속도나 소비 전력은 위에서 서술한 사례와는 달라질 수 있다.
- [0024] 도 1에 도시된 것과 같이, 제1 스탠다드 셀(100) 1개와 제2 스탠다드 셀(200) 1개의 높이(H1, H2)는 서로 다를 수 있다. 그런데, 복수의 제1 스탠다드 셀(100)과 복수의 제2 스탠다드 셀(200)의 높이는 서로 동일할 수 있다.
- [0025] 도 1에 도시된 예로 살펴보면, 제1 스탠다드 셀(100) 3개는 제3 높이(H3)를 가지고, 제2 스탠다드 셀(100) 2개는 제4 높이(H4)를 가질 수 있다. 여기서, 제3 높이(H3)와 제4 높이(H4)는 서로 동일할 수 있다.
- [0026] 즉, 도 1의 제1 스탠다드 셀(100)의 높이(H1)와 제2 스탠다드 셀(200)의 높이(H2)는 2:3의 비율을 갖는다. 다만 본 발명이 이에 제한되는 것은 아니며, 제1 스탠다드 셀(100)의 높이(H1)와 제2 스탠다드 셀(200)의 높이(H2)는 $n1:n2$ ($n1$ 및 $n2$ 는 서로 다른 자연수)의 비율을 가질 수 있다. 이 경우 제1 스탠다드 셀(100) $n2$ 개와 제2 스탠다드 셀(200) $n1$ 개의 높이는 서로 동일할 수 있다.
- [0027] 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200) 사이에는 연결 셀(300)이 배치될 수 있다. 연결 셀(300)은 제1 스탠다드 셀(100) 및 제2 스탠다드 셀(200) 모두와 접할 수 있다.
- [0028] 구체적으로, 연결 셀(300)의 일측에는 복수의 제1 스탠다드 셀(100)이 제1 방향으로 차례로 배치되고, 연결 셀(300)의 타측에는 복수의 제2 스탠다드 셀(200)이 제1 방향으로 차례로 배치될 수 있다.
- [0029] 도 1에 도시된 것과 같이, 연결 셀(300)은 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)의 사이에 배치될 수 있다. 따라서 연결 셀(300)은 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)을 연결할 수 있다.
- [0030] 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)이 서로 다른 제1 방향의 높이를 가짐으로 인해, 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)에 포함된 구성 요소들 사이의 정렬(alignment)이 맞지 않는 문제가 생길 수 있다.
- [0031] 예를 들어, 제1 스탠다드 셀(100)이 형성되는 기판 상에 액티브 영역이 정의되고, 액티브 영역 내에 불순물을 도핑하여 형성한 웰(well) 영역이 배치될 수 있다. 이러한 웰 영역은 제1 스탠다드 셀(100)이 연장되는 제2 방향을 따라 연장될 수 있다. 본 명세서에서 제2 방향은 도 1의 좌우 방향을 기준으로 설명하기로 한다.
- [0032] 또는, 제1 스탠다드 셀(100)에 접지 전압(VSS) 또는 전원 전압(VDD)을 공급하는 파워 레일이 제1 스탠다드 셀(100) 내에서 제2 방향을 따라 연장될 수 있다.
- [0033] 제2 스탠다드 셀(200)이 형성되는 기판 상에 액티브 영역이 정의되고, 액티브 영역 내에 불순물을 도핑하여 형성한 웰 영역이 배치될 수 있다. 상기 웰 영역 또한 제2 스탠다드 셀(200) 내에서 제2 방향을 따라 연장될 수 있다. 마찬가지로 제2 스탠다드 셀(200)에 접지 전압(VSS) 또는 전원 전압(VDD)을 공급하는 파워 레일이 제2 스탠다드 셀(200) 내에서 제2 방향을 따라 연장될 수 있다.
- [0034] 웰 영역 또는 파워 레일은 연결하는 복수의 스탠다드 셀 사이에서 공유될 수 있다. 그런데 상술한 것과 같이 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)의 높이(H1, H2)가 서로 달라 정렬되지 않는 것으로부터 발생한 문제가 상기 웰 영역 또는 파워 레일의 연결을 어렵게 만든다.
- [0035] 도 2는 본 발명의 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0036] 도 2를 참조하면, 제1 스탠다드 셀(100), 제2 스탠다드 셀(200) 내부에 웰 영역이 형성되는 것이 레이아웃으로 도시된다.
- [0037] 제1 서브 스탠다드 셀(110)은 제1 웰 영역(111)을 포함할 수 있다. 제1 웰 영역(111) 내에, 제1 서브 스탠다드 셀(110)이 포함하는 트랜지스터들이 형성될 수 있다. 제1 웰 영역(111)은 제1 서브 스탠다드 셀(110) 내에서, 제2 방향으로 연장될 수 있다.
- [0038] 제1 스탠다드 셀(110)과 인접하는 제2 서브 스탠다드 셀(120)은 제2 웰 영역(121)을 포함할 수 있다. 제1 스탠다드 셀(110, 120)들이 도 2에 도시된 것과 같이 서로 연결되므로, 제1 웰 영역(111)과 제2 웰 영역(121) 또한 서로 연결될 수 있다.

- [0039] 즉, 제1 스탠다드 셀(110, 120)들은 하나의 웰 영역을 공유하고, 상기 웰 영역 중 제1 스탠다드 셀(110) 내부의 영역이 제1 웰 영역(111)으로 정의되고, 제2 스탠다드 셀(120) 내부의 영역이 제2 웰 영역(121)으로 정의될 수 있다. 제1 서브스탠다드 셀(110)과 제2 서브 스탠다드 셀(120)은 제1 웰 영역(111) 및 제2 웰 영역(121)을 중심축으로 하여 서로 대칭될 수 있다.
- [0040] 제1 웰 영역(111)과 제2 웰 영역(121)은 기관 상에 동일한 도전형의 불순물을 도핑하여 형성될 수 있다. 예를 들어 제1 웰 영역(111)과 제2 웰 영역(121)은 N형 불순물이 P형 기관에 도핑되어 형성된 웰 영역일 수 있다.
- [0041] 제4 서브 스탠다드 셀(210)은 제3 웰 영역(211)을 포함할 수 있다. 제3 웰 영역(211) 내에, 제4 서브 스탠다드 셀(210)이 포함하는 트랜지스터들이 형성될 수 있다. 제3 웰 영역(211)은 제4 서브 스탠다드 셀(210) 내에서, 제2 방향으로 연장될 수 있다.
- [0042] 제4 서브 스탠다드 셀(210)과 인접하는 제5 서브 스탠다드 셀(220)은 제4 웰 영역(212)을 포함할 수 있다. 제2 스탠다드 셀(210, 220)들이 도 2에 도시된 것과 같이 서로 연결되므로, 제3 웰 영역(211)과 제4 웰 영역(212) 또한 서로 연결될 수 있다.
- [0043] 즉, 제2 스탠다드 셀(210, 220)들은 하나의 웰 영역을 공유하고, 상기 웰 영역 중 제4 서브 스탠다드 셀(210) 내부의 영역을 제3 웰 영역(211)으로 정의하고, 제5 서브 스탠다드 셀(220) 내부의 영역을 제4 웰 영역(212)으로 정의할 수 있다. 제4 서브 스탠다드 셀(210)과 제5 서브 스탠다드 셀(220)은 제3 웰 영역(211) 및 제4 웰 영역(212)을 중심축으로 하여 서로 대칭될 수 있다.
- [0044] 제3 웰 영역(211)과 제4 웰 영역(212)은 기관 상에 동일한 도전형의 불순물을 도핑하여 형성될 수 있다. 예를 들어 제3 웰 영역(211)과 제4 웰 영역(212)은 N형 불순물이 P형 기관에 도핑되어 형성된 웰 영역일 수 있다.
- [0045] 또한, 제3 웰 영역(211)과 제4 웰 영역(212)의 도전형은 제1 웰 영역(111)과 제2 웰 영역(121)의 도전형과 동일할 수 있다. 예를 들어 제1 내지 제4 웰 영역(111, 121, 211, 212)은 모두 N형일 수 있다.
- [0046] 그런데, 앞서 설명한 것과 같이 제1 스탠다드 셀(100)의 높이(H1)와 제2 스탠다드 셀(200)의 높이(H2)는 서로 다를 수 있다. 이로 인해 도 2에 도시된 것과 같이 제1 웰 영역(111)과 제2 웰 영역(121)의 제1 방향 상의 위치와, 제3 웰 영역(211)과 제4 웰 영역(212)의 제1 방향 상의 위치 사이가 정렬되지 않는 문제점이 발생할 수 있다.
- [0047] 특히 하나의 웰 영역을 서로 인접하는 두 개의 스탠다드 셀이 공유하고 있는 경우는, 웰 영역의 배치 공간을 자유롭게 조절하지 못함으로 인해 상기 정렬 문제가 대두될 수 있다.
- [0048] 연결 셀(300)은, 제1 내지 제4 웰 영역(111, 121, 211, 212) 사이를 연결하는 연결 웰 영역(150, 151)을 포함할 수 있다. 제1 연결 웰 영역(150)은 제1 및 제2 웰 영역(111, 121)을 제3 및 제4 웰 영역(211, 212)에 연결시킬 수 있다.
- [0049] 제2 연결 웰 영역(151)은 제3 및 제4 웰 영역(211, 212)를 또 다른 웰 영역(131)으로 연결시킬 수 있다.
- [0050] 상술한 것과 같이, 제1 웰 영역(111)과 제2 웰 영역(121)의 제1 방향 상의 위치와, 제3 영역(211)과 제4 영역(212)의 제1 방향 상의 위치가 정렬되지 않으므로, 연결 웰 영역(150, 151)은 연결 셀(300) 내에서 제1 방향으로 연장될 수 있다.
- [0051] 연결 웰 영역(150, 151)은 제1 내지 제4 웰 영역(111, 121, 211, 212)과 동일한 도전형의 불순물이 도핑된 영역일 수 있다. 예를 들어, 연결 웰 영역(150, 151)과 제1 내지 제4 웰 영역(111, 121, 211, 212)는 모두 N형 불순물이 도핑되어 형성된 N웰일 수 있다.
- [0052] 연결 셀(300)은 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)의 웰 영역을 연결하는 연결 웰 영역(150, 151)을 포함하는 이외에, 웰 영역이 형성되지 않은 기관 영역을 연결하는 기관 연결 영역(235)을 포함할 수 있다.
- [0053] 즉, 제1 스탠다드 셀(100)은 웰 영역이 형성되지 않은 기관 영역(135)을 포함하고, 제2 스탠다드 셀(200)은 웰 영역이 형성되지 않은 기관 영역(225)을 포함할 수 있다. 연결 셀(300)은 이들 기관 영역(135, 225)을 연결하는 기관 연결 영역(235)을 포함할 수 있다.
- [0054] 연결 셀(300)이 기관 연결 영역(235)을 통해 기관 영역(135, 225) 사이를 연결함으로써 인해, 제1 스탠다드 셀(100)의 기관 영역(135)과 제2 스탠다드 셀(200)의 기관 영역(225)을 연결하는 별도의 구성 요소가 필요하지 않을 수 있다.

- [0055] 즉, 본 발명의 몇몇 실시예에 따른 반도체 장치의 동작에서, 기판 영역(135, 225)에 인가되는 전압 바이어스로서 서로 동일하게 유지될 필요가 있을 수 있다. 이 때, 별도의 메탈층을 이용하여 기판 영역(135, 225)의 바이어스를 동일하게 하는 것은, 추가적인 메탈의 형성으로 인해 M1 레이어 또는 M1 상의 M2레이어의 혼잡을 발생시킬 수 있다.
- [0056] 따라서 본 발명의 몇몇 실시예에 따른 반도체 장치는, 제1 스탠다드 셀(100)의 기판 영역(135)과 제2 스탠다드 셀(200)의 기판 영역(225) 사이를 연결하는 기판 연결 영역(235)을 포함함으로써, 웰 영역이 형성되지 않은 기판 영역의 바이어스를 동일하게 유지하기 위한 별도의 메탈이 형성되지 않게 할 수 있다.
- [0057] 도 3은 본 발명의 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0058] 도 3을 참조하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 복수의 파워 레일들(160, 170, 180)을 포함할 수 있다.
- [0059] 파워 레일들(160, 170, 180)은 각각 전원 전압(VDD) 또는 접지 전압(VSS)을 제1 스탠다드 셀(100) 및 제2 스탠다드 셀(200)에 제공할 수 있다. 예를 들어, 파워 레일(160, 180)에는 전원 전압(VDD)이 인가되고, 파워 레일(170)에는 접지 전압(VSS)이 인가될 수 있다. 이와는 반대로, 파워 레일(160, 180)에는 접지 전압(VSS)이 인가되고, 파워 레일(170)에는 전원 전압(VDD)이 인가될 수 있다. 이하에서는 파워 레일(160, 180)이 접지 전압(VSS)과 연결되고, 파워 레일(170)이 전원 전압(VDD)과 연결되는 것으로 설명한다.
- [0060] 구체적으로 살펴보면, 파워 레일(170)은 제1 서브 스탠다드 셀(110)과 제2 서브 스탠다드 셀(120)에 전원 전압(VDD)을 제공하는 제1 파워 레일(115)과, 제4 서브 스탠다드 셀(210)과 제5 서브 스탠다스 셀(220)에 전원 전압(VDD)을 제공하는 제2 파워 레일(215)을 포함할 수 있다.
- [0061] 제1 파워 레일(115)과 제2 파워 레일(215)은 서로 동일한 레벨에 형성된 메탈일 수 있다. 예를 들어, 제1 파워 레일(115)과 제2 파워 레일(215)은 M1 레이어에 형성될 수 있으나 이에 제한되는 것은 아니며, M2 또는 M3 레이어에 형성될 수도 있다.
- [0062] 제1 파워 레일(115)과 제2 파워 레일(215)은 연결 셀(300) 내에 배치되는 연결 레일(250)에 의하여 서로 연결될 수 있다. 연결 레일(250)은 제1 파워 레일(115)과 제2 파워 레일(215)과 동일한 레벨에 형성된 메탈일 수 있다. 따라서 제1 파워 레일(115)과 제2 파워 레일(215)이 M1 레이어에 형성된 경우 연결 레일(250) 또한 M1 레이어에 형성될 수 있다.
- [0063] 파워 레일(180)은 제2 서브 스탠다드 셀(120)과 제3 서브 스탠다드 셀(130)에 접지 전압(VSS)을 제공하는 제3 파워 레일(125)과, 제5 서브 스탠다드 셀(220)에 접지 전압(VSS)을 제공하는 제4 파워 레일(221)을 포함할 수 있다.
- [0064] 제3 파워 레일(125)과 제4 파워 레일(221)은 서로 동일한 레벨에 형성된 메탈일 수 있다. 예를 들어, 제3 파워 레일(125)과 제4 파워 레일(221)은 M1 레이어에 형성될 수 있으나 이에 제한되는 것은 아니며, M2 또는 M3 레이어에 형성될 수도 있다.
- [0065] 제3 파워 레일(125)과 제4 파워 레일(221)은 연결 셀(300) 내에 배치되는 연결 레일(251)에 의하여 서로 연결될 수 있다. 연결 레일(251)은 제3 파워 레일(125)과 제4 파워 레일(221)과 동일한 레벨에 형성된 메탈일 수 있다. 따라서 제3 파워 레일(125)과 제4 파워 레일(221)이 M1 레이어에 형성된 경우 연결 레일(251) 또한 M1 레이어에 형성될 수 있다.
- [0066] 이와 같이, 연결 셀(300)은 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)에 배치된 파워 레일들 사이를 연결하는 연결 레일(250, 251)을 포함할 수 있다.
- [0067] 상술한 것과 같이, 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200) 사이에 제1 방향이 높이가 동일하지 않기 때문에, 이들 내에 배치되는 파워 레일들(160, 170, 180)을 연결하기 위한 별도의 메탈이 필요할 수 있다. 만약 상기 메탈이 파워 레일들과 다른 레벨, 예를 들어 파워 레일의 상부에 배치되는 메탈로써 형성된다면, 이를 형성하기 위한 별도의 공정이 필요할 뿐만 아니라 상위 메탈의 혼잡 문제를 야기할 수 있다.
- [0068] 본 발명의 몇몇 실시예에 따른 반도체 장치에서, 연결 레일(250, 251)은 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)에 배치된 파워 레일들과 동일한 레벨(예를 들어 M1 레이어)에 형성될 수 있다. 따라서 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)에 배치된 파워 레일들의 상위 레벨에 별도로 형성된 메탈을 통해 전압 바이어스를 동일하게 유지할 필요가 없다.

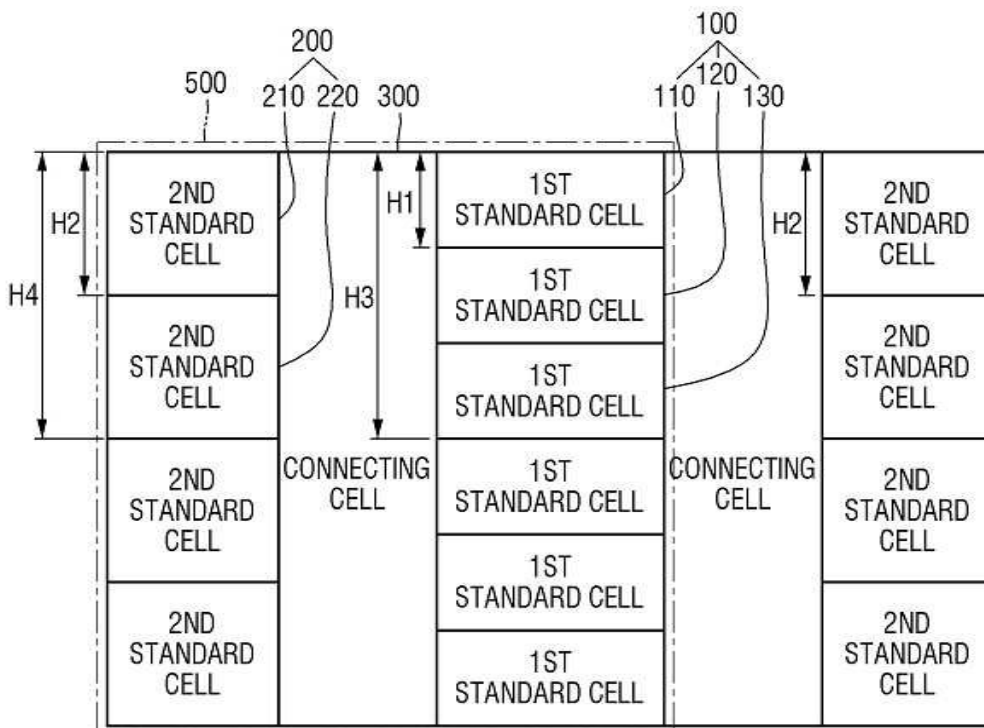
- [0069] 도 2에서 설명한 연결 웰 영역(150, 151)과 마찬가지로, 제1 방향의 높이의 차로 인한 파워 레일 간의 연결을 보상하기 위해, 연결 레일들(250, 251)은 연결 셀(300) 내에서 제1 방향으로 연장될 수 있다.
- [0070] 도 4는 본 발명의 몇몇 실시예에 따른 반도체 장치의 레이아웃도이다.
- [0071] 도 1에 도시된 복수의 제1 스탠다드 셀(100), 제2 스탠다드 셀(200) 및 연결 셀(300)은 하나의 블록 셀(500)을 구성할 수 있다. 다만 하나의 블록 셀(500)에 포함된 복수의 제1 스탠다드 셀(100), 제2 스탠다드 셀(200)의 개수는 임의적인 것으로, 설계에 따라 제1 스탠다드 셀(100), 제2 스탠다드 셀(200)의 개수는 얼마든지 달라질 수 있다.
- [0072] 도 4에 도시된 본 발명의 몇몇 실시예에 따른 반도체 장치는, 복수의 블록 셀(500, 501, 502, 503)을 포함할 수 있다. 즉, 연결 셀(300)에 의해 웰 영역과 파워 레일이 연결된 복수의 제1 스탠다드 셀(100)과 제2 스탠다드 셀(200)이 포함된 블록 셀들(500, 501, 502, 503)이 모여 임의의 기능 블록을 구성할 수도 있다.
- [0073] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

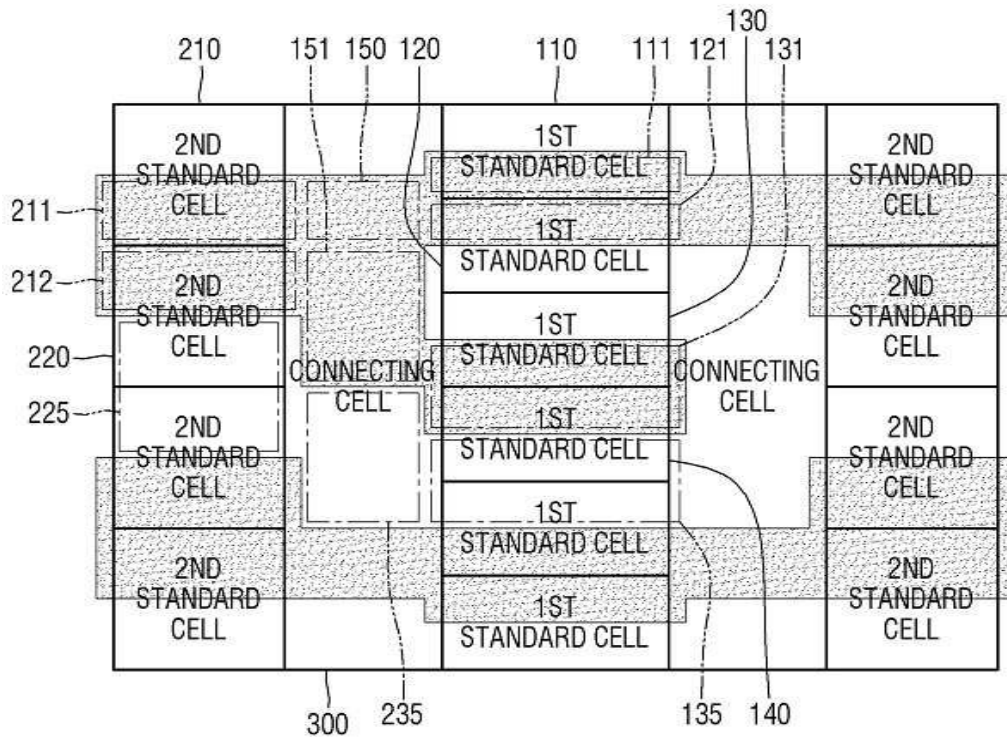
- [0074] 100: 제1 스탠다드 셀 200: 제2 스탠다드 셀
- 300: 연결 셀

도면

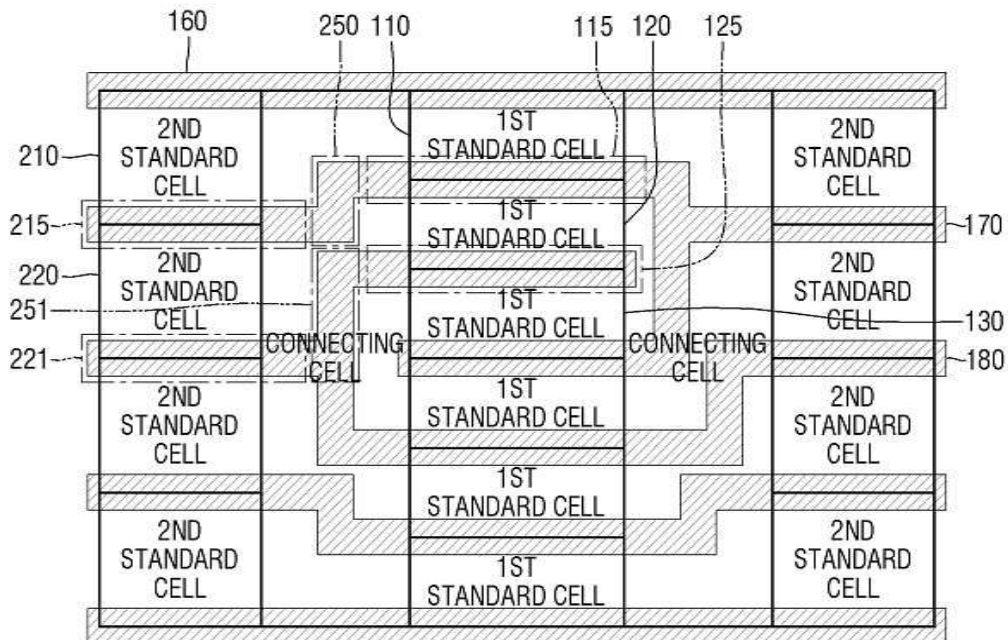
도면1



도면2



도면3



도면4

