(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 국제특허분류(Int. Cl.) H01L 27/02 (2006.01) H01L 27/06 (2006.01) (52) CPC특허분류

H01L 27/0207 (2013.01)

- H01L 27/0611 (2013.01) (21) 출원번호 10-2017-0099161
- (22) 출원일자 2017년08월04일
- 심사청구일자 없음
- (30) 우선권주장 1020170027209 2017년03월02일 대한민국(KR)

- (11) 공개번호 10-2018-0101698
- (43) 공개일자 2018년09월13일

(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동) 한국과학기술원 대전광역시 유성구 대학로 291(구성동)

- (72) 발명자 서재우 서울특별시 성동구 동호로 93 (금호동4가, 브라운 스톤 금호2차) 201동 1106호
 - 신영수

대전광역시 유성구 엑스포로 448 104동 803호 (전 민동,엑스포아파트)

(74) 대리인 특허법인 고려

전체	청구항	수	:	총	20	항
----	-----	---	---	---	----	---

(54)	발명의	명칭	반도체	소자	및	그의	제조	방법
------	-----	----	-----	----	---	----	----	----

(57) 요 약

본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는, PMOSFET 영역 및 NMOSFET 영역을 포 함하는 기판; 상기 PMOSFET 영역 상의 제1 활성 패턴들; 상기 NMOSFET 영역 상의 제2 활성 패턴들; 상기 제1 및 제2 활성 패턴들을 가로지르며 제1 방향으로 연장되는 게이트 전극들; 및 상기 게이트 전극들 상에 배치되고, 상 기 제1 방향으로 연장되는 제1 배선들을 포함한다. 상기 게이트 전극들은 제1 피치(P1)에 따라 상기 제1 방향에 교차하는 제2 방향으로 배열되고, 상기 제1 배선들은 제2 피치(P2)에 따라 상기 제2 방향으로 배열되며, 상기 제 2 피치(P2)는 상기 제1 피치(P1)보다 작다.

대표도



명세서

청구범위

청구항 1

PMOSFET 영역 및 NMOSFET 영역을 포함하는 기관; 상기 PMOSFET 영역 상의 제1 활성 패턴들; 상기 NMOSFET 영역 상의 제2 활성 패턴들; 상기 제1 및 제2 활성 패턴들을 가로지르며 제1 방향으로 연장되는 게이트 전극들; 및 상기 게이트 전극들 상에 배치되고, 상기 제1 방향으로 연장되는 제1 배선들을 포함하되, 상기 게이트 전극들은 제1 피치(P1)에 따라 상기 제1 방향에 교차하는 제2 방향으로 배열되고, 상기 제1 배선들은 제2 피치(P2)에 따라 상기 제2 방향으로 배열되며, 상기 제2 피치(P2)는 상기 제1 피치(P1)보다 작은 반도체 소자.

청구항 2

제1항에 있어서, 상기 제1 배선들은 라우팅 배선 및 내부 배선을 포함하고, 평면적 관점에서, 상기 내부 배선은 상기 PMOSFET 영역으로부터 상기 NMOSFET 영역으로 연장되고, 상기 내부 배선은 상기 제1 활성 패턴들과 상기 제2 활성 패턴들을 서로 전기적으로 연결하며, 평면적 관점에서, 상기 내부 배선의 일 단은 상기 PMOSFET 영역 상에 위치하고, 평면적 관점에서, 상기 내부 배선의 타 단은 상기 NMOSFET 영역 상에 위치하는 반도체 소자.

청구항 3

제2항에 있어서, 상기 PMOSFET 영역 및 상기 NMOSFET 영역은 하나의 로직 셀을 구성하고, 상기 라우팅 배선은 상기 로직 셀의 경계를 넘어 다른 로직 셀 상으로 연장되는 반도체 소자.

청구항 4

제2항에 있어서, 상기 라우팅 배선과 상기 내부 배선간의 간격은 n×P2 이며, 상기 n은 1 이상의 정수인 반도체 소자.

청구항 5

제1항에 있어서,

상기 게이트 전극들은 상기 제1 방향으로 연장되는 가상의 게이트 트랙들에 맞추어 정렬되고,

상기 제1 배선들은 상기 제1 방향으로 연장되는 가상의 배선 트랙들에 맞추어 정렬되며, 서로 인접하는 상기 게이트 트랙들 사이의 거리는 상기 제1 피치(P1)이고, 서로 인접하는 상기 배선 트랙들 사이의 거리는 상기 제2 피치(P2)인 반도체 소자.

청구항 6

제1항에 있어서, 상기 기판 상에, 상기 제1 및 제2 활성 패턴들 및 상기 게이트 전극들을 덮는 층간 절연막; 상기 층간 절연막 내의 활성 콘택들 및 게이트 콘택들을 더 포함하되, 상기 제1 및 제2 활성 패턴들은: 상기 게이트 전극들 아래의 채널 영역들; 및 상기 채널 영역들 사이의 소스/드레인 영역들을 포함하고, 상기 활성 콘택들은 상기 소스/드레인 영역들과 연결되고, 상기 게이트 콘택들은 상기 게이트 전극들과 연결되는 반도체 소자.

청구항 7

제6항에 있어서,

상기 활성 콘택들과 상기 제1 배선들 사이 및 상기 게이트 콘택들과 상기 제1 배선들 사이에 개재된 제2 배선들 을 더 포함하되,

상기 제2 배선들은 상기 제2 방향으로 연장되고,

상기 제2 배선들은 상기 활성 콘택들 및 상기 게이트 콘택들을 상기 제1 배선들과 전기적으로 연결하는 반도체 소자.

청구항 8

기판 상의 제1 로직 셀 및 제2 로직 셀을 포함하되,

상기 제1 로직 셀 및 상기 제2 로직 셀은 서로 동일한 로직 회로를 포함하고,

각각의 상기 제1 및 제2 로직 셀들은:

상기 PMOSFET 영역 및 상기 NMOSFET 영역을 가로지르며 제1 방향으로 연장되는 게이트 전극; 및

상기 게이트 전극 상에 배치되고, 상기 제1 방향으로 연장되는 내부 배선을 포함하고,

상기 내부 배선은 상기 로직 회로를 구성하는 배선이며,

평면적 관점에서, 상기 제1 로직 셀의 상기 내부 배선이 상기 제1 로직 셀의 상기 게이트 전극으로부터 오프셋 된 거리는, 상기 제2 로직 셀의 상기 내부 배선이 상기 제2 로직 셀의 상기 게이트 전극으로부터 오프셋된 거리 와 다른 반도체 소자.

청구항 9

제8항에 있어서,

상기 내부 배선은 상기 PMOSFET 영역의 PMOS 트랜지스터와 상기 NMOSFET 영역의 NMOS 트랜지스터를 서로 전기적

으로 연결하는 반도체 소자.

청구항 10

제8항에 있어서,

평면적 관점에서, 상기 내부 배선의 일 단은 상기 PMOSFET 영역 상에 위치하고, 평면적 관점에서, 상기 내부 배선의 타 단은 상기 NMOSFET 영역 상에 위치하는 반도체 소자.

청구항 11

제8항에 있어서,

상기 제1 로직 셀의 상기 내부 배선의 형태는 상기 제2 로직 셀의 상기 내부 배선의 형태와 실질적으로 동일한 반도체 소자.

청구항 12

제8항에 있어서,

각각의 상기 제1 및 제2 로직 셀들은, 상기 내부 배선과 동일한 레벨에 배치되고 상기 제1 방향으로 연장되는 라우팅 배선을 더 포함하고,

상기 라우팅 배선은 각각의 상기 제1 및 제2 로직 셀들을 다른 로직 셀과 연결하는 반도체 소자.

청구항 13

제12항에 있어서,

각각의 상기 제1 및 제2 로직 셀들 내의 상기 게이트 전극은 복수개로 제공되고, 상기 게이트 전극들은 제1 피치(P1)에 따라 상기 제1 방향에 교차하는 제2 방향으로 배열되고, 상기 내부 배선 및 상기 라우팅 배선은 제2 피치(P2)에 따라 상기 제2 방향으로 배열되며, 상기 제2 피치(P2)는 상기 제1 피치(P1)보다 작은 반도체 소자.

청구항 14

제8항에 있어서,

각각의 상기 제1 및 제2 로직 셀들은, 상기 게이트 전극과 상기 내부 배선 사이에 개재된 제1 배선을 더 포함하고,

상기 제1 배선은 상기 제1 방향에 교차하는 제2 방향으로 연장되며,

상기 제1 로직 셀 내에서 상기 제1 배선의 배치는, 상기 제2 로직 셀 내에서 상기 제1 배선의 배치와 실질적으 로 동일한 반도체 소자.

청구항 15

제8항에 있어서,

상기 제1 로직 셀의 상기 게이트 전극과 상기 제2 로직 셀의 상기 게이트 전극은, 상기 로직 회로에 있어서 동

일한 게이트를 구성하는 반도체 소자.

청구항 16

반도체 소자의 레이아웃을 설계하는 것; 및

상기 레이아웃을 이용하여 기판 상에 패턴들을 형성하는 것을 포함하되,

상기 레이아웃을 설계하는 것은:

표준 셀들을 배치하는 것;

적어도 하나의 상기 표준 셀들 내의 내부 배선 패턴을 배선 패턴 트랙들에 맞추어 재정렬하는 것; 및

상기 배선 패턴 트랙들에 맞추어 라우팅 패턴들을 배치하여, 표준 셀들을 라우팅하는 것을 포함하는 반도체 소 자의 제조 방법.

청구항 17

제16항에 있어서,

상기 표준 셀들 각각은 게이트 패턴 트랙들에 맞추어 정렬된 게이트 패턴들을 포함하고,

서로 인접하는 상기 배선 패턴 트랙들간의 거리는 제1 거리이며,

서로 인접하는 상기 게이트 패턴 트랙들간의 거리는 제2 거리이고,

상기 제1 거리는 상기 제2 거리보다 작은 반도체 소자의 제조 방법.

청구항 18

제17항에 있어서,

상기 게이트 패턴들, 상기 내부 배선 패턴 및 상기 라우팅 패턴들은 제1 방향으로 연장되는 라인 형태 또는 바 형태를 갖는 반도체 소자의 제조 방법.

청구항 19

제16항에 있어서,

상기 내부 배선 패턴 및 상기 라우팅 패턴들은 동일한 레벨에 배치되는 반도체 소자의 제조 방법.

청구항 20

제16항에 있어서, 서로 인접하는 상기 배선 패턴 트랙들간의 거리는 제1 거리이며, 상기 내부 배선 패턴이 재정렬되면서 이동하는 최대 거리는, 상기 제1 거리의 절반인 반도체 소자의 제조 방법.

발명의 설명

기 술 분 야

[0001]

] 본 발명은 반도체 소자 및 그의 제조 방법에 관한 것으로, 더욱 상세하게는 전계 효과 트랜지스터를 포함하는 반도체 소자 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 소자들은 논리 데이터를 저장하는 반도체 기억 소자, 논리 데이터를 연산 처리하는 반 도체 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 소자 등으로 구분될 수 있다. 전자 산업이 고도로 발전함에 따라, 반도체 소자의 특성들에 대한 요구가 점점 증가되고 있다. 예컨대, 반도체 소자에 대한 고 신뢰성, 고속화 및/또는 다기능화 등에 대하여 요구가 점점 증가되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 소자 내 구조들은 점점 복잡해지고 있으며, 또한, 반도체 소자는 점점 고집 적화 되고 있다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 해결하고자 하는 과제는, 집적도가 향상된 전계 효과 트랜지스터를 포함하는 반도체 소자를 제공하는 데 있다.
- [0004] 본 발명이 해결하고자 하는 과제는, 집적도가 향상된 전계 효과 트랜지스터를 포함하는 반도체 소자의 제조 방 법을 제공하는데 있다.

과제의 해결 수단

- [0005] 본 발명의 개념에 따른, 반도체 소자는, PMOSFET 영역 및 NMOSFET 영역을 포함하는 기관; 상기 PMOSFET 영역 상 의 제1 활성 패턴들; 상기 NMOSFET 영역 상의 제2 활성 패턴들; 상기 제1 및 제2 활성 패턴들을 가로지르며 제1 방향으로 연장되는 게이트 전극들; 및 상기 게이트 전극들 상에 배치되고, 상기 제1 방향으로 연장되는 제1 배 선들을 포함할 수 있다. 상기 게이트 전극들은 제1 피치(P1)에 따라 상기 제1 방향에 교차하는 제2 방향으로 배 열되고, 상기 제1 배선들은 제2 피치(P2)에 따라 상기 제2 방향으로 배열되며, 상기 제2 피치(P2)는 상기 제1 피치(P1)보다 작을 수 있다.
- [0006] 본 발명의 다른 개념에 따른, 반도체 소자는, 기판 상의 제1 로직 셀 및 제2 로직 셀을 포함할 수 있다. 상기 제1 로직 셀 및 상기 제2 로직 셀은 서로 동일한 로직 회로를 포함하고, 각각의 상기 제1 및 제2 로직 셀들은: 상기 PMOSFET 영역 및 상기 NMOSFET 영역을 가로지르며 제1 방향으로 연장되는 게이트 전극; 및 상기 게이트 전 극 상에 배치되고, 상기 제1 방향으로 연장되는 내부 배선을 포함할 수 있다. 상기 내부 배선은 상기 로직 회로 를 구성하는 배선이며, 상기 제1 로직 셀의 상기 내부 배선이 상기 제1 로직 셀의 상기 게이트 전극으로부터 오 프셋된 거리는, 상기 제2 로직 셀의 상기 내부 배선이 상기 제2 로직 셀의 상기 게이트 전극으로부터 오프셋된 거리와 다를 수 있다.
- [0007] 본 발명의 또 다른 개념에 따른, 반도체 소자의 제조 방법은, 반도체 소자의 레이아웃을 설계하는 것; 및 상기 레이아웃을 이용하여 기판 상에 패턴들을 형성하는 것을 포함할 수 있다. 상기 레이아웃을 설계하는 것은: 표준 셀들을 배치하는 것; 적어도 하나의 상기 표준 셀들 내의 내부 배선 패턴을 배선 패턴 트랙들에 맞추어 재정렬 하는 것; 및 상기 배선 패턴 트랙들에 맞추어 라우팅 패턴들을 배치하여, 표준 셀들을 라우팅하는 것을 포함할 수 있다.

발명의 효과

[0008] 본 발명에 따른 반도체 소자에 있어서, 배선들간의 최소 피치가 게이트 전극들간의 최소 피치보다 작을 수 있다. 이로써 로직 셀 내의 배선들의 패턴 밀도가 증가되어 반도체 소자의 집적도 및 전기적 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예들에 따른 반도체 설계를 수행하기 위한 컴퓨터 시스템을 보여주는 블록도이다.

도 2는 본 발명의 실시예들에 따른 반도체 소자의 설계 및 제조 방법을 보여주는 순서도이다.

도 3은 도 2의 레이아웃 설계 단계를 더 구체적으로 설명하기 위한 것으로, 본 발명의 실시예들에 따른 표준 셀 들의 배치 및 라우팅을 보여주는 순서도이다. 도 4 내지 도 6은 도 3의 표준 셀들의 배치 및 라우팅을 설명하기 위한 본 발명의 일 실시예에 따른 레이아웃들 이다. 도 7은 본 발명의 실시예들에 따른 재정렬 단계가 생략된 경우의 레이아웃이다. 도 8a는 본 발명의 실시예들에 따른 표준 셀의 예시적인 회로도이다. 도 8b는 도 8a의 회로도에 대응하는 표준 셀 레이아웃이다. 도 9 내지 도 11은 도 3의 표준 셀들의 배치 및 라우팅을 설명하기 위한 본 발명의 일 실시예에 따른 레이아웃 들이다. 도 12 및 도 13는 각각 도 9 및 도 10의 내부 배선 패턴과 그와 연결되는 제1 배선 패턴들을 확대한 평면도이다. 도 14은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 15a 내지 도 15f는 각각 도 1의 A-A'선, B-B'선, C-C'선, D-D'선, E-E'선 및 F-F'선에 따른 단면도들이다. 도 16, 17 및 19는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다. 도 17a, 도 19a 및 도 21a는 각각 도 16, 17 및 19의 A-A'선에 대응하는 단면도들이다. 도 17b, 도 19b 및 도 21b는 각각 도 16, 17 및 19의 B-B'선에 대응하는 단면도들이다. 도 19c 및 도 21c는 각각 도 18 및 19의 C-C'선에 대응하는 단면도들이다. 도 19d 및 도 21d는 각각 도 18 및 19의 D-D'선에 대응하는 단면도들이다. 도 22은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 23는 도 22의 A-A'선에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 도 1은 본 발명의 실시예들에 따른 반도체 설계를 수행하기 위한 컴퓨터 시스템을 보여주는 블록도이다. 도 1을 참조하면, 컴퓨터 시스템은 CPU(10), 워킹 메모리(30), 입출력 장치(50), 및 보조 기억 장치(70)를 포함할 수 있다. 여기서, 컴퓨터 시스템은 본 발명의 레이아웃 설계를 위한 전용 장치로 제공될 수 있다. 나아가, 상기 컴퓨터 시스템은 다양한 설계 및 검증 시뮬레이션 프로그램을 구비할 수 있다.
- [0011] CPU(10)는 컴퓨터 시스템에서 수행될 소프트웨어(응용 프로그램, 운영 체제, 장치 드라이버들)를 실행할 수 있다. CPU(10)는 워킹 메모리(30)에 로드되는 운영 체제를 실행할 수 있다. CPU(10)는 상기 운영 체제 기반에서 구동될 다양한 응용 프로그램들(Application Program)을 실행할 수 있다. 예를 들면, CPU(10)는 워킹 메모리 (30)에 로드된 레이아웃 디자인 툴(32), 배치, 재정렬 및 라우팅 툴(34), 및/또는 OPC 툴(36)을 실행할 수 있다.
- [0012] 워킹 메모리(30)에는 상기 운영 체제나 상기 응용 프로그램들이 로드될 수 있다. 컴퓨터 시스템의 부팅시에 보 조 기억 장치(70)에 저장된 상기 운영 체제 이미지(미도시됨)가 부팅 시퀀스에 의거하여 워킹 메모리(30)로 로 드될 수 있다. 상기 운영 체제에 의해서 컴퓨터 시스템의 제반 입출력 동작들이 지원될 수 있다. 마찬가지로, 사용자의 의하여 선택되거나 기본적인 서비스 제공을 위해서 상기 응용 프로그램들이 워킹 메모리(30)에 로드될 수 있다.
- [0013] 레이아웃 설계를 위한 레이아웃 디자인 툴(32)이 보조 기억 장치(70)로부터 워킹 메모리(30)에 로드될 수 있다. 설계된 표준 셀들을 배치하고, 배치된 표준 셀들 내의 내부 배선 패턴을 재정렬하고, 및 배치된 표준 셀들을 라 우팅하는 배치, 재정렬 및 라우팅 툴(34)이 보조 기억 장치(70)로부터 워킹 메모리(30)에 로드될 수 있다. 설계 된 레이아웃 데이터에 대해서 광 근접 보정(Optical Proximity Correction: OPC)을 수행하는 OPC 툴(36)이 보 조 기억 장치(70)로부터 워킹 메모리(30)에 로드될 수 있다.
- [0014] 레이아웃 디자인 툴(32)은 특정 레이아웃 패턴들의 형태 및 위치를 디자인 룰에 의해서 정의된 것과 다르게 변 경할 수 있는 바이어스 기능을 구비할 수 있다. 그리고 레이아웃 디자인 툴(32)은 변경된 바이어스 데이터 조건 에서 설계 규칙 검사(Design Rule Check: DRC)를 수행할 수 있다. 워킹 메모리(30)는 SRAM(Static Random Access Memory)이나 DRAM(Dynamic Random Access Memory)과 같은 휘발성 메모리이거나, PRAM, MRAM, ReRAM,

FRAM, NOR 플래시 메모리 등의 비휘발성 메모리일 수 있다.

- [0015] 입출력 장치(50)는 사용자 인터페이스 장치들로부터의 사용자 입력 및 출력을 제어한다. 예를 들면, 입출력 장치(50)는 키보드나 모니터를 구비하여 설계자로부터 정보를 입력받을 수 있다. 입출력 장치(50)를 사용하여 설계자는 조정된 동작 특성을 요구하는 반도체 영역이나 데이터 경로들에 대한 정보를 입력받을 수 있다. 그리고 입출력 장치(50)를 통해서 OPC 툴(36)의 처리 과정 및 처리 결과 등이 표시될 수 있다.
- [0016] 보조 기억 장치(70)는 컴퓨터 시스템의 저장 매체(Storage Medium)로서 제공된다. 보조 기억 장치(70)는 응용 프로그램들(Application Program), 운영 체제 이미지 및 각종 데이터를 저장할 수 있다. 보조 기억 장치(70)는 메모리 카드(MMC, eMMC, SD, MicroSD 등)나 하드디스크 드라이브(HDD)로 제공될 수도 있다. 보조 기억 장치(7 0)는 대용량의 저장 능력을 가지는 낸드 플래시 메모리(NAND-type Flash memory)를 포함할 수 있다. 또는, 보조 기억 장치(70)는 PRAM, MRAM, ReRAM, FRAM 등의 차세대 불휘발성 메모리나 NOR 플래시 메모리를 포함할 수 있다.
- [0017] 시스템 인터커넥터(90)는 컴퓨터 시스템의 내부에서 네트워크를 제공하기 위한 시스템 버스(System Bus)일 수 있다. 시스템 인터커넥터(90)를 통해서 CPU(10), 워킹 메모리(30), 입출력 장치(50), 및 보조 기억 장치(70)가 전기적으로 연결되고 상호 데이터를 교환할 수 있다. 하지만, 시스템 인터커넥터(90)의 구성은 상술한 설명에만 국한되지 않으며, 효율적인 관리를 위한 중재 수단들을 더 포함할 수 있다.
- [0019] 도 2는 본 발명의 실시예들에 따른 반도체 소자의 설계 및 제조 방법을 보여주는 순서도이다.
- [0020] 도 2를 참조하면, 도 1을 참조하여 설명한 컴퓨터 시스템을 이용하여 반도체 집적회로의 상위 수준 설계(High Level Design)가 수행될 수 있다(S10). 상위 수준 설계란, 설계 대상 집적회로를 컴퓨터 언어의 상위 언어로 기 술하는 것을 의미할 수 있다. 예를 들면, C언어와 같은 상위 언어를 사용할 수 있다. 상위 수준 설계에 의해서 설계된 회로들은 레지스터 전송 레벨(Register Transfer Level: RTL) 코딩이나 시뮬레이션에 의해서 보다 구체 적으로 표현될 수 있다. 나아가, 레지스터 전송 레벨 코딩에 의해서 생성된 코드는 넷리스트(Netlist)로 변환되 어 전체 반도체 소자로 합성될 수 있다. 합성된 스키매틱 회로는 시뮬레이션 툴에 의해서 검증되고, 검증 결과 에 따라 조정 과정이 동반될 수 있다.
- [0021] 논리적으로 완성된 반도체 접적회로를 실리콘 기관 위에 구현하기 위한 레이아웃 설계가 수행될 수 있다(S20). 예를 들면, 상위 수준 설계에서 합성된 스키매틱 회로 또는 그에 대응하는 넷리스트를 참조하여 레이아웃 설계 가 수행될 수 있다. 레이아웃 설계는 규정된 디자인 룰에 따라 셀 라이브러리(Cell Library)에서 제공되는 다양 한 표준 셀들을 배치(Place)하고 연결하는 라우팅(Routing) 절차를 포함할 수 있다.
- [0022] 레이아웃 설계를 위한 셀 라이브러리에는 표준 셀의 동작, 속도 그리고 소모 전력등에 대한 정보도 포함될 수 있다. 특정 게이트 레벨의 회로를 레이아웃으로 표현하기 위한 셀 라이브러리가 대부분의 레이아웃 설계 툴에 정의되어 있다. 레이아웃은 실제로 실리콘 기판 상에 형성될 트랜지스터 및 금속 배선들을 구성하기 위한 패턴 의 형태나 사이즈를 정의하는 절차일 수 있다. 예를 들면, 인버터 회로를 실제로 실리콘 기판 상에 형성시키기 위하여, PMOS, NMOS, N-WELL, 게이트 전극, 및 이들 상에 배치될 금속 배선들과 같은 레이아웃 패턴들을 적절히 배치할 수 있다. 이를 위하여 우선 셀 라이브러리에 이미 정의된 인버터들 중에서 적합한 것을 검색하여 선택할 수 있다.
- [0023] 선택 및 배치된 표준 셀들에 대한 라우팅이 수행될 수 있다. 구체적으로, 배치된 표준 셀들 상에 상위 배선들 (라우팅 패턴들)이 배치될 수 있다. 라우팅을 수행함으로써 배치된 표준 셀들을 설계에 맞게 서로 연결시킬 수 있다. 표준 셀들의 배치 및 라우팅은 배치, 재정렬 및 라우팅 툴(34)에 의해 자동적으로 수행될 수 있다.
- [0024] 라우팅 이후에는 디자인 룰에 위배되는 부분이 존재하는지 레이아웃에 대한 검증이 수행될 수 있다. 검증하는 항목으로는, 레이아웃이 디자인 룰에 맞게 제대로 되었는지 검증하는 DRC(Design Rule Check), 내부에서 전기적 으로 끊어짐 없이 제대로 되었는지 검증하는 ERC(Electronical Rule Check), 및 레이아웃이 게이트 수준 네트리 스트와 일치하는지 확인하는 LVS(Layout vs Schematic) 등을 포함할 수 있다.
- [0025] 광 근접 보정(Optical Proximity Correction: OPC) 절차가 수행될 수 있다(S30). 포토리소그래피 공정을 이용 하여, 레이아웃 설계를 통해서 얻어진 레이아웃 패턴들을 실리콘 기판 상에 구현할 수 있다. 이때, 광 근접 보 정은 포토리소그래피 공정에서 발생할 수 있는 왜곡 현상을 보정하기 위한 기술일 수 있다. 즉 광 근접 보정을 통하여, 레이아웃된 패턴을 이용한 노광시에 빛의 특성 때문에 발생하는 굴절이나 공정 효과 등의 왜곡 현상을

보정할 수 있다. 광 근접 보정을 수행하면서, 설계된 레이아웃 패턴들의 형태 및 위치가 미소하게 변경(바이어 스)될 수 있다.

- [0026] 광 근접 보정에 의해 변경된 레이아웃에 기초하여 포토마스크(Photomask)가 제작될 수 있다(S40). 일반적으로 포토마스크는 유리 기판 위에 도포된 크롬 막을 이용하여 레이아웃 패턴들을 묘사하는 방식으로 제작될 수 있다.
- [0027] 생성된 포토마스크를 이용하여 반도체 소자가 제조될 수 있다(S50). 포토마스크를 사용한 반도체 소자의 제조 공정에서는 다양한 방식의 노광 및 식각 공정들이 반복될 수 있다. 이러한 공정들을 통해서 실리콘 기판 상에 레이아웃 설계시에 구성된 패턴들의 형태가 순차적으로 형성될 수 있다.
- [0029] 도 3은 도 2의 레이아웃 설계 단계(S20)를 더 구체적으로 설명하기 위한 것으로, 본 발명의 실시예들에 따른 표 준 셀들의 배치 및 라우팅을 보여주는 순서도이다. 도 4 내지 도 6은 도 3의 표준 셀들의 배치 및 라우팅을 설 명하기 위한 본 발명의 일 실시예에 따른 레이아웃들이다.
- [0030] 도 3 및 도 4를 참조하면, 제1 표준 셀(STD1) 및 제2 표준 셀(STD2)이 배치될 수 있다(S110). 제1 표준 셀 (STD1) 및 제2 표준 셀(STD2)은 제2 방향(D2)으로 나란히 배치될 수 있다. 제1 표준 셀(STD1) 및 제2 표준 셀 (STD2)은 서로 다른 표준 셀일 수 있다. 제1 표준 셀(STD1)이 구성하는 로직 회로는 제2 표준 셀(STD2)이 구성 하는 로직 회로와 다를 수 있다.
- [0031] 제1 및 제2 표준 셀들(STD1, STD2)은 게이트 패턴들(GEa), 제1 배선 패턴들(M1a), 내부 배선 패턴들(M2a_I) 및 비아 패턴들(V2a)을 포함할 수 있다. 나아가, 제1 및 제2 표준 셀들(STD1, STD2)은 다른 레이아웃 패턴들(예를 들어, 활성 패턴들, 활성 콘택 패턴들, 게이트 콘택 패턴들 등)을 더 포함할 수 있다. 도면의 간략화를 위하여, 도 4 내지 도 6에 나타난 제1 및 제2 표준 셀들(STD1, STD2)내의 다른 레이아웃 패턴들(예를 들어, 활성 패턴들, 활성 콘택 패턴들, 게이트 콘택 패턴들 등)은 생략하였다.
- [0032] 게이트 패턴들(GEa)은 제1 방향(D1)으로 연장되며, 제1 방향(D1)에 교차하는(예를 들어, 직교하는) 제2 방향 (D2)을 따라 배열될 수 있다. 게이트 패턴들(GEa)은 게이트 전극들을 정의할 수 있다. 게이트 패턴들(GEa)은 게 이트 패턴 트랙들(GPT)에 맞추어 정렬될 수 있다. 게이트 패턴 트랙들(GPT)은 표준 셀 내에 게이트 패턴들(GE a)을 배치하는 데에 사용되는 임의로 설정된 선들일 수 있다. 게이트 패턴들(GEa) 각각의 중심선은 게이트 패턴 트랙들(GPT) 각각과 중첩될 수 있다. 인접하는 한 쌍의 게이트 패턴 트랙들(GPT)간의 거리는 제1 거리(L1)일 수 있다. 다시 말하면, 게이트 패턴 트랙들(GPT)간의 최소 간격은 제1 거리(L1)일 수 있다. 게이트 패턴 트랙들 (GPT)은 일정한 간격(L1)으로 제2 방향(D2)을 따라 배열될 수 있다. 게이트 패턴들(GEa)간의 최소 피치는 제1 피치(P1)일 수 있으며, 이는 제1 거리(L1)와 동일할 수 있다. 본 발명에서 사용되는 용어 "피치" 또는 "최소 피 치"는 인접하는 한 쌍의 패턴들간의 거리와 패턴 하나의 폭의 합일 수 있다.
- [0033] 제1 배선 패턴들(M1a)은 게이트 패턴들(GEa)보다 상위 레벨에 위치될 수 있다. 제1 배선 패턴들(M1a)은 제1 금 속 층(제1 배선들)을 정의할 수 있다. 제1 배선 패턴들(M1a)은 제2 방향(D2)을 따라 연장될 수 있다.
- [0034] 내부 배선 패턴들(M2a_I)은 제1 배선 패턴들(M1a)보다 상위 레벨에 위치될 수 있다. 내부 배선 패턴들(M2a_I)은 제2 금속 층(제2 배선들)을 정의할 수 있다. 내부 배선 패턴들(M2a_I)은 제1 방향(D1)을 따라 연장될 수 있다.
 내부 배선 패턴들(M2a_I)은 게이트 패턴들(GEa)과 평행할 수 있다.
- [0035] 비아 패턴들(V2a)은 제1 배선 패턴들(M1a)과 내부 배선 패턴들(M2a_I)이 중첩되는 영역들에 배치될 수 있다. 비 아 패턴들(V2a)은 제1 배선들(예를 들어, 제1 배선 패턴들(M1a))과 제2 배선들(예를 들어, 내부 배선 패턴들 (M2a_I))을 서로 수직적으로 연결시키기 위한 비아들을 정의할 수 있다. 일 예로, 비아 패턴들(V2a)은 내부 배 선 패턴들(M2a_I)과 함께 제2 금속 층으로 형성될 수 있다.
- [0036] 도 4의 제1 및 제2 표준 셀들(STD1, STD2)에 배치되어 있는 내부 배선 패턴들(M2a_I)은 제1 및 제2 표준 셀들 (STD1, STD2)의 로직 회로들을 구성하는 배선들을 정의할 수 있다. 예를 들어, 내부 배선 패턴들(M2a_I)은 제1 및 제2 표준 셀들(STD1, STD2)의 로직 회로들의 출력 노드 또는 입력 노드의 기능을 하는 배선들을 정의할 수 있다.
- [0037] 내부 배선 패턴들(M2a_I)은 제1 배선 패턴 트랙들(MPT1)에 맞추어 정렬될 수 있다. 제1 배선 패턴 트랙들(MPT 1)은 표준 셀 내에 내부 배선 패턴들(M2a_I)을 배치하는 데에 사용되는 임의로 설정된 선들일 수 있다. 내부 배선 패턴들(M2a_I) 각각의 중심선은 제1 배선 패턴 트랙들(MPT1) 각각과 중첩될 수 있다. 인접하는 한 쌍의 제1

배선 패턴 트랙들(MPT1)간의 거리는 제2 거리(L2)일 수 있다. 다시 말하면, 내부 배선 패턴들(M2a_I)간의 최소 간격은 제2 거리(L2)일 수 있다. 제2 거리(L2)는 앞서 설명한 제1 거리(L1)와 실질적으로 동일할 수 있다. 내부 배선 패턴들(M2a_I)간의 최소 피치는 게이트 패턴들(GEa)간의 최소 피치와 동일한 제1 피치(P1)일 수 있다. 내 부 배선 패턴들(M2a_I)간의 간격은 n×P1 (n은 1 이상의 정수)일 수 있다. 예를 들어, 제1 표준 셀(STD1)의 첫 번째 내부 배선 패턴(M2a_I)과 두 번째 내부 배선 패턴(M2a_I)간의 간격은 1×P1일 수 있다. 제1 표준 셀(STD 1)의 두 번째 내부 배선 패턴(M2a_I)과 제2 표준 셀(STD2)의 내부 배선 패턴(M2a_I)간의 간격은 3×P1일 수 있 다.

- [0038] 제1 및 제2 표준 셀들(STD1, STD2)은 게이트 피치인 제1 피치(P1)에 따라 배치될 수 있다. 게이트 피치인 제1 피치(P1)가 작을수록, 반도체 소자의 집적도가 향상될 수 있다. 제1 피치(P1)의 최소값은 반도체 소자의 제조 공정의 미세화 정도에 따라 결정될 수 있다
- [0039] 도 3 및 도 5를 참조하면, 적어도 하나의 제1 및 제2 표준 셀들(STD1, STD2) 내의 적어도 하나의 내부 배선 패 턴들(M2a_I)이 재정렬될 수 있다(S120). 제1 및 제2 표준 셀들(STD1, STD2)이 배치된 이후, 설정되어 있던 제1 배선 패턴 트랙들(MPT1) 대신 새로운 제2 배선 패턴 트랙들(MPT2)이 설정될 수 있다. 제2 배선 패턴 트랙들 (MPT2)은, 이후 라우팅 단계(S130)에서 배치될 라우팅 패턴들(M2a_0)을 배치하는 데에 사용되는 임의로 설정된 선들일 수 있다 (도 6 참조). 인접하는 한 쌍의 제2 배선 패턴 트랙들(MPT2)간의 거리는 제3 거리(L3)일 수 있 다. 제3 거리(L3)는 제2 거리(L2)(또는 제1 거리(L1))보다 더 작을 수 있다.
- [0040] 제2 배선 패턴 트랙들(MPT2)에 맞추어 제1 및 제2 표준 셀들(STD1, STD2) 내의 내부 배선 패턴들(M2a_I)이 재정 렬될 수 있다. 내부 배선 패턴들(M2a_I) 각각은 이와 가장 인접하는 제2 배선 패턴 트랙(MPT2)에 맞추어 재정렬 될 수 있다. 내부 배선 패턴들(M2a_I) 각각의 중심선은 제2 배선 패턴 트랙들(MPT2) 각각과 중첩될 수 있다.
- [0041] 재정렬 단계 동안 내부 배선 패턴들(M2a_I)은 제2 방향(D2)에 평행한 방향으로 수평적으로 이동할 수 있다. 내 부 배선 패턴들(M2a_I)이 재정렬 되면서 이들이 이동한 거리 및 이동한 방향은 서로 같거나 다를 수 있다. 예를 들어, 제1 표준 셀(STD1) 내의 첫 번째 내부 배선 패턴(M2a_I)은 제2 방향(D2)의 반대 방향으로 제4 거리(L4)만 큼 이동할 수 있고, 제1 표준 셀(STD1) 내의 두 번째 내부 배선 패턴(M2a_I)은 제2 방향(D2)으로 제4 거리(L4) 보다 큰 제5 거리(L5)만큼 이동할 수 있다. 재정렬된 내부 배선 패턴들(M2a_I)간의 간격은, 재정렬되기 이전의 내부 배선 패턴들(M2a_I)간의 간격(n×P1)과 달라질 수 있다.
- [0042] 비아 패턴들(V2a) 역시 내부 배선 패턴들(M2a_I)과 함께 제2 배선 패턴 트랙(MPT2)에 맞추어 재정렬될 수 있다. 다시 말하면, 비아 패턴(V2a)은 이와 대응하는 내부 배선 패턴(M2a_I)과 함께 이동될 수 있다.
- [0043] 도 3 및 도 6을 참조하면, 표준 셀들을 라우팅하는 단계가 수행될 수 있다 (S130). 표준 셀들을 라우팅하는 것 은, 라우팅 패턴들(M2a_0)을 배치하는 것을 포함할 수 있다. 라우팅 패턴들(M2a_0)의 배치를 통해, 표준 셀들이 설계된 회로에 맞추어 서로 연결될 수 있다.
- [0044] 라우팅 패턴들(M2a_0)은 내부 배선 패턴들(M2a_I)과 동일한 레벨에 속할 수 있다. 라우팅 패턴들(M2a_0)은 내부 배선 패턴들(M2a_I)과 함께 제2 배선 패턴들(M2a)을 구성할 수 있다. 제2 배선 패턴들(M2a)은 제2 금속 층을 정 의할 수 있다. 라우팅 패턴들(M2a_0)은 제2 배선 패턴 트랙들(MPT2)에 맞추어 정렬될 수 있다. 라우팅 패턴들 (M2a_0) 각각의 중심선은 제2 배선 패턴 트랙들(MPT2) 각각과 중첩될 수 있다. 도시되진 않았지만, 라우팅 단계 (S130)에서 제2 배선 패턴들(M2a)보다 상위 레벨에 위치하는 라우팅 패턴들도 배치될 수 있다.
- [0045] 제2 배선 패턴들(M2a)간의 최소 피치는 제3 거리(L3)와 동일한 제2 피치(P2)일 수 있다. 제2 피치(P2)는 제1 피 치(P1)보다 작을 수 있다. 제2 배선 패턴들(M2a)간의 간격은 n×P2 (n은 1 이상의 정수)일 수 있다.
- [0046] 도 3에 따른 표준 셀들의 배치 및 라우팅이 완료되면, 설계된 레이아웃에 광 근접 보정이 수행되고, 포토마스크 가 제작될 수 있다. 제작된 포토마스크를 이용해 반도체 공정이 수행되어, 반도체 소자가 제조될 수 있다 (도 1 참고).
- [0047] 본 발명의 실시예들에 따른 표준 셀들의 배치 및 라우팅 방법은, 내부 배선 패턴들(M2a_I)을 라우팅 패턴들 (M2a_0)의 배치 간격(즉, 제2 피치(P2))에 맞추어 재정렬하는 단계를 포함할 수 있다. 만약, 상기 재정렬 단계 가 생략될 경우, 내부 배선 패턴들(M2a_I) 인근에는 라우팅 패턴들(M2a_0)이 배치되지 못할 수 있다.
- [0048] 도 7은 본 발명의 실시예들에 따른 재정렬 단계가 생략된 경우의 레이아웃이다. 도 7을 참조하면, 앞서 도 5를 참조하여 설명한 내부 배선 패턴들(M2a_I)의 재정렬 단계가 생략된 경우, 도 7의 내부 배선 패턴들(M2a_I)의 배 치는 도 5의 내부 배선 패턴들(M2a_I)의 배치와 동일할 수 있다. 도 7의 제1 표준 셀(STD1) 내의 한 쌍의 내부

배선 패턴들(M2a_I) 사이에는 도 6에서는 배치되어 있던 라우팅 패턴(M2a_0)이 배치되지 못할 수 있다. 상기 한 쌍의 내부 배선 패턴들(M2a_I) 사이에 라우팅 패턴(M2a_0)이 배치될 경우, 이들 패턴들 사이의 거리가 너무 가 까워 공정 마진을 확보할 수 없기 때문이다. 도 7의 제2 표준 셀(STD2) 내의 내부 배선 패턴(M2a_I)의 일 측에 는 도 6에서는 배치되어 있던 라우팅 패턴(M2a_0)이 배치되지 못할 수 있다. 내부 배선 패턴(M2a_I)의 일 측에 라우팅 패턴(M2a_0)이 배치될 경우, 이들 패턴들 사이의 거리가 너무 가까워 공정 마진을 확보할 수 없기 때문 이다.

- [0049] 도 6에 배치된 라우팅 패턴들(M2a_0)의 개수는 도 7에 배치된 라우팅 패턴들(M2a_0)의 개수보다 더 많음을 확인 할 수 있다. 결과적으로, 본 발명의 실시예들에 따른 표준 셀들의 배치 및 라우팅 방법은 상기 재정렬 단계를 포함하기 때문에, 표준 셀 내의 제2 배선 패턴들(M2a)의 패턴 밀도가 증가할 수 있다.
- [0051] 이하에서, 전술한 내용들을 바탕으로 본 발명의 실시예들이 더욱 상세하게 설명된다. 도 8a는 본 발명의 실시예 들에 따른 표준 셀(STD)의 예시적인 회로도이다. 도 8b는 도 8a의 회로도에 대응하는 표준 셀(STD) 레이아웃이다. 도 9 내지 도 11은 도 3의 표준 셀들의 배치 및 라우팅을 설명하기 위한 본 발명의 일 실시예에 따른 레이아웃들이다. 도 12 및 도 13는 각각 도 9 및 도 10의 내부 배선 패턴과 그와 연결되는 제1 배선 패턴들을 확대한 평면도이다. 본 실시예에서는, 앞서 도 3 내지 도 6을 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0052] 도 8a를 참조하면, 본 실시예의 표준 셀(STD)은 낸드2(NAND2) 표준 셀일 수 있다. 본 실시예의 표준 셀(STD)은 제1 내지 제4 트랜지스터들(TR1~TR4)을 포함할 수 있다. 제1 및 제2 트랜지스터들(TR1, TR2)은 PMOS 트랜지스터 들일 수 있다. 제3 및 제4 트랜지스터들(TR3, TR4)은 NMOS 트랜지스터들일 수 있다.
- [0053] 제1 트랜지스터(TR1)는 전원 전압(VDD)이 공급되는 노드와 출력 노드(0) 사이에 연결될 수 있다. 제1 트랜지스 터(TR1)의 게이트에 제1 입력(I1)이 전달될 수 있다. 제2 트랜지스터(TR2)는 전원 전압(VDD)이 공급되는 노드와 출력 노드(0) 사이에 연결될 수 있다. 제2 트랜지스터(TR2)의 게이트에 제2 입력(I2)이 전달될 수 있다. 제1 및 제2 트랜지스터들(TR1, TR2)은 전원 전압(VDD)이 공급되는 노드와 출력 노드(0) 사이에 병렬 연결될 수 있다.
- [0054] 제3 트랜지스터(TR3)는 출력 노드(0)와 제4 트랜지스터(TR4) 사이에 연결될 수 있다. 제3 트랜지스터(TR3)의 게 이트에 제2 입력(I2)이 전달될 수 있다. 제4 트랜지스터(TR4)는 접지 전압(VSS)이 공급되는 노드와 제3 트랜지 스터(TR3) 사이에 연결될 수 있다. 제4 트랜지스터(TR4)의 게이트에 제1 입력(I1)이 전달될 수 있다. 제3 및 제 4 트랜지스터들(TR3, TR4)은 접지 전압(VSS)이 공급되는 노드와 출력 노드(0)의 사이에 직렬 연결될 수 있다.
- [0055] 도 8a 및 도 8b를 참조하면, 본 실시예의 표준 셀(STD)은 게이트 패턴들(GEa), 제1 배선 패턴들(M1a), 내부 배 선 패턴(M2a_I) 및 비아 패턴들(V2a)을 포함할 수 있다. 도면의 간략화를 위하여, 도 8b에 나타난 표준 셀(ST D)내의 다른 레이아웃 패턴들(예를 들어, 활성 패턴들, 활성 콘택 패턴들, 게이트 콘택 패턴들 등)은 생략하였 다. 게이트 패턴들(GEa)은 게이트 패턴 트랙들(GPT)에 맞추어 정렬될 수 있다. 게이트 패턴들(GEa)간의 최소 피 치는 제1 피치(P1)일 수 있다.
- [0056] 제1 배선 패턴들(M1a) 중 일부는 전원 전압(VDD) 및 접지 전압(VSS)을 공급하기 위한 제1 배선들을 정의할 수 있다. 내부 배선 패턴(M2a_I)은, 낸드2 회로를 구성하는 배선을 정의할 수 있다. 구체적으로, 내부 배선 패턴 (M2a_I)은 낸드2 회로의 출력 노드(0)에 대응할 수 있다. 비아 패턴들(V2a)은 제1 배선 패턴들(M1a)과 내부 배 선 패턴(M2a_I)간의 수직적 연결을 제공할 수 있다.
- [0057] 내부 배선 패턴(M2a_I)은 제1 배선 패턴 트랙들(MPT1)에 맞추어 정렬될 수 있다. 제1 배선 패턴 트랙들(MPT1) 사이의 간격은 게이트 패턴 트랙들(GPT) 사이의 간격과 동일한 제1 피치(P1)일 수 있다.
- [0058] 도 3, 도 9 및 도 12을 참조하면, 도 8a 및 도 8b를 참조하여 설명한 낸드2 표준 셀(STD)이 복수개로 제공되어, 제2 방향(D2)을 따라 배치될 수 있다 (S110). 구체적으로, 제1 내지 제3 표준 셀들(STD1, STD2, STD3)이 제2 방향(D2)을 따라 배치될 수 있다. 제1 내지 제3 표준 셀들(STD1, STD2, STD3)은 서로 동일한 도 8b의 낸드2 표 준 셀(STD)일 수 있다. 제3 표준 셀(STD3)은 제1 및 제2 표준 셀들(STD1, STD2)에 대해 거울 대칭(mirror symmetry)적으로 배치될 수 있다. 제1 내지 제3 표준 셀들(STD1, STD2, STD3)은 게이트 피치에 따라 배치될 수 있다. 상기 게이트 피치는, 도 8b에 나타난 바와 같이 제1 피치(P1)일 수 있다.
- [0059] 도 12을 다시 참조하면, 각각의 제1 내지 제3 표준 셀들(STD1, STD2, STD3) 내에서, 내부 배선 패턴(M2a_I)과 연결되는 제1 배선 패턴(M1a)은 일 말단(EN)을 가질 수 있다. 일 말단(EN)은 내부 배선 패턴(M2a_I)의 일 변에

인접할 수 있다. 일 말단(EN)과 내부 배선 패턴(M2a_I)의 상기 일 변간의 거리는 제1 마진(D)과 제2 마진(OV)의 합일 수 있다. 제1 마진(D)은 후술할 제2 배선 패턴들(M2a)간의 최소 피치인 제2 피치(P2)의 절반일 수 있다 (D=P2/2). 제2 마진(OV)은 공정 불량을 방지하기 위해 정해지는 최소 마진일 수 있다. 상기 최소 마진은, 공정 에서 패턴이 구현될 때 상기 패턴이 왜곡됨으로써 접촉 불량이 발생하는 것을 방지할 수 있는 값일 수 있다. 상 기 최소 마진은 디자인 룰에 의해 정의될 수 있다.

- [0060] 도 3, 도 10 및 도 13를 참조하면, 제1 내지 제3 표준 셀들(STD1, STD2, STD3) 내의 내부 배선 패턴들(M2a_I) 이 재정렬될 수 있다 (S120). 제1 내지 제3 표준 셀들(STD1, STD2, STD3)이 배치된 이후, 도 8b에 나타난 제1 배선 패턴 트랙들(MPT1) 대신 새로운 제2 배선 패턴 트랙들(MPT2)이 설정될 수 있다. 인접하는 한 쌍의 제2 배 선 패턴 트랙들(MPT2)간의 거리(L3)는 인접하는 한 쌍의 제1 배선 패턴 트랙들(MPT1)간의 거리(L2)보다 작을 수 있다. 제2 배선 패턴 트랙들(MPT2)에 맞추어 제1 내지 제3 표준 셀들(STD1, STD2, STD3) 내의 내부 배선 패턴들 (M2a_I)이 재정렬될 수 있다. 비아 패턴들(V2a) 역시 내부 배선 패턴들(M2a_I)과 함께 제2 배선 패턴 트랙 (MPT2)에 맞추어 재정렬될 수 있다.
- [0061] 재정렬 단계 동안 내부 배선 패턴들(M2a_I)은 제2 방향(D2)에 평행한 방향으로 수평적으로 이동할 수 있다. 내 부 배선 패턴들(M2a_I)이 재정렬 되면서 이들이 이동한 거리 및 이동한 방향은 서로 같거나 다를 수 있다. 내부 배선 패턴들(M2a_I)이 이동할 수 있는 최대 이동 거리는 제3 거리(L3)의 절반일 수 있다 (L3/2). 다시 말하면, 내부 배선 패턴들(M2a_I)이 이동할 수 있는 최대 이동 거리는 제2 피치(P2)의 절반일 수 있다 (P2/2). 예를 들 어, 제2 표준 셀(STD2)의 내부 배선 패턴(M2a_I)은 한 쌍의 제2 배선 패턴 트랙들(MPT2)의 중앙에 위치하고 있 고, 이때 내부 배선 패턴(M2a_I)은 상기 최대 이동 거리만큼 이동하여 어느 하나의 제2 배선 패턴 트랙(MPT2)에 맞추어 재정렬될 수 있다.
- [0062] 도 13를 다시 참조하면, 일 예로 제2 표준 셑(STD2) 내의 내부 배선 패턴(M2a_I)은 제2 방향(D2)으로 제6 거리 (L6)만큼 이동할 수 있다. 제6 거리(L6)는 상기 최대 이동 거리와 실질적으로 동일하거나 유사할 수 있다. 제6 거리(L6)는 약 제2 피치(P2)의 절반일 수 있다. 도 12의 제1 배선 패턴(M1a)은 제2 마진(OV)뿐만 아니라 제1 마 진(D)을 갖고 있으므로, 내부 배선 패턴(M2a_I)이 재정렬되어 제1 배선 패턴(M1a)의 일 말단(EN)에 더 근접할 지라도 적어도 제2 마진(OV)을 확보할 수 있다. 따라서, 내부 배선 패턴(M2a_I)의 재정렬로 인해 공정 불량이 발생하는 것을 방지할 수 있다.
- [0063] 도 3 및 도 11을 참조하면, 표준 셀들을 라우팅하는 단계가 수행되어, 제1 내지 제3 표준 셀들(STD1, STD2, STD3) 내에 라우팅 패턴들(M2a_0)이 배치될 수 있다 (S130). 라우팅 패턴들(M2a_0)은 제2 배선 패턴 트랙들 (MPT2)에 맞추어 정렬될 수 있다. 배치된 라우팅 패턴들(M2a_0)은 내부 배선 패턴들(M2a_I)과 함께 제2 배선 패 턴들(M2a)을 구성할 수 있다. 제2 배선 패턴들(M2a)간의 최소 피치는 제3 거리(L3)와 동일한 제2 피치(P2)일 수 있다. 제2 피치(P2)는 상기 게이트 피치인 제1 피치(P1)보다 작을 수 있다. 제2 배선 패턴들(M2a)간의 간격은 n ×P2 (n은 1 이상의 정수)일 수 있다.
- [0065] 도 14는 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 15a 내지 도 15f는 각각 도 1 의 A-A'선, B-B'선, C-C'선, D-D'선, E-E'선 및 F-F'선에 따른 단면도들이다. 도 14 및 도 15a 내지 도 15f에 도시된 반도체 소자는, 도 11의 설계된 레이아웃을 이용하여 실제 기판 상에 구현된 반도체 소자의 일 예이다.
- [0066] 도 14 및 도 15a 내지 도 15f를 참조하면, 제1 내지 제3 로직 셀들(LC1, LC2, LC3)이 제공될 수 있다. 제1 내 지 제3 로직 셀들(LC1, LC2, LC3)은 제2 방향(D2)으로 배열될 수 있다. 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 각각은 로직 회로를 구성할 수 있다. 일 예로, 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 상에 로직 회로를 구성하는 로직 트랜지스터들이 배치될 수 있다.
- [0067] 본 실시예에서, 제1 내지 제3 로직 셀들(LC1, LC2, LC3)은 서로 동일한 로직 회로를 포함할 수 있다. 일 예로, 제1 내지 제3 로직 셀들(LC1, LC2, LC3)은 서로 동일한 낸드2 셀일 수 있다. 제1 및 제2 로직 셀들(LC1, LC2) 은 동일한 트랜지스터 구조 및 내부 배선 구조를 가질 수 있다. 제3 로직 셀(LC3)은, 제1 및 제2 로직 셀들 (LC1, LC2) 각각의 트랜지스터 구조 및 내부 비선 구조와 거울 대칭(mirror symmetry)을 이룰 수 있다. 이하, 제1 내지 제3 로직 셀들(LC1, LC2, LC3)을 구성하는 로직 트랜지스터들 및 배선들에 대해 보다 상세히 설명한다.
- [0068] 기판(100)이 제공될 수 있다. 일 예로, 기판(100)은 실리콘 기판 또는 게르마늄 기판이거나, SOI(Silicon On Insulator) 기판일 수 있다. 기판(100)에 PMOSFET 영역(PR) 및 NMOSFET 영역(NR)을 정의하는 제2 소자 분리막

들(ST2)이 제공될 수 있다. 제2 소자 분리막들(ST2)은 기판(100)의 상부에 형성될 수 있다.

- [0069] PMOSFET 영역(PR) 및 NMOSFET 영역(NR)은 제2 소자 분리막(ST2)을 사이에 두고 제1 방향(D1)으로 서로 이격될 수 있다. PMOSFET 영역(PR) 및 NMOSFET 영역(NR)은 제2 방향(D2)으로 연장되면서 제1 내지 제3 로직 셀들(LC1, LC2, LC3)을 가로지를 수 있다. 도시되진 않았지만, PMOSFET 영역(PR) 및 NMOSFET 영역(NR)뿐만 아니라 제2 소 자 분리막들(ST2)에 의하여 추가적인 PMOSFET 영역들 및 추가적인 NMOSFET 영역들이 정의될 수 있다.
- [0070] PMOSFET 영역(PR) 상에 제2 방향(D2)으로 연장되는 복수의 제1 활성 패턴들(FN1)이 제공될 수 있다. NMOSFET 영역(NR) 상에 제2 방향(D2)으로 연장되는 복수의 제2 활성 패턴들(FN2)이 제공될 수 있다. 제1 및 제2 활성 패턴 들(FN1, FN2)은 기판(100)의 일부로써, 기판(100)의 상면으로부터 돌출된 부분들일 수 있다. 제1 및 제2 활성 패턴들(FN1, FN2)은 제1 방향(D1)을 따라 배열될 수 있다.
- [0071] 일 예로, PMOSFET 영역(PR) 상에서 두 개의 제1 활성 패턴들(FN1)이 제2 방향(D2)을 따라 나란히 연장될 수 있다. 일 예로, NMOSFET 영역(NR) 상에서 세 개의 제2 활성 패턴들(FN2)이 제2 방향(D2)을 따라 나란히 연장될 수 있다. 그러나, PMOSFET 영역(PR) 상의 제1 활성 패턴들(FN1)의 개수와 형태 및 NMOSFET 영역(NR) 상의 제2 활성 패턴들(FN2)의 개수와 형태는 예시적인 것이며, 도시된 형태에 제한되지 않는다.
- [0072] 제1 및 제2 활성 패턴들(FN1, FN2) 각각의 양 측에 제2 방향(D2)으로 연장되는 제1 소자 분리막들(ST1)이 배치 될 수 있다. 제1 소자 분리막들(ST1)은 제1 활성 패턴들(FN1) 사이의 트렌치들을 채울 수 있다. 제1 소자 분리 막들(ST1)은 제2 활성 패턴들(FN2) 사이의 트렌치들을 채울 수 있다.
- [0073] 제1 및 제2 활성 패턴들(FN1, FN2)의 상부들은 제1 소자 분리막들(ST1)의 상면보다 더 높이 위치할 수 있다. 제 1 및 제2 활성 패턴들(FN1, FN2)의 상부들은 제1 소자 분리막들(ST1)에 비해 수직하게 돌출될 수 있다. 제1 및 제2 활성 패턴들(FN1, FN2) 각각의 상부는 한 쌍의 제1 소자 분리막들(ST1) 사이에서 돌출된 핀(fin) 형태를 가 질 수 있다.
- [0074] 제2 소자 분리막들(ST2)과 제1 소자 분리막들(ST1)은 실질적으로 연결된 하나의 절연막일 수 있다. 제2 소자 분 리막들(ST2)의 상면들과 제1 소자 분리막들(ST1)의 상면들은 서로 공면을 이룰 수 있다. 제2 소자 분리막들 (ST2)의 두께는 제1 소자 분리막들(ST1)의 두께보다 두꺼울 수 있다. 이 경우, 제1 소자 분리막들(ST1)은 제2 소자 분리막들(ST2)과 별도의 공정에 의하여 형성될 수 있다. 일 예로, 제1 및 제2 소자 분리막들(ST1, ST2)은 실리콘 산화막을 포함할 수 있다.
- [0075] 제1 활성 패턴들(FN1)의 상부들에 제1 채널 영역들(CH1) 및 제1 소스/드레인 영역들(SD1)이 제공될 수 있다. 제 1 소스/드레인 영역들(SD1)은 p형의 불순물 영역들일 수 있다. 제1 채널 영역들(CH1) 각각은 한 쌍의 제1 소스/ 드레인 영역들(SD1) 사이에 개재될 수 있다. 제2 활성 패턴들(FN2)의 상부들에 제2 채널 영역들(CH2) 및 제2 소 스/드레인 영역들(SD2)이 제공될 수 있다. 제2 소스/드레인 영역들(SD2)은 n형의 불순물 영역들일 수 있다. 제2 채널 영역들(CH2) 각각은 한 쌍의 제2 소스/드레인 영역들(SD2) 사이에 개재될 수 있다.
- [0076] 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 선택적 에피택시얼 성장 공정으로 형성된 에피택시얼 패턴들일 수 있다. 제1 및 제2 소스/드레인 영역들(SD1, SD2)의 상면들은 제1 및 제2 채널 영역들(CH1, CH2)의 상면들보다 더 높은 레벨에 위치할 수 있다. 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 기판(100)과 다른 반도체 원소를 포함할 수 있다. 일 예로, 제1 소스/드레인 영역들(SD1)은 기판(100)의 반도체 원소의 격자 상수보다 큰 격자 상수를 갖는 반도체 원소를 포함할 수 있다. 이로써, 제1 소스/드레인 영역들(SD1)은 제1 채널 영역들(CH1)에 압축 응력(compressive stress)을 제공할 수 있다. 일 예로, 제2 소스/드레인 영역들(SD2)은 기판(100)의 반도 체 원소의 격자 상수보다 작은 격자 상수를 갖는 반도체 원소를 포함할 수 있다. 이로써, 제2 소스/드레인 영역들(SD2)은 기판(100)의 반도 체 원소의 격자 상수보다 작은 격자 상수를 갖는 반도체 원소를 포함할 수 있다. 이로써, 제2 소스/드레인 영역 들(SD2)은 제2 채널 영역들(CH2)에 인장 응력(tensile stress)을 제공할 수 있다.
- [0077] 제1 방향(D1)으로의 관점에서, 제1 소스/드레인 영역들(SD1)의 단면 형태는 제2 소스/드레인 영역들(SD2)의 단 면 형태와 다를 수 있다 (도 15c 참조). 예를 들어, 제1 소스/드레인 영역들(SD1)은 실리콘-게르마늄을 포함할 수 있고, 제2 소스/드레인 영역들(SD2)은 실리콘을 포함할 수 있다.
- [0078] 제1 및 제2 활성 패턴들(FN1, FN2)을 가로지르며 제1 방향(D1)으로 연장되는 게이트 전극들(GE1-GE4)이 제공될 수 있다. 게이트 전극들(GE1-GE4)은 제2 방향(D2)으로 서로 이격될 수 있다. 게이트 전극들(GE1-GE4)간의 최소 피치는 제1 피치(P1)일 수 있다. 게이트 전극들(GE1-GE4)은 제1 피치(P1)를 따라 일정한 간격으로 배열될 수 있 다.

- [0079] 게이트 전극들(GE1-GE4)은 제1 및 제2 채널 영역들(CH1, CH2)과 수직적으로 중첩될 수 있다. 각각의 게이트 전 극들(GE1-GE4)은, 제1 및 제2 채널 영역들(CH1, CH2) 각각의 상면 및 양 측벽들을 둘러쌀 수 있다 (도 15d 참조). 일 예로, 게이트 전극들(GE1-GE4)은 도전성 금속 질화물(예를 들면, 티타늄 질화물 또는 탄탈늄 질화물) 및 금속 물질(예를 들면, 티타늄, 탄탈늄, 텅스텐, 구리 또는 알루미늄) 중 적어도 하나를 포함할 수 있다.
- [0080] 게이트 전극들(GE1-GE4) 각각의 양 측벽들 상에 한 쌍의 게이트 스페이서들(GS)이 배치될 수 있다. 게이트 스페 이서들(GS)은 게이트 전극들(GE1-GE4)을 따라 제1 방향(D1)으로 연장될 수 있다. 게이트 스페이서들(GS)의 상면 들은 게이트 전극들(GE1-GE4)의 상면들보다 높을 수 있다. 게이트 스페이서들(GS)의 상면들은 후술할 게이트 캐 핑막(CP)의 상면과 공면을 이룰 수 있다. 일 예로, 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 하 나를 포함할 수 있다. 다른 예로, 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 두 개로 이루어진 다 중 막(multi-layer)을 포함할 수 있다.
- [0081] 게이트 전극들(GE1-GE4)과 제1 및 제2 활성 패턴들(FN1, FN2) 사이에 게이트 유전막들(GI)이 개재될 수 있다. 각각의 게이트 유전막들(GI)은 각각의 게이트 전극들(GE1-GE4)의 바닥면을 따라 연장될 수 있다. 각각의 게이트 유전막들(GI)은 제1 및 제2 채널 영역들(CH1, CH2) 각각의 상면 및 양 측벽들을 덮을 수 있다. 게이트 유전막들 (GI)은 실리콘 산화막보다 유전상수가 높은 고유전율 물질을 포함할 수 있다. 일 예로, 상기 고유전율 물질은 하프늄 산화물, 하프늄 실리콘 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알 루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오브산염 중 적어도 하나를 포함할 수 있다.
- [0082] 각각의 게이트 전극들(GE1-GE4) 상에 게이트 캐핑막(CP)이 제공될 수 있다. 게이트 캐핑막들(CP)은 게이트 전극 들(GE1-GE4)을 따라 제1 방향(D1)으로 연장될 수 있다. 게이트 캐핑막들(CP)은 후술하는 제1 층간 절연막(110) 에 대하여 식각 선택성이 있는 물질을 포함할 수 있다. 구체적으로, 게이트 캐핑막들(CP)은 SiON, SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다.
- [0083] 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 게이트 전극들(GE1-GE4)은 제1 내지 제4 게이트 전극들 (GE1-GE4)일 수 있다. 제1 내지 제4 게이트 전극들(GE1-GE4)은 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC 3)을 가로지를 수 있다. 제1 로직 셀(LC1) 및 제2 로직 셀(LC2) 각각의 내에서, 제1 내지 제4 게이트 전극들 (GE1-GE4)은 제2 방향(D2)을 따라 배열될 수 있다. 제3 로직 셀(LC3) 내에서, 제1 내지 제4 게이트 전극들(GE1-GE4)은 제2 방향(D2)의 반대 방향을 따라 배열될 수 있다. 이는 제3 로직 셀(LC3)이 제1 로직 셀(LC1) 및 제2 로직 셀(LC2)과 거울 대칭(mirror symmetry)을 이루기 때문이다.
- [0084] 제1 및 제2 활성 패턴들(FN1, FN2), 게이트 스페이서들(GS) 및 게이트 캐핑막들(CP)을 덮는 제1 층간 절연막 (110)이 제공될 수 있다. 제1 층간 절연막(110) 상에 순차적으로 적층된 제2 층간 절연막(120) 및 제3 층간 절 연막(130)이 제공될 수 있다. 제1 내지 제3 층간 절연막들(110, 120, 130) 각각은 실리콘 산화막 또는 실리콘 산화질화막을 포함할 수 있다.
- [0085] 한 쌍의 게이트 전극들(GE1-GE4) 사이에, 제1 층간 절연막(110)을 관통하여 제1 및 제2 소스/드레인 영역들 (SD1, SD2)과 전기적으로 연결되는 적어도 하나의 활성 콘택(AC)이 제공될 수 있다. 활성 콘택들(AC)은 제1 방 향(D1)으로 연장되는 바(bar) 형태를 가질 수 있다. 일 예로, 적어도 하나의 활성 콘택(AC)은 복수개의 제1 소 스/드레인 영역들(SD1)과 연결될 수 있다. 일 예로, 적어도 하나의 활성 콘택(AC)은 복수개의 제2 소스/드레인 영역들(SD2)과 연결될 수 있다. 다른 예로, 도시되진 않았지만, 적어도 하나의 활성 콘택(AC)이 하나의 제1 소 스/드레인 영역(SD1) 또는 하나의 제2 소스/드레인 영역(SD2)과 연결될 수 있으며, 특별히 제한되지 않는다.
- [0086] 적어도 하나의 게이트 전극(GE1-GE4) 상에, 제1 층간 절연막(110) 및 게이트 캐핑막(CP)을 관통하여 적어도 하 나의 게이트 전극(GE1-GE4)과 전기적으로 연결되는 적어도 하나의 게이트 콘택(GC)이 제공될 수 있다. 게이트 콘택들(GC)은 제2 방향(D2)으로 연장되는 바 형태를 가질 수 있다. 예를 들어, 제2 및 제3 게이트 전극들(GE2, GE3) 상에 게이트 콘택들(GC)이 제공될 수 있다. 평면적 관점에서, 게이트 콘택들(GC)은 PMOSFET 영역(PR) 및 NMOSFET 영역(NR) 사이에 배치될 수 있다. 게이트 콘택들(GC)은 PMOSFET 영역(PR) 및 NMOSFET 영역(NR) 사이의 제2 소자 분리막(ST2)과 수직적으로 중첩될 수 있다.
- [0087] 활성 콘택들(AC) 및 게이트 콘택들(GC)은 서로 동일한 도전 물질을 포함할 수 있다. 활성 콘택들(AC) 및 게이트 콘택들(GC)은 금속 물질, 예를 들어 알루미늄, 구리, 텅스텐, 몰리브데늄 및 코발트 중 적어도 하나를 포함할 수 있다.
- [0088] 제2 층간 절연막(120) 내에 제1 배선들(M1) 및 제1 비아들(V1)이 제공될 수 있다. 제1 배선들(M1) 및 제1 비아

들(V1)은 제1 금속 층을 구성할 수 있다. 제1 배선들(M1)은 제1 내지 제3 로직 셀들(LC1, LC2, LC3)을 가로지르 며 제2 방향(D2)으로 연장되는 전원 배선들(VDD, VSS)을 포함할 수 있다. 제1 배선들(M1)은 제2 방향(D2)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다. 다시 말하면, 제1 배선들(M1)은 모두 제2 방향(D2)으로 서로 평행하게 연장될 수 있다.

- [0089] 제1 비아들(V1)은 제1 배선들(M1)과 활성 콘택들(AC) 사이에 개재되어, 이들을 서로 전기적으로 연결할 수 있다. 제1 비아들(V1)은 제1 배선들(M1)과 게이트 콘택들(GC) 사이에 개재되어, 이들을 서로 전기적으로 연결할 수 있다. 제1 배선(M1)과 그 아래의 제1 비아(V1)는 서로 일체로 연결되어 하나의 도전 구조체를 구성할 수 있 다. 다시 말하면, 제1 배선(M1)과 제1 비아(V1)는 함께 형성될 수 있다. 예를 들어, 제1 배선(M1)과 제1 비아 (V1)는 듀얼 다마신 공정을 통해 하나의 도전 구조체로 형성될 수 있다.
- [0090] 제1 로직 셀(LC1) 내의 활성 콘택들(AC), 게이트 콘택들(GC), 제1 비아들(V1) 및 제1 배선들(M1)의 형태 및 위 치는 제2 로직 셀(LC2) 내의 활성 콘택들(AC), 게이트 콘택들(GC), 제1 비아들(V1) 및 제1 배선들(M1)의 형태 및 위치와 실질적으로 동일할 수 있다. 이는 제1 로직 셀(LC1) 및 제2 로직 셀(LC2)이 서로 동일한 로직 회로를 포함하기 때문이다. 제2 로직 셀(LC2) 내의 활성 콘택들(AC), 게이트 콘택들(GC), 제1 비아들(V1) 및 제1 배선 들(M1)의 형태 및 위치는 제3 로직 셀(LC3) 내의 활성 콘택들(AC), 게이트 콘택들(GC), 제1 비아들(V1) 및 제1 배선들(M1)의 형태 및 위치와 거울 대칭을 이룰 수 있다.
- [0091] 제3 층간 절연막(130) 내에 제2 배선들(M2) 및 제2 비아들(V2)이 제공될 수 있다. 제2 배선들(M2)은 내부 배선 들(M2_I) 및 라우팅 배선들(M2_O)을 포함할 수 있다. 제2 배선들(M2) 및 제2 비아들(V2)은 제2 금속 층을 구성 할 수 있다. 제2 배선들(M2)은 제1 방향(D1)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다. 다시 말하 면, 제2 배선들(M2)은 모두 제1 방향(D1)으로 서로 평행하게 연장될 수 있다. 평면적 관점에서, 제2 배선들(M2)은 게이트 전극들(GE1-GE4)과 평행할 수 있다.
- [0092] 제2 배선들(M2)간의 최소 피치는 제2 피치(P2)일 수 있다. 인접하는 제2 배선들(M2)간의 간격은 n×P2 (n은 1 이상의 정수)일 수 있다. 게이트 전극들(GE1-GE4) 및 제2 배선들(M2)은 도 11의 레이아웃 내의 게이트 패턴들 (GEa) 및 제2 배선 패턴들(M2a)을 이용하여 각각 형성될 수 있다. 게이트 패턴 트랙들(GPT)에 맞추어 정렬된 게 이트 패턴들(GEa)에 의해 게이트 전극들(GE1-GE4)이 형성되고, 제2 배선 패턴 트랙들(MPT2)에 맞추어 정렬된 제 2 배선 패턴들(M2a)에 의해 제2 배선들(M2)이 형성될 수 있다. 따라서, 제2 배선들(M2)간의 최소 피치인 제2 피 치(P2)는 게이트 전극들(GE1-GE4)간의 피치인 제1 피치(P1)보다 작을 수 있다.
- [0093] 제2 비아들(V2)은 제2 배선들(M2)과 제1 배선들(M1) 사이에 개재되어, 이들을 서로 전기적으로 연결할 수 있다. 제2 배선(M2)과 그 아래의 제2 비아(V2)는 서로 연결될 수 있다. 다시 말하면, 제2 배선들(M2)과 제2 비아들 (V2)은 함께 형성될 수 있다. 예를 들어, 제2 배선들(M2)과 제2 비아들(V2)은 듀얼 다마신 공정을 통해 형성될 수 있다.
- [0094] 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 내부 배선(M2_I)은 PMOSFET 영역(PR) 상에서 NMOSFET 영 역(NR) 상으로 연장될 수 있다. PMOSFET 영역(PR) 상의 내부 배선(M2_I)은, 제2 비아(V2), 제1 배선(M1), 제1 비아(V1) 및 활성 콘택(AC)을 통해 제1 소스/드레인 영역들(SD1)과 전기적으로 연결될 수 있다 (도 15a 참조). NMOSFET 영역(NR) 상의 내부 배선(M2_I)은, 제2 비아(V2), 제1 배선(M1), 제1 비아(V1) 및 활성 콘택(AC)을 통 해 제2 소스/드레인 영역들(SD2)과 전기적으로 연결될 수 있다 (도 15b 참조). 다시 말하면, 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 내부 배선(M2_I)은 PMOSFET 영역(PR)의 PMOS 트랜지스터(PMOSFET)와 NMOSFET 영역(NR)의 NMOS 트랜지스터(NMOSFET)를 서로 전기적으로 연결할 수 있다. 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 내부 배선(M2_I)은 PMOSFET의 소스/드레인과 AMOSFET의 소스/드레인을 서로 전기적으로 연결할 수 있다.
- [0095] 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 내부 배선(M2_I)은 로직 회로를 구성하는 배선일 수 있다. 예를 들어, 내부 배선(M2_I)은 낸드2 셀의 출력 노드일 수 있다. 제1 로직 셀(LC1) 내의 내부 배선(M2_I)은 제1 로직 셀(LC1)의 경계를 넘어 연장되지 않을 수 있다. 다시 말하면, 내부 배선(M2_I)의 양 말단들은 제1 로직 셀 (LC1) 내에 위치할 수 있다. 예를 들어, 내부 배선(M2_I)의 일 단은 PMOSFET 영역(PR) 상에 위치할 수 있고 내 부 배선(M2_I)의 타 단은 NMOSFET 영역(NR) 상에 위치할 수 있다. 제2 및 제3 로직 셀들(LC2, LC3) 내의 내부 배선들(M2_I) 역시 제1 로직 셀(LC1) 내의 내부 배선(M2_I)과 실질적으로 동일한 형태를 가질 수 있다.
- [0096] 제1 내지 제3 로직 셀들(LC1, LC2, LC3)이 서로 동일한 로직 회로를 포함할 지라도, 제1 내지 제3 로직 셀들 (LC1, LC2, LC3) 내의 내부 배선들(M2_I)의 위치들은 서로 다를 수 있다. 평면적 관점에서, 제1 로직 셀(LC1)의

내부 배선(M2_I)이 이와 인접하는 제3 게이트 전극(GE3)으로부터 오프셋된 거리, 제2 로직 셑(LC2)의 내부 배선 (M2_I)이 이와 인접하는 제3 게이트 전극(GE3)으로부터 오프셋된 거리, 및 제3 로직 셑(LC3)의 내부 배선(M2_I)이 이와 인접하는 제3 게이트 전극(GE3)으로부터 오프셋된 거리는 서로 다를 수 있다.

- [0097] 제1 로직 셀(LC1) 내의 내부 배선(M2_I)은 제3 게이트 전극(GE3)과 수직적으로 일부 중첩될 수 있다. 평면적 관 점에서, 제1 로직 셀(LC1) 내의 내부 배선(M2_I)은 제4 게이트 전극(GE4)과 수평적으로 이격될 수 있다 (도 14 및 도 15a 참조).
- [0098] 제2 로직 셀(LC2) 내의 내부 배선(M2_I)은 제4 게이트 전극(GE4)과 수직적으로 일부 중첩될 수 있다. 평면적 관 점에서, 제2 로직 셀(LC2) 내의 내부 배선(M2_I)은 제3 게이트 전극(GE3)과 수평적으로 이격될 수 있다 (도 14 및 도 15e 참조).
- [0099] 평면적 관점에서, 제3 로직 셀(LC3) 내의 내부 배선(M2_I)은 제3 게이트 전극(GE3)과 제4 게이트 전극(GE4) 사 이에 위치할 수 있다. 제3 로직 셀(LC3) 내의 내부 배선(M2_I)은 제3 게이트 전극(GE3) 및 제4 게이트 전극 (GE4) 모두와 수평적으로 이격될 수 있다 (도 14 및 도 15f 참조).
- [0100] 각각의 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 라우팅 배선들(M2_0)은 그의 로직 회로를 다른 로직 셀의 로직 회로와 연결할 수 있다. 다시 말하면, 라우팅 배선들(M2_0)은 제1 내지 제3 로직 셀들(LC1, LC2, LC3)의 로직 회로들(예를 들어, 낸드2 회로)과는 독립적일 수 있다. 제1 내지 제3 로직 셀들(LC1, LC2, LC3) 내의 라우 팅 배선들(M2_0)의 개수 및 형태는 서로 다를 수 있다. 라우팅 배선들(M2_0)은 제1 내지 제3 로직 셀들(LC1, LC2, LC3)의 경계를 넘어 연장될 수 있다. 또는, 적어도 하나의 라우팅 배선(M2_0)은 제1 내지 제3 로직 셀들 (LC1, LC2, LC3)의 경계를 넘어 연장되지 않을 수 있다. 도시된 라우팅 배선들(M2_0)의 길이 및 배치는 임의적 인 것이며, 특별히 제한되지 않는다.
- [0101] 제1 배선들(M1), 제1 비아들(V1), 제2 배선들(M2) 및 제2 비아들(V2)은 서로 동일한 도전 물질을 포함할 수 있다. 예를 들어, 제1 배선들(M1), 제1 비아들(V1), 제2 배선들(M2) 및 제2 비아들(V2)은 알루미늄, 구리, 덩스텐, 몰리브데늄 및 코발트 중에서 선택된 적어도 하나의 금속 물질을 포함할 수 있다. 도시되진 않았지만, 제3 층간 절연막(130) 상에 추가적인 금속 층들이 더 배치될 수 있다. 상기 추가적인 금속 층들은 라우팅 배선 들을 포함할 수 있다.
- [0102] 본 발명의 실시예들에 따르면, 제2 배선들(M2)간의 최소 피치인 제2 피치(P2)는 게이트 전극들(GE1-GE4)간의 최 소 피치인 제1 피치(P1)보다 작을 수 있다. 제2 배선들(M2) 중 내부 배선들(M2_I)은 라우팅 배선들(M2_O)의 배 치 간격(즉, 제2 피치(P2))에 정렬되어 배치될 수 있다. 따라서, 로직 셀 내의 제2 배선들(M2)의 패턴 밀도가 증가할 수 있다.
- [0104] 도 16, 17 및 19는 본 발명의 실시예들에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다. 도 17a, 도 19a 및 도 21a는 각각 도 16, 17 및 19의 A-A'선에 대응하는 단면도들이고, 도 17b, 도 19b 및 도 21b 는 각각 도 16, 17 및 19의 B-B'선에 대응하는 단면도들이고, 도 19c 및 도 21c는 각각 도 18 및 19의 C-C'선 에 대응하는 단면도들이고, 도 19d 및 도 21d는 각각 도 18 및 19의 D-D'선에 대응하는 단면도들이다. 본 실시 예에 따른 반도체 소자의 제조 방법은, 도 11의 설계된 레이아웃을 이용하여 실제 기판 상에 패턴들을 형성하는 단계들을 포함한다.
- [0105] 도 16, 도 17a 및 도 17b를 참조하면, 기판(100)이 제공될 수 있다. 일 예로, 기판(100)은 실리콘 기판 또는 게 르마늄 기판이거나, SOI(Silicon On Insulator) 기판일 수 있다. 기판(100)의 상부를 패터닝하여 제1 및 제2 활성 패턴들(FN1, FN2)이 형성될 수 있다. 제1 및 제2 활성 패턴들(FN1, FN2) 사이를 채우는 제1 소자 분리막들 (ST1)이 형성될 수 있다. 기판(100) 상에 PMOSFET 영역(PR) 및 NMOSFET 영역(NR)을 정의하는 제2 소자 분리막 들(ST2)이 형성될 수 있다.
- [0106] 제1 및 제2 소자 분리막들(ST1, ST2)은 STI(shallow trench isolation) 공정에 의하여 형성될 수 있다. 제1 및 제2 소자 분리막들(ST1, ST2)은 실리콘 산화물을 이용해 형성될 수 있다.
- [0107] 도 18 및 도 19a 내지 도 19d를 참조하면, 제1 및 제2 활성 패턴들(FN1, FN2)을 가로지르며 제1 방향(D1)으로 연장되는 게이트 전극들(GE1-GE4)이 형성될 수 있다. 게이트 전극들(GE1-GE4) 아래에 게이트 유전막들(GI)이 형 성될 수 있다. 게이트 전극들(GE1-GE4) 각각의 양 측에 게이트 스페이서들(GS)이 형성될 수 있다. 게이트 전극 들(GE1-GE4) 상에 게이트 캐핑막들(CP)이 형성될 수 있다.

- [0108] 구체적으로, 게이트 전극들(GE1-GE4)을 형성하는 것은, 제1 및 제2 활성 패턴들(FN1, FN2)을 가로지르는 희생 패턴들을 형성하는 것, 상기 희생 패턴들의 양 측에 게이트 스페이서들(GS)을 형성하는 것, 및 상기 희생 패턴 들을 게이트 전극들(GE1-GE4)로 교체하는 것을 포함할 수 있다.
- [0109] 게이트 전극들(GE1-GE4)은 도전성 금속 질화물 및 금속 물질 중 적어도 하나를 포함할 수 있다. 게이트 유전막 들(GI)은 실리콘 산화막보다 유전상수가 높은 고유전율 물질을 포함할 수 있다. 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다. 게이트 캐핑막들(CP)은 SiON, SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다.
- [0110] 제1 활성 패턴들(FN1)의 상부들에 제1 소스/드레인 영역들(SD1)이 형성될 수 있다. 제2 활성 패턴들(FN2)의 상 부들에 제2 소스/드레인 영역들(SD2)이 형성될 수 있다. 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 게이트 전 극들(GE1-GE4) 각각의 양 측에 형성될 수 있다. 제1 소스/드레인 영역들(SD1)은 p형 불순물로 도핑될 수 있고, 제2 소스/드레인 영역들(SD2)은 n형 불순물로 도핑될 수 있다.
- [0111] 구체적으로, 제1 및 제2 소스/드레인 영역들(SD1, SD2)은 에피택시얼 패턴들로서, 선택적 에피택시얼 성장 공정 으로 형성될 수 있다. 게이트 전극들(GE1-GE4) 각각의 양 측의 제1 및 제2 활성 패턴들(FN1, FN2)을 일부 리세 스한 뒤, 제1 및 제2 활성 패턴들(FN1, FN2)의 리세스된 영역들 상에 에피택시얼 성장 공정을 수행할 수 있다.
- [0112] 기판(100)의 전면 상에 제1 층간 절연막(110)이 형성될 수 있다. 제1 층간 절연막(110)은 실리콘 산화막 또는 실리콘 산화질화막으로 형성될 수 있다. 제1 층간 절연막(110) 내에 활성 콘택들(AC) 및 게이트 콘택들(GC)이 형성될 수 있다. 활성 콘택들(AC)은 제1 및 제2 소스/드레인 영역들(SD1, SD2) 상에 형성될 수 있다. 활성 콘택 들(AC)은 제1 방향(D1)으로 연장되는 바 형태를 가질 수 있다. 게이트 콘택들(GC)은 게이트 전극들(GE1-GE4) 상 에 형성될 수 있다. 게이트 콘택들(GC) 제2 방향(D2)으로 연장되는 바 형태를 가질 수 있다.
- [0113] 도 20 및 도 21a 내지 도 21d를 참조하면, 제1 층간 절연막(110) 상에 제2 층간 절연막(120)이 형성될 수 있다. 제2 층간 절연막(120)은 실리콘 산화막 또는 실리콘 산화질화막으로 형성될 수 있다.
- [0114] 제2 층간 절연막(120) 내에 제1 배선들(M1) 및 제1 비아들(V1)이 형성될 수 있다. 제1 비아들(V1)은 제1 배선들 (M1)과 활성 콘택들(AC) 사이 및 제1 배선들(M1)과 게이트 콘택들(GC) 사이에 형성될 수 있다. 제1 배선들(M1) 은 제2 방향(D2)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다.
- [0115] 구체적으로, 도 11의 레이아웃 내의 제1 배선 패턴들(M1a)을 이용하여 제1 포토마스크가 제조될 수 있다 (도 2 의 S40 참조). 상기 제1 포토마스크를 이용한 포토리소그래피 공정을 수행하여, 제2 층간 절연막(120)에 제1 배 선 홀들이 형성될 수 있다. 상기 제1 배선 홀들을 도전 물질로 채워, 제1 배선들(M1)이 형성될 수 있다 (도 2의 S50 참조).
- [0116] 도 14 및 도 15a 내지 도 15d를 다시 참조하면, 제2 층간 절연막(120) 상에 제3 층간 절연막(130)이 형성될 수 있다. 제3 층간 절연막(130)은 실리콘 산화막 또는 실리콘 산화질화막으로 형성될 수 있다.
- [0117] 제3 층간 절연막(130) 내에 제2 배선들(M2) 및 제2 비아들(V2)이 형성될 수 있다. 제2 비아들(V2)은 제2 배선들 (M2)과 제1 배선들(M1) 사이에 형성될 수 있다. 제2 배선들(M2)은 제1 방향(D1)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다.
- [0118] 구체적으로, 도 11의 레이아웃 내의 제2 배선 패턴들(M2a)을 이용하여 제2 포토마스크가 제조될 수 있다 (도 2 의 S40 참조). 상기 제2 포토마스크를 이용한 포토리소그래피 공정을 수행하여, 제3 층간 절연막(130)에 제2 배 선 홀들이 형성될 수 있다. 도 11의 레이아웃 내의 비아 패턴들(V2a)을 이용하여 제3 포토마스크가 제조될 수 있다 (도 2의 S40 참조). 상기 제3 포토마스크를 이용한 포토리소그래피 공정을 수행하여, 상기 제2 배선 홀들 내에 상기 제1 배선들(M1)의 일부를 노출하는 수직 홀들이 형성될 수 있다. 상기 제2 배선 홀들 및 상기 수직 홀들을 도전 물질로 채워, 제2 배선들(M2) 및 제2 비아들(V2)이 일체로 함께 형성될 수 있다 (도 2의 S50 참 조).
- [0120] 도 22은 본 발명의 실시예들에 따른 반도체 소자를 설명하기 위한 평면도이다. 도 23는 도 22의 A-A'선에 따른 단면도이다. 본 실시예에서는, 앞서 도 14 및 도 15a 내지 도 15f를 참조하여 설명한 것과 중복되는 기술적 특 징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0121] 도 22 및 도 23를 참조하면, 제1 및 제2 로직 셀들(LC1, LC2)이 제공될 수 있다. 제1 및 제2 로직 셀들(LC1,

LC2)은 제2 방향(D2)으로 배열될 수 있다. 제1 및 제2 로직 셀들(LC1, LC2) 각각은 임의의 로직 회로를 구성할 수 있다. 본 실시예에서, 제1 및 제2 로직 셀들(LC1, LC2)은 서로 동일한 로직 회로를 포함할 수 있다. 다시 말 하면, 제1 및 제2 로직 셀들(LC1, LC2)은 동일한 트랜지스터 구조 및 내부 배선 구조를 가질 수 있다.

- [0122] 기판(100)의 PMOSFET 영역(PR) 및 NMOSFET 영역(NR)을 가로지르는 게이트 전극들(GE1-GE3)이 제공될 수 있다. 게이트 전극들(GE1-GE3)간의 최소 피치는 제1 피치(P1)일 수 있다. 게이트 전극들(GE1-GE3)은 제1 피치(P1)를 따라 일정한 간격으로 배열될 수 있다. 각각의 제1 및 제2 로직 셀들(LC1, LC2)내의 게이트 전극들(GE1-GE3)은, 제1 내지 제3 게이트 전극들(GE1-GE3)을 포함할 수 있다.
- [0123] 제1 층간 절연막(110) 상에 순차적으로 적층된 제2 내지 제3 층간 절연막들(120, 130, 140)이 제공될 수 있다. 제2 층간 절연막(120) 내에 제1 금속 층이 제공될 수 있고, 제3 층간 절연막(130) 내에 제2 금속 층이 제공될 수 있고, 제4 층간 절연막(140) 내에 제3 금속 층이 제공될 수 있다. 제2 층간 절연막(120) 내의 제1 금속 층은 제1 배선들(M1) 및 제1 비아들(V1)을 포함할 수 있다. 제3 층간 절연막(130) 내의 제2 금속 층은 제2 배선들 (M2) 및 제2 비아들(V2)을 포함할 수 있다. 제4 층간 절연막(140) 내의 제3 금속 층은 제3 배선들(M3_I, M3_0) 및 제3 비아들(V3)을 포함할 수 있다.
- [0124] 적어도 하나의 제1 배선(M1)은, 제1 방향(D1)으로 연장되는 부분 및 제2 방향(D2)으로 연장되는 부분을 포함할 수 있다. 앞서 도 14 및 도 15a 내지 도 15f를 참조하여 설명한 것 제1 배선들(M1)과는 달리, 본 실시예의 제1 배선들(M1)은 제1 방향(D1) 및 /또는 제2 방향(D2)으로 연장될 수 있으며, 특별히 제한되지 않는다.
- [0125] 제2 배선들(M2)은 제2 방향(D2)으로 연장될 수 있다. 앞서 도 14 및 도 15a 내지 도 15f를 참조하여 설명한 것 제2 배선들(M2)과는 달리, 본 실시예의 제2 배선들(M2)은 게이트 전극들(GE1-GE3)의 연장 방향과 교차하는 제2 방향(D2)으로 연장될 수 있다.
- [0126] 제1 로직 셀(LC1) 내의 로직 트랜지스터들, 제1 금속 층 및 제2 금속 층의 형태 및 위치는 제2 로직 셀(LC2) 내 의 로직 트랜지스터들, 제1 금속 층 및 제2 금속 층의 형태 및 위치와 실질적으로 동일할 수 있다. 이는 제1 로 직 셀(LC1) 및 제2 로직 셀(LC2)이 서로 동일한 로직 회로를 포함하기 때문이다.
- [0127] 제3 배선들(M3_I, M3_0)은 내부 배선들(M3_I) 및 라우팅 배선들(M3_0)을 포함할 수 있다. 제3 배선들(M3_I, M3_0)은 게이트 전극들(GE1-GE3)의 연장 방향과 평행한 제1 방향(D1)으로 연장될 수 있다.
- [0128] 제3 배선들(M3_I, M3_0)간의 최소 피치는 제2 피치(P2)일 수 있다. 인접하는 제3 배선들(M3_I, M3_0)간의 간격 은 n×P2 (n은 1 이상의 정수)일 수 있다. 제3 배선들(M3_I, M3_0)간의 최소 피치인 제2 피치(P2)는 게이트 전 극들(GE1-GE3)간의 최소 피치인 제1 피치(P1)보다 작을 수 있다.
- [0129] 각각의 제1 및 제2 로직 셀들(LC1, LC2) 내의 내부 배선(M3_I)은 PMOSFET 영역(PR) 상에서 NMOSFET 영역(NR) 상으로 연장될 수 있다. 내부 배선(M3_I)은 PMOSFET과 NMOSFET을 서로 전기적으로 연결할 수 있다. 다시 말하면, 각각의 제1 및 제2 로직 셀들(LC1, LC2) 내의 내부 배선(M3_I)은 로직 회로를 구성하는 배선일 수 있다. 예를 들어, 내부 배선(M3_I)은 상기 로직 회로의 입력 노드 또는 출력 노드일 수 있다.
- [0130] 제1 및 제2 로직 셀들(LC1, LC2)이 서로 동일한 로직 회로를 포함할 지라도, 제1 및 제2 로직 셀들(LC1, LC2) 내의 내부 배선들(M3_I)의 위치들은 서로 다를 수 있다. 평면적 관점에서, 제1 로직 셀(LC1)의 내부 배선(M3_I)이 이와 인접하는 제1 게이트 전극(GE1)으로부터 오프셋된 거리는 제2 로직 셀(LC2)의 내부 배선(M3_I)이 이와 인접하는 제1 게이트 전극(GE1)으로부터 오프셋된 거리와 다를 수 있다.
- [0131] 각각의 제1 및 제2 로직 셀들(LC1, LC2) 내의 라우팅 배선들(M3_0)은 그의 로직 회로를 다른 로직 셀의 로직 회 로와 연결할 수 있다. 다시 말하면, 라우팅 배선들(M3_0)은 제1 및 제2 로직 셀들(LC1, LC2)의 로직 회로들과는 독립적일 수 있다. 제1 및 제2 로직 셀들(LC1, LC2) 내의 라우팅 배선들(M3_0)의 개수 및 형태는 서로 다를 수 있다.
- [0132] 이상, 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모 든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다.

























도면8a

<u>STD</u>











































도면17a









도면19a



도면19b



도면19c



도면19d





도면21a

















