



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0014531
(43) 공개일자 2008년02월14일

(51) Int. Cl.

G11C 5/14 (2006.01)

(21) 출원번호 10-2006-0076366

(22) 출원일자 2006년08월11일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

한국과학기술원

대전 유성구 구성동 373-1

(72) 발명자

최정연

경기 화성시 반월동 860 신영통현대아파트
303-202

원효식

경기 수원시 팔달구 고등동 10-9, 15통 5반

(뒷면에 계속)

(74) 대리인

리엔목특허법인

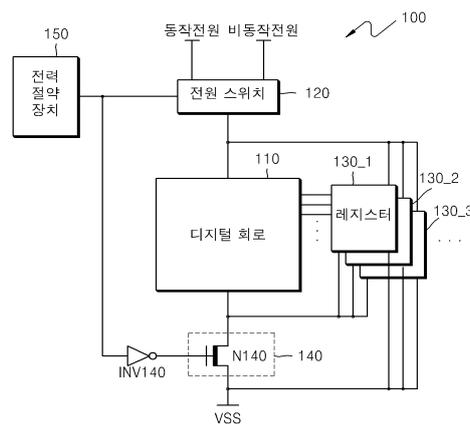
전체 청구항 수 : 총 13 항

(54) 전원 전압 제어 및 파워 게이팅 (power gating) 을 이용한 누설 전류 감소 방법 및 그방법을 이용한 반도체 장치.

(57) 요약

전원 전압을 낮추어주거나 또는 전원 전압을 낮추는 것과 동시에 전류 차단부를 사용하여 전류를 차단함으로써 일시적으로 사용하지 않는 회로 구성 요소에서 발생하는 누설 전류를 줄이되 레지스터에 저장된 데이터의 손실은 없는 누설 전류 감소 방법 및 그 방법을 이용한 반도체 장치가 개시된다. 본 발명에 따른 반도체 장치는 디지털 회로; 상기 디지털 회로의 동작 여부에 따라 동작 전원 및 비동작 전원 중 어느 하나를 선택하여 상기 디지털 회로에 인가하는 전원 스위치; 상기 전원 스위치에 의하여 선택된 전원에 연결되어 저장된 데이터를 보존하는 레지스터; 상기 디지털 회로의 내부에서 발생하는 누설전류를 차단하는 전류 차단부; 및 선택신호를 출력하여 상기 전원 스위치 및 상기 전류 차단부를 제어하는 전력 절약 장치를 구비하는 것을 특징으로 한다. 본 발명에 따른 누설 전류 감소 방법 및 그 방법을 이용한 반도체 장치는 디지털 회로에서 회로 구성 요소가 일시적으로 사용되지 않는 동안 누설 전류를 줄이는 동시에 레지스터에 저장된 데이터를 보존함으로써, 누설 전류를 감소시켜 에너지 사용 효율을 증대시킬 수 있는 장점이 있다.

대표도 - 도1



(72) 발명자

신영수

대전 유성구 구성동 373-1 한국과학기술원

김형욱

대전 유성구 구성동 373-1 한국과학기술원

허세완

대전 유성구 구성동 373-1 한국과학기술원

특허청구의 범위

청구항 1

디지털 회로;

상기 디지털 회로의 동작 여부에 따라 동작 전원 및 비동작 전원 중 어느 하나를 선택하여 상기 디지털 회로에 인가하는 전원 스위치;

상기 전원 스위치에 의하여 선택된 전원에 연결되어 저장된 데이터를 보존하는 레지스터;

상기 디지털 회로의 내부에서 발생하는 누설전류를 차단하는 전류 차단부; 및

선택신호를 출력하여 상기 전원 스위치 및 상기 전류 차단부를 제어하는 전력 절약 장치를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 전원 스위치는,

상기 디지털 회로가 동작하는 동작 모드에서 상기 선택신호에 응답하여 상기 동작 전원을 공급하는 제1 선택 트랜지스터; 및

상기 디지털 회로가 동작하지 않는 비동작 모드에서 상기 선택신호에 응답하여 상기 비동작 전원을 공급하는 제2 선택 트랜지스터를 구비하고,

상기 제2 선택 트랜지스터는 상기 제1 선택 트랜지스터보다 문턱 전압(threshold voltage)이 낮은 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서,

상기 제1 선택 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 선택 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 장치.

청구항 4

제2항에 있어서, 상기 전원 스위치는,

상기 제1 선택 트랜지스터 및 상기 제2 선택 트랜지스터는 PMOS 트랜지스터이며, 상기 제2 선택 트랜지스터는 상기 선택신호가 반전된 신호에 의하여 제어되는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 전류 차단부는,

상기 디지털 회로에 제1단이 연결되고 접지 전압에 제2단이 연결되며 상기 선택 신호가 반전된 신호를 게이트 입력으로 하는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서, 상기 NMOS 트랜지스터는,

상기 디지털 회로 내부의 트랜지스터보다 문턱 전압이 높은 것을 특징으로 하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 레지스터는,

상기 동작 전원 및 상기 비동작 전원 중 어느 하나가 인가되는 경우 저장된 데이터가 보존되는 것을 특징으로 하는 반도체 장치.

청구항 8

제1항에 있어서, 상기 레지스터는,

마스터-슬레이브 형태의 래치를 사용하고, 데이터가 저장되는 부분을 제외한 부분은 상기 전류차단부에 연결되는 것을 특징으로 하는 반도체 장치.

청구항 9

제1항에 있어서, 상기 비동작 전원은,

상기 동작 전원보다 전압이 낮은 것을 특징으로 하는 반도체 장치.

청구항 10

회로가 동작하는 동작 모드에서 선택신호에 응답하여 동작 전원을 공급하는 제1 트랜지스터; 및

상기 회로가 동작하지 않는 비동작 모드에서 상기 선택신호에 응답하여 비동작 전원을 공급하는 제2 트랜지스터를 구비하고,

상기 제2 트랜지스터는 상기 제1 트랜지스터보다 문턱 전압(threshold voltage)이 낮은 것을 특징으로 하는 전원 스위치.

청구항 11

제10항에 있어서,

상기 제1 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 전원 스위치.

청구항 12

제10항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 PMOS 트랜지스터이며, 상기 제2 트랜지스터는 상기 선택신호가 반전된 신호에 의하여 제어되는 것을 특징으로 하는 전원 스위치.

청구항 13

디지털 회로, 레지스터 및 전류 차단부를 구비하는 반도체 장치의 누설 전류 감소 방법에 있어서,

상기 디지털 회로가 동작하는 동작 모드의 경우 동작 전원을 상기 디지털 회로 및 상기 레지스터에 인가하는 단계;

상기 디지털 회로가 동작하지 않는 비동작 모드의 경우 비동작 전원을 상기 디지털 회로 및 상기 레지스터에 인가하여 누설 전류를 차단하고 상기 레지스터에 저장된 데이터를 보존하는 단계; 및

상기 비동작 모드의 경우 상기 전류차단부에 의하여 누설 전류를 차단하는 단계를 구비하는 것을 특징으로 하는 누설 전류 감소 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7> 본 발명은 디지털 회로에서 발생하는 누설 전류(Leakage Current)를 감소시키는 장치 및 그 방법에 관한 것으로, 특히 전원 전압을 낮추어주거나 또는 전원 전압을 낮추는 것과 동시에 전류 차단부를 사용하여 전류를 차단함으로써 일시적으로 사용하지 않는 회로 구성 요소에서 발생하는 누설 전류를 줄이되 레지스터에 저장된 데이터의 손실은 없는 누설 전류 감소 방법 및 그 방법을 이용한 반도체 장치에 관한 것이다.

<8> 최근의 디지털 회로는 고성능화를 위해서 그 크기가 점점 감소하는 추세에 있으며, 특히 휴대용 기기는 사용 시간의 연장을 위해서 저전력화가 요구된다. 이는 성능 요구가 상황에 따라 많은 차이를 보이는 휴대용 기기에서 일정 양의 에너지를 효율적으로 사용하는 장치 및 그 제어 방법과 직결된다. 에너지 사용 효율 면에서 고성능을 위해 크기가 감소된 디지털 회로에서는 동작 중에 소모되는 에너지뿐만 아니라 크기 축소로 인한 누설 에너지의 영향을 고려해야 한다. 디지털 회로의 크기가 감소함에 따라 게이트에서 소모되는 누설 전류(leakage current)는 그 중요도가 점점 더 커지고 있으며, 게이트를 구성하는 트랜지스터(transistor)의 게이트-소스 전압 Vgs (Gate-to-Source Voltage)에 기하급수적으로 비례하여 증가한다.

<9> CMOS 디지털 회로에서 동작을 위해 발생하는 에너지 소모는 전원 전압의 제공에 비례하므로, 전원 전압을 낮추는 것은 에너지 소모를 줄이는 최상의 방법이지만 성능 저하라는 결과를 초래한다. 또한 동작 전압을 낮추고 성능 유지를 위해 동작 전압과 함께 문턱 전압(threshold voltage)을 낮추는 방법이 있으나, 그로 인해서 누설 에너지가 급격히 많아지는 결과를 초래할 수 있다. 따라서, 고성능을 최대한 유지하면서 에너지 소모를 줄이는 방법은 휴대용 기기를 위한 디지털 회로 설계에 있어서 중대한 문제이다.

발명이 이루고자 하는 기술적 과제

<10> 본 발명이 이루고자하는 기술적 과제는 에너지 소모가 중요시 되는 디지털 회로에서 전원 전압을 낮추거나 또는 전원 전압을 낮추는 것과 동시에 전류 차단부를 이용하여 일시적으로 사용하지 않은 회로 구성 요소에서 발생하는 누설 전류를 차단함으로써 누설 전류를 감소시키는 동시에 레지스터에 저장된 데이터를 보존하는 반도체 장치를 제공하는데 있다.

<11> 본 발명이 이루고자 하는 다른 기술적 과제는 디지털 회로에서 일시적으로 사용하지 않는 회로 구성 요소에서 발생하는 누설 전류를 감소시키는 동시에 레지스터에 저장된 데이터를 보존하는 누설 전류 감소 방법을 제공하는데 있다.

<12> 본 발명이 이루고자 하는 또 다른 기술적 과제는 동작 전원 및 비동작 전원 중 어느 하나를 선택하는 전원스위치의 면적을 감소시키는 구조를 제공하는데 있다.

발명의 구성 및 작용

<13> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 반도체 장치는 디지털 회로; 상기 디지털 회로의 동작 여부에 따라 동작 전원 및 비동작 전원 중 어느 하나를 선택하여 상기 디지털 회로에 인가하는 전원 스위치; 상기 전원 스위치에 의하여 선택된 전원에 연결되어 저장된 데이터를 보존하는 레지스터; 상기 디지털 회로의 내부에서 발생하는 누설전류를 차단하는 전류 차단부; 및 선택신호를 출력하여 상기 전원 스위치 및 상기 전류 차단부를 제어하는 전력 절약 장치를 구비한다.

<14> 상기 전원 스위치는, 상기 디지털 회로가 동작하는 동작 모드에서 상기 선택신호에 응답하여 상기 동작 전원을 공급하는 제1 선택 트랜지스터; 및 상기 디지털 회로가 동작하지 않는 비동작 모드에서 상기 선택신호에 응답하여 상기 비동작 전원을 공급하는 제2 선택 트랜지스터를 구비하고, 상기 제2 선택 트랜지스터는 상기 제1 선택 트랜지스터보다 문턱 전압(threshold voltage)이 낮은 것이 바람직하다.

<15> 상기 제1 선택 트랜지스터는 PMOS 트랜지스터이고, 상기 제2 선택 트랜지스터는 NMOS 트랜지스터이거나, 또는 상기 제1 선택 트랜지스터 및 상기 제2 선택 트랜지스터는 PMOS 트랜지스터이며, 상기 제2 선택 트랜지스터는 상기 선택신호가 반전된 신호에 의하여 제어되는 것이 바람직하다.

<16> 상기 전류 차단부는, 상기 디지털회로에 제1단이 연결되고 접지 전압에 제2단이 연결되며 상기 선택 신호가 반전된 신호를 게이트 입력으로 하는 NMOS 트랜지스터인 것이 바람직하고, 상기 NMOS 트랜지스터는 상기 디지털 회로 내부의 트랜지스터보다 문턱 전압이 높은 것이 바람직하다.

<17> 상기 레지스터는 상기 동작 전원 및 상기 비동작 전원 중 어느 하나가 인가되는 경우 저장된 데이터가 보존되는 것이 바람직하고, 마스터-슬레이브 형태의 래치를 사용하고, 데이터가 저장되는 부분을 제외한 부분은 상기 전류차단부에 연결되는 것이 바람직하다.

<18> 상기 비동작 전원은 상기 동작 전원보다 전압이 낮은 것이 바람직하다.

<19> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 누설 전류 감소 방법은 디지털 회로, 레지스터 및 전류 차단부를 구비하는 반도체 장치의 누설 전류 감소 방법에 있어서, 상기 디지털 회로가 동작하는 동

작 모드의 경우 동작 전원을 상기 디지털 회로 및 상기 레지스터에 인가하는 단계; 상기 디지털 회로가 동작하지 않는 비동작 모드의 경우 비동작 전원을 상기 디지털 회로 및 상기 레지스터에 인가하여 누설 전류를 차단하고 상기 레지스터에 저장된 데이터를 보존하는 단계; 및 상기 비동작 모드의 경우 상기 전류차단부에 의하여 누설 전류를 차단하는 단계를 구비하는 것을 특징으로 한다.

- <20> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <21> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <22> 도 1은 본 발명의 실시예에 따른 반도체 장치(100)이다.
- <23> 도 1을 참조하면, 반도체 장치(100)는 디지털 회로(110), 전원 스위치(120), 적어도 하나의 레지스터(130_1, 130_2, 130_3, ...), 전류 차단부(140) 및 전력 절약 장치(150)를 구비한다.
- <24> 전원 스위치(120)는 디지털 회로(110)의 동작 여부에 따라 동작 전원 및 비동작 전원 중 어느 하나를 선택한다. 전원 스위치(120)는 전력 절약 장치(150)로부터 선택 신호를 입력받아 상기 선택 신호에 따라 상기 동작 전원 및 비동작 전원 중 어느 하나를 디지털 회로(110) 및 적어도 하나의 레지스터(130_1, 130_2, 130_3, ...)에 인가한다. 전원 스위치(120)의 구조에 대하여는 도 2에서 구체적으로 설명한다.
- <25> 상기 동작 전원은 디지털 회로(110)가 실제로 동작하는 경우 사용되는 전원이고, 상기 비동작 전원은 회로가 동작하지 않고 대기 상태에 놓일 때 디지털 회로(110)의 누설 전류를 차단하고, 적어도 하나의 레지스터(130_1, 130_2, 130_3, ...)에 저장된 데이터를 보존하는데 사용되는 전원이다. 상기 비동작 전원은 상기 동작 전원보다 전압이 낮다. 즉, 상기 비동작 전원은 디지털 회로(110)를 동작시키지는 않으나 레지스터(130_1, 130_2, 130_3, ...)에 저장된 데이터를 보존할 수 있을 정도의 전압이면 된다.
- <26> 레지스터(130_1, 130_2, 130_3, ...)에는 디지털 회로(110)의 동작 상태에 따라 상기 동작 전원 및 상기 비동작 전원 중 어느 하나가 인가된다. 앞서 설명한 바와 같이, 동작 전원이 인가되는 경우뿐 아니라 비동작 전원이 인가되는 경우에도 저장된 데이터가 지워지지 않고 보존되어야 한다. 레지스터(130_1, 130_2, 130_3, ...)의 구조에 대하여는 도 3에서 구체적으로 설명한다.
- <27> 전류 차단부(140)는 전력 절약 장치(150)에서 내보내는 상기 선택 신호에 의하여 제어되어 디지털 회로(110)의 내부에서 발생하는 누설 전류를 차단한다. 전류 차단부(140)는 디지털 회로(110)에 제1단이 연결되고 접지전압(VSS)에 제2단이 연결되며 상기 선택 신호가 반전된 신호를 게이트 입력으로 하는 NMOS 트랜지스터(N140)인 것이 바람직하다. 도 1에서는 전력 절약 장치(150)의 출력 신호인 선택 신호가 인버터(INV140)에 의하여 반전되어 반전된 선택 신호가 NMOS 트랜지스터(N140)의 게이트 입력으로 되는 모습을 나타내고 있다. 즉, 비동작 모드의 경우 선택 신호가 전원 스위치(120)를 제어하여 상기 비동작 전원을 선택하고, 전류 차단부(140)의 NMOS 트랜지스터(N140)를 턴-오프(turn off)시킴으로써 회로를 파워 게이팅(power gating)시켜서 누설 전류를 차단한다. 또한, 레지스터(130_1, 130_2, 130_3, ...)도 전류 차단부(140)에 연결되어 누설 전류가 차단되는데, 연결 구조에 대하여는 도 3에서 구체적으로 설명한다.
- <28> 그리고, NMOS 트랜지스터(N140)는 누설 전류 차단 효율을 높이기 위하여 디지털 회로(110)에서 사용되는 트랜지스터들에 비하여 높은 문턱전압(threshold voltage, V_{th})을 사용하는 것이 바람직하다. 트랜지스터의 누설 전류는 동작전압(VDD)에서 문턱전압(V_{th})을 뺀 값에 지수적(exponential)으로 비례하므로, 트랜지스터의 문턱 전압(V_{th})이 크면 누설 전류가 작고, 문턱 전압(V_{th})이 작으면 누설 전류가 크다. 따라서, NMOS 트랜지스터(N140)는 높은 문턱 전압(V_{th})을 가지므로 누설 전류가 작은 트랜지스터가 되어, 디지털 회로(110)의 트랜지스터들의 누설 전류가 크다고 해도 누설 전류가 작은 NMOS 트랜지스터(N140)와 직렬로 연결하게 되면 결과적으로 회로 전체의 누설 전류는 감소하게 된다.
- <29> 전력 절약 장치(150)는 전원 스위치(120) 및 전류 차단부(140)를 제어한다. 즉, 전력 절약 장치(150)는 상기 선택 신호를 출력하는데, 상기 선택 신호는 전원 스위치(120)가 상기 동작 전원 및 상기 비동작 전원 중 어느 하나를 선택하여 디지털 회로(110) 및 레지스터들(130_1, 130_2, 130_3, ...)에 인가하도록 제어한다. 그리고, 상기 선택 신호는 전류 차단부(140)의 NMOS 트랜지스터(N140)의 게이트 입력으로 들어가 NMOS 트랜지스터(N140)가 턴-온되거나 턴-오프되도록 제어한다.
- <30> 도 2는 도 1의 전원스위치(120)의 회로도이다.

- <31> 본 발명의 전원스위치(120)에 대한 일 실시예로 도 2(a)를 참조하면, 전원 스위치(120)는 PMOS 트랜지스터(P220) 및 NMOS 트랜지스터(N220)를 구비하고 있다. PMOS 트랜지스터(P220) 및 NMOS 트랜지스터(N220)는 전력 절약 장치(150)의 출력 신호인 상기 선택 신호를 게이트 입력으로 한다. 상기 선택 신호가 제1 논리상태인 경우 PMOS 트랜지스터(P220)가 턴 온되어 동작 전원이 디지털회로(110) 및 레지스터들(130_1, 130_2, 130_3, ...)에 인가된다. 또한, 상기 선택 신호가 제2 논리상태인 경우 PMOS 트랜지스터(P220)는 턴 오프되고 NMOS 트랜지스터(N220)가 턴 온되어 비동작 전원이 디지털회로(110) 및 레지스터(130_1, 130_2, 130_3, ...)에 인가된다. 즉, 전원 스위치(120)는 상기 선택 신호가 제1 논리상태인지 제2 논리상태인지에 따라 상기 동작 전원 또는 상기 비동작 전원을 인가시키는 스위치의 역할을 한다. 이하에서, 제1 논리상태는 전압 로우(low)를 의미하고, 제2 논리상태는 전압 하이(high)를 의미한다.
- <32> 또한, 종래에는 상기 전원 스위치(120)의 트랜지스터들(P220, N220)을 모두 높은 문턱전압을 가지는 트랜지스터를 이용하였다. 그러나, 본 발명에서는 동작 전원이 연결된 PMOS 트랜지스터(P220)는 누설전류를 감소시키기 위하여 높은 문턱전압을 가지는 트랜지스터를 이용하고 있으나, 비동작 전원이 연결된 NMOS 트랜지스터(N220)는 낮은 문턱전압을 가지는 트랜지스터를 사용하고 있다. 즉, 본 발명의 전원 스위치(120)는 낮은 문턱전압을 가지는 트랜지스터를 사용함으로써 트랜지스터의 면적을 감소시켜 전원 스위치(120)의 면적을 감소시켰다.
- <33> 본 발명의 전원스위치(120)에 대한 다른 실시예로 도 2(b)를 참조하면, 전원스위치(120)는 두개의 PMOS 트랜지스터(P250, P260) 및 인버터(INV260)를 구비하고 있다. PMOS 트랜지스터(P250)는 전력 절약 장치(150)의 출력 신호인 상기 선택 신호를 게이트 입력으로 하고, PMOS 트랜지스터(P260)는 상기 선택 신호가 반전된 신호를 게이트 입력으로 한다. 도 2(b)에서는 상기 선택 신호를 반전시키기 위하여 인버터(INV260)를 연결하였으나, 이것은 일 예에 불과하고 다른 방법으로도 상기 선택 신호를 반전시켜서 PMOS 트랜지스터(P260)의 게이트 입력으로 하면 된다. 전원 스위치(120)가 동작하는 원리는 상기 도 2(a)의 실시예와 동일하므로 자세한 설명은 생략한다. 도 2(a)와 동일하게 상기 선택신호가 제1 논리상태인 경우는 동작전원이 인가되고, 상기 선택신호가 제2 논리상태인 경우에는 비동작 전원이 인가된다.
- <34> 또한, 상기 동작 전원에 연결된 PMOS 트랜지스터(P250)는 높은 문턱전압을 가지고, 상기 비동작 전원에 연결된 PMOS 트랜지스터(P260)는 낮은 문턱전압을 가지는 것을 사용함으로써 역시 전원 스위치(120)의 면적을 감소시켰다.
- <35> 도 3은 도 1의 하나의 레지스터(130_1)에 대한 회로도이고, 도 4는 도 3의 인버터들(TINV351, INV361, ...)의 회로도이다.
- <36> 도 1의 레지스터들(130_1, 130_2, 130_3, ...)은 모두 동일한 구조를 가지고 있으므로 그 중 하나의 레지스터(130_1)에 대하여만 설명한다. 종래의 누설 전류 감소를 위한 반도체 장치에서는 누설 전류 감소를 위하여 전원 전압이 인가되지 않아도 저장된 데이터가 지워지지 않는 레지스터(retention register)를 사용하였다. 그러나, 상기 레지스터(retention register)는 그 면적이 너무 커서 회로 전체의 부피가 증가하는 문제가 있었다. 따라서, 본 발명에서는 비동작 모드에서는 상기 비동작 전원이 인가되므로, 상기 비동작 전원만 인가되면 저장된 데이터가 지워지지 않고 보존되는 일반 레지스터(normal register)를 사용하고 있다.
- <37> 도 3을 참조하면, 본 발명의 레지스터(130_1)의 일 실시예에 따른 마스터-슬레이브(master-slave) 구조의 래치를 사용하는 경우를 나타내고 있다. 두개의 트리 인버터(tri-inverter)와 하나의 인버터(inverter)를 구비하는 마스터 부분(330) 및 슬레이브 부분(340)으로 구성되어 있다. 도 3의 상위의 회로도는 클럭 신호(CLK)를 이용하여 트리 인버터들(TINV351, TINV352, ...)을 제어하기 위한 신호(CK, /CK)를 생성하는 모습을 보여주고 있다. 도 3의 하위의 회로도는 마스터-슬레이브 구조의 래치 회로이다. 마스터 부분(330)의 인버터들(TINV351, TINV352, INV361)은 모두 낮은 문턱전압을 가지는 트랜지스터로 구성되고, 슬레이브 부분(340)의 인버터들(TINV353, TINV354, INV364)은 모두 높은 문턱전압을 가지는 트랜지스터로 구성되는 것이 바람직하다. 마스터-슬레이브 형태의 래치 회로에서 데이터를 저장하는 방법에 대한 자세한 설명은 본 발명의 기술분야에서 통상의 지식을 가진 자에게 자명한 사항이므로 생략한다. 다만, 본 발명에서는 레지스터들(130_1, 130_2, 130_3, ...)을 전류 차단부(140)에 연결하여 누설 전류를 차단하므로, 상기 레지스터와 전류 차단부(140)가 어떻게 연결되는지 그 구조를 설명한다.
- <38> 도 3에서 데이터가 저장되는 슬레이브 부분의 인버터들(INV364, TINV354)을 제외하고는 모두 전류 차단부(140)와 연결된다. 비동작 모드에서 전류 차단부(140)의 NMOS 트랜지스터(N140)는 턴 오프 되므로 데이터가 저장된 슬레이브 부분의 인버터들(INV364, TINV354)은 전류 차단부(140)와 연결되지 않아야 하기 때문이다.

- <39> 도 4(a)는 전류 차단부(140)와 연결되는 도 3의 트리 인버터들(TINV351, TINV352, TINV353)의 회로도이고, 도 4(b)는 전류 차단부(140)와 연결되는 도 3의 인버터들(INV361, INV362, INV363)의 회로도이다.
- <40> 하나의 트리 인버터(TINV353)를 예로 들어 설명하면, 도 4(a)의 A 단자는 도 3의 노드 b와 연결되고, 도 4(a)의 B 단자는 도 3의 노드 c와 연결된다. 트리 인버터(TINV353)는 전원 스위치(120)에 의하여 선택된 어느 하나의 전원 전압이 인가되고, 접지 전압(VSS)과 트리 인버터(TINV353) 사이에는 전류 차단부(140)가 연결되게 된다. 또한, 하나의 인버터(INV361)를 예로 들어 설명하면, 도 4(b)의 A 단자는 도 3의 노드 a와 연결되고, 도 4(b)의 B 단자는 도 3의 노드 b와 연결된다. 전원 스위치(120) 및 전류 차단부(140)와의 연결은 상기 트리 인버터(TINV353)와 동일하다.
- <41> 도 4(a) 및 도 4(b)는 트리 인버터(TINV353) 및 인버터(INV361)의 경우를 예로 들어 도시하였으나, 전류차단부와 연결되는 트리 인버터들(TINV351, TINV352)은 도 4(a)와 동일한 구조를 가지고 있다. 다만, 상기 트리 인버터들(TINV351, TINV352)은 낮은 문턱 전압을 가지고 있으므로 도 4(a)의 트리 인버터(TINV353)의 높은 문턱 전압을 가지는 트랜지스터 대신에 낮은 문턱 전압을 가지는 트랜지스터를 구비하는 것만 다르다. 도 4(b)는 인버터들(INV362, INV363)과 동일한 구조를 가지고 있다.
- <42> 도 4(c)는 접지 전압(VSS)과 연결되는 도 3의 트리 인버터(TINV354)의 회로도이고, 도 4(d)는 접지 전압(VSS)과 연결되는 도 3의 인버터(INV364)이다.
- <43> 도 4(c)의 A 단자는 도 3의 노드 c와 연결되고, 도 4(a)의 B 단자는 도 3의 노드 d와 연결된다. 트리 인버터(TINV354)는 전원 스위치(120)에 의하여 선택된 어느 하나의 전원 전압과 접지 전압(VSS)사이에서 위치한다. 또한, 도 4(d)의 A 단자는 도 3의 노드 d와 연결되고, 도 4(b)의 B 단자는 도 3의 노드 c와 연결된다. 전원 스위치(120) 및 전류 차단부(140)와의 연결은 상기 트리 인버터(TINV354)와 동일하다.
- <44> 상기 트리 인버터(TINV354) 및 인버터(INV364)는 모두 높은 문턱 전압을 가지고 있으므로, 도 4(c) 및 도 4(d)의 트리 인버터(TINV354) 및 인버터(INV364)는 모두 높은 문턱 전압을 가지는 트랜지스터들을 구비하고 있다.
- <45> 도 5는 본 발명의 실시예에 따른 누설 전류 차단 방법의 흐름도이다.
- <46> 도 1 및 도 5를 참조하면, 디지털회로(110)의 동작 여부에 따라 전력 절약 장치(150)가 상기 선택 신호를 출력한다(S510). 디지털회로(110)가 동작하는 경우, 즉 동작 모드인 경우 상기 선택 신호는 전원 스위치(120) 및 전류 차단부(140)에 인가되고, 전원 스위치(120)는 상기 동작 전원을 선택하며 전류 차단부(140)의 NMOS 트랜지스터(N140)는 턴 온된다. 따라서, 상기 동작 전원은 디지털 회로(110) 및 레지스터들(130_1, 130_2, 130_3, ...)에 인가되어 회로가 동작하게 된다(S520).
- <47> 디지털 회로(110)가 동작하지 않는 경우, 즉 비동작 모드인 경우 상기 선택 신호는 전원 스위치(120) 및 전류 차단부(140)에 인가되고, 전원 스위치(120)는 비동작 전원을 선택하며 전류 차단부(140)의 NMOS 트랜지스터(N140)는 턴 오프된다. 따라서, 상기 비동작 전원이 디지털회로(110) 및 레지스터들(130_1, 130_2, 130_3, ...)에 인가되어 디지털회로(110)는 동작하지 않게 되지만, 레지스터들(130_1, 130_2, 130_3, ...)에 저장된 데이터들은 지워지지 않고 보존되게 된다(S530, S540). 즉, 비동작 전원이 인가되고 전류 차단부(140)의 NMOS 트랜지스터(N140)가 턴 오프 됨에 따라 누설전류가 차단된다(S530, S540).
- <48> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

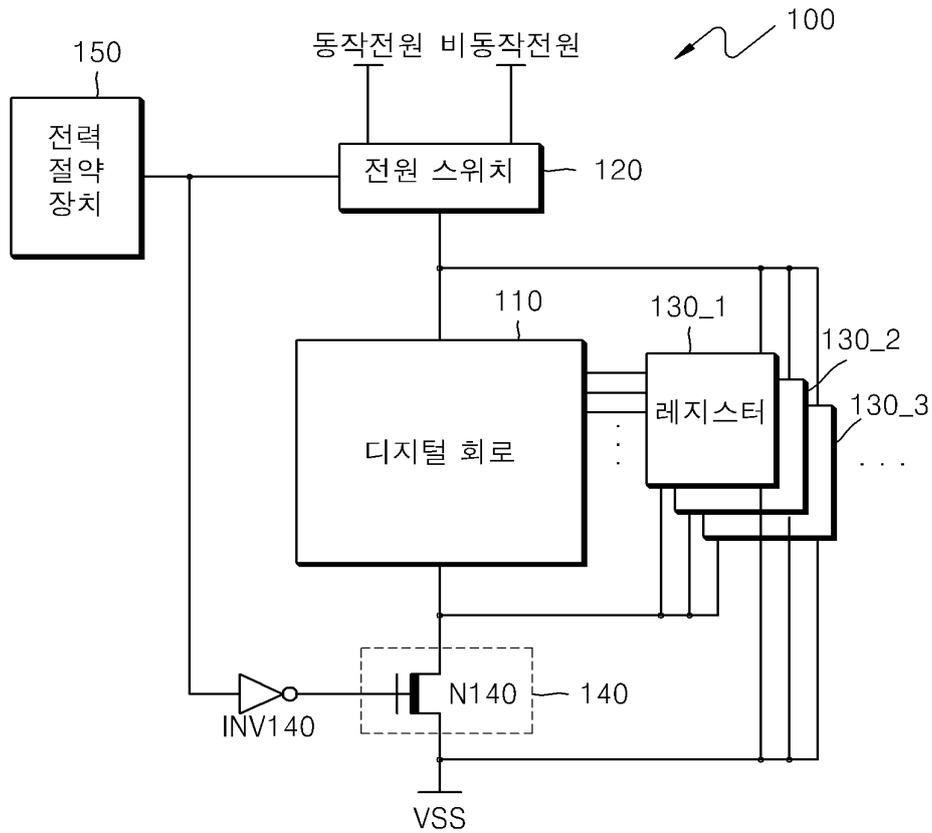
- <49> 상술한 바와 같이 본 발명에 따른 반도체 장치 및 그 방법은 디지털 회로에서 회로 구성 요소가 일시적으로 사용되지 않는 동안 전원 전압을 낮추거나 또는 전원 전압을 낮추는 것과 동시에 전류 차단부를 이용하여 전류를 차단함으로써 누설 전류를 줄이는 동시에 레지스터에 저장된 데이터를 보존함으로써, 누설 전류를 감소시켜 에너지 사용 효율을 증대시킬 수 있는 장점이 있다.

도면의 간단한 설명

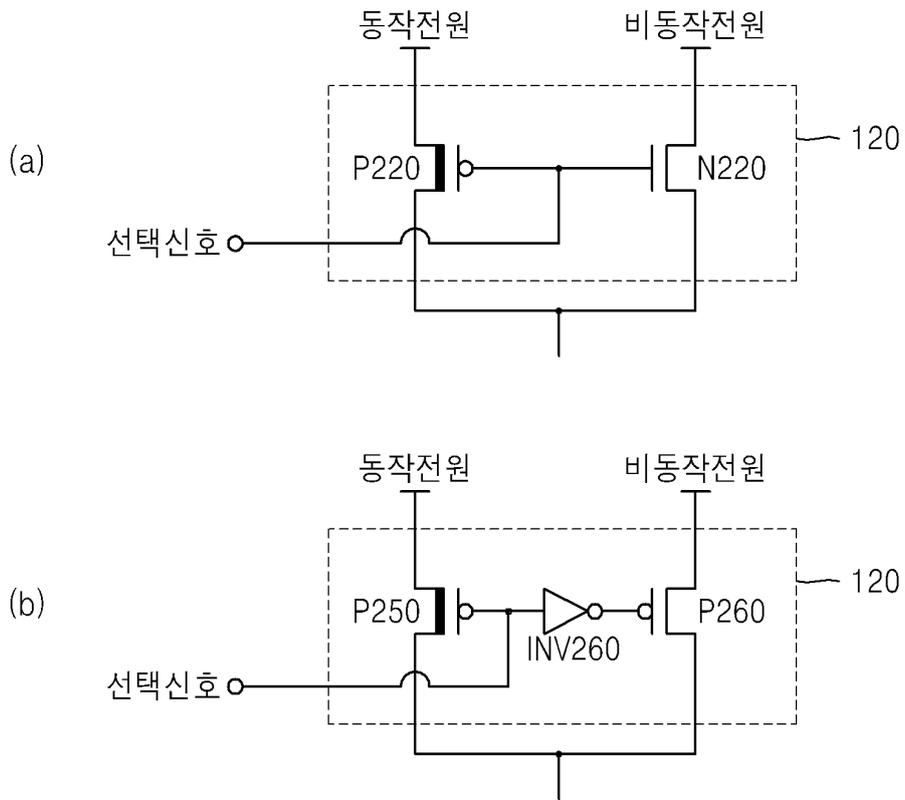
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1은 본 발명의 실시예에 따른 반도체 장치이다.
- <3> 도 2는 도 1의 전원 스위치의 회로도이다.
- <4> 도 3은 도 1의 하나의 레지스터에 대한 회로도이다.
- <5> 도 4는 도 3의 인버터들의 회로도이다.
- <6> 도 5는 본 발명의 실시예에 따른 누설 전류 감소 방법의 흐름도이다.

도면

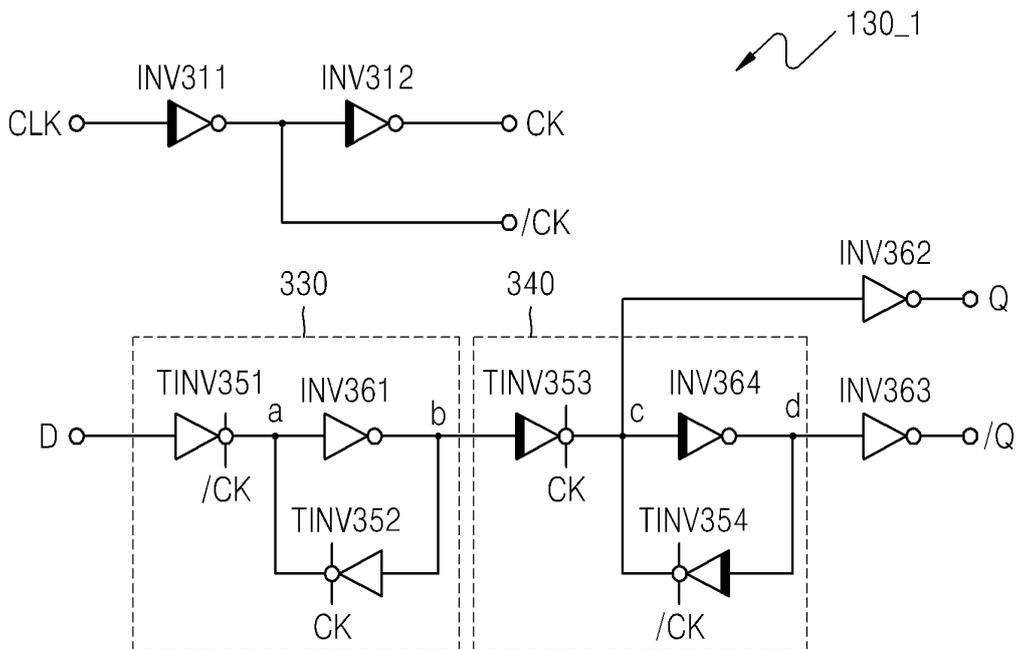
도면1



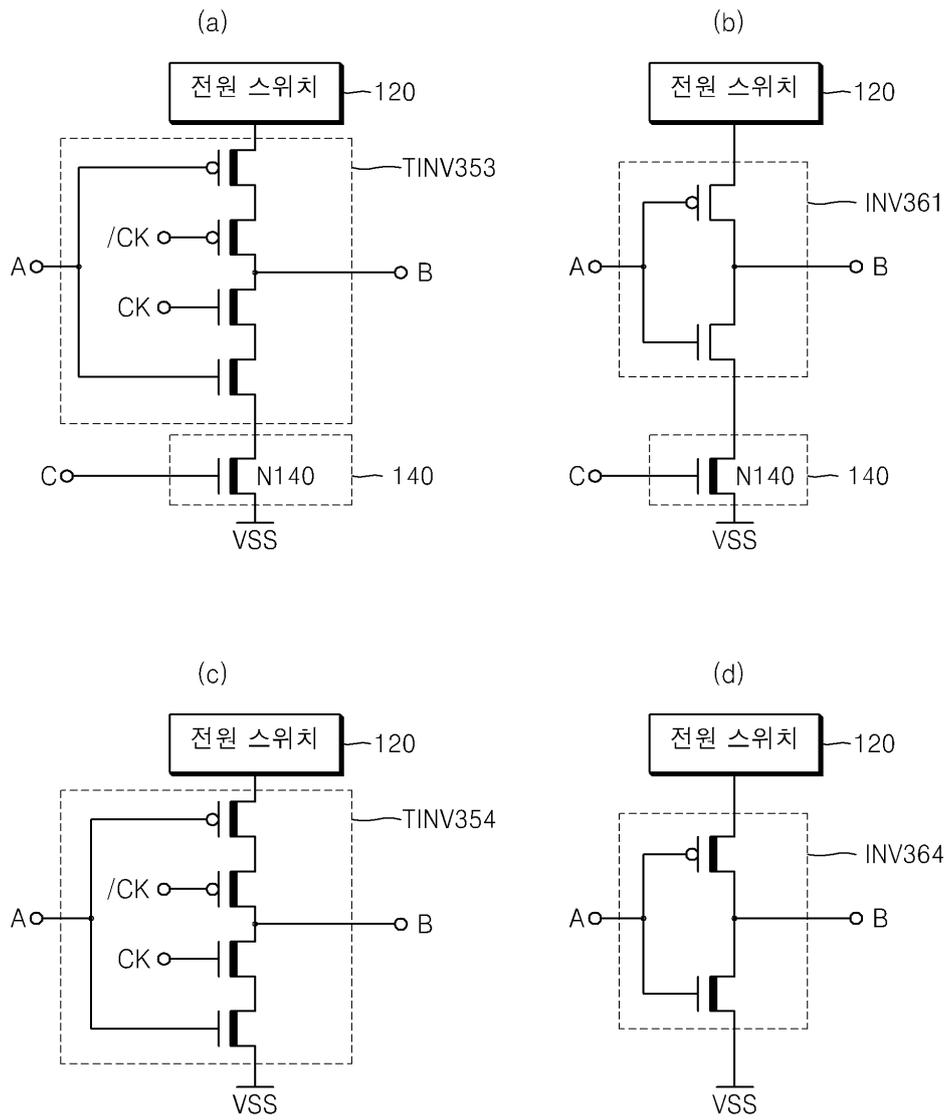
도면2



도면3



도면4



도면5

